深圳市英锐恩科技有限公司（www.enroo.com）
(Microchip Authorized Design Partner)指定授权代理
Add： Room 1203-1205 Top office,Glittery City,No. 3027,
Shennan Road Central,Futian , Shenzhen City
电话(tel) ：86-755-88845951,82543411
传真(fax) ：86-755-82543511
Web: Http://www.Enroo.com ,"o"为字母.
E-mail： enroo@enroo.com jason.ma@139.com
联系人：马先生,王小姐
公司在线咨询：QQ:27781279 MSN:picmcu@hotmail.com
7x24小时在线产品咨询:13510398583 13798484366

PIC16F688
数据手册

采用纳瓦技术的
14 引脚 8 位
CMOS 闪存单片机

© 2007 Microchip Technology Inc.

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 “牢不可破”的。

代码保护功能处于持续发展中。 Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。** Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、 Microchip 徽标、 Accuron、 dsPIC、 KEELOQ、 KEELOQ 徽标、 microID、 MPLAB、 PIC、 PICmicro、 PICSTART、 PRO MATE、 rfPIC 和 SmartShunt 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

AmpLab、 FilterLab、 Linear Active Thermistor、 Migratable Memory、 MXDEV、 MXLAB、 SEEVAL、 SmartSensor 和 The Embedded Control Solutions Company 均为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、 Application Maestro、 CodeGuard、 dsPICDEM、 dsPICDEM.net、 dsPICworks、 dsSPEAK、 ECAN、 ECONOMONITOR、 FanSense、 FlexROM、 fuzzyLAB、 In-Circuit Serial Programming、 ICSP、 ICEPIC、 Mindi、 MiWi、 MPASM、 MPLAB Certified 徽标、 MPLIB、 MPLINK、 PICkit、 PICDEM、 PICDEM.net、 PICLAB、 PICtail、 PowerCal、 PowerInfo、 PowerMate、 PowerTool、 REAL ICE、 rfLAB、 Select Mode、 Smart Serial、 SmartTel、 Total Endurance、 UNI/O、 WiperLock 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 是 Microchip Technology Inc. 在美国的服务标记。

在此提及的所有其他商标均为各持有公司所有。

© 2007， Microchip Technology Inc. 版权所有。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
ISO/TS 16949:2002

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2002 认证。公司在 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品方面的质量体系流程均符合 ISO/TS-16949:2002。此外， Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

© 2007 Microchip Technology Inc.

PIC16F688

采用纳瓦技术的 14 引脚 8 位 CMOS 闪存单片机

高性能 RISC CPU

- 仅需学习 35 条指令：
  - 除了跳转指令以外，所有指令都是单周期的
- 工作速度：
  - DC － 20 MHz 振荡器 / 时钟输入
  - DC － 200 ns 指令周期
- 中断能力
- 8 级深硬件堆栈
- 直接、间接和相对寻址方式

单片机特性

- 精确的内部振荡器：
  - 出厂时精度已校准到 ±1%
  - 软件可选择频率范围：8 MHz 到 125 kHz
  - 可用软件调整
  - 双速启动模式
  - 用于关键应用的晶振故障检测
  - 工作时切换时钟模式以节电
- 省电休眠模式
- 宽工作电压范围 （2.0V-5.5V）
- 工业级和扩展级温度范围
- 上电复位 （Power-on Reset， POR）
- 上电延时定时器 （Power-up Timer， PWRT）和振荡器起振定时器 （Oscillator Start-up Timer，OST）
- 带软件控制选择的欠压复位 （Brown-out Reset，BOR）
- 增强型低电流看门狗定时器 （Watchdog Timer，WDT），带有片上振荡器 （预分频比最大时，软件可选择的标称值为 268 秒），可用软件使能
- 带上拉的主复位功能，可复用为输入引脚
- 可编程代码保护
- 高耐久性的闪存 /EEPROM 存储单元：
  - 闪存耐写次数达 100,000 次
  - EEPROM 耐写次数达 1,000,000 次
  - 闪存 / 数据 EEPROM 的数据保持期 > 40 年

低功耗特性

- 待机电流：
  - 电压为 2.0 V 时，典型值为 50 nA
- 工作电流：
  - 频率为 32 kHz、电压为 2.0 V 时，典型值为 11 μA
  - 频率为 1 MHz、电压为 2.0 V 时，典型值为 220 μA
- 看门狗定时器电流：
  - 电压为 2.0 V 时，典型值为 1 μA

外设特性

- 可单独进行方向控制的 12 个 I/O 引脚：
  - 高灌 / 拉电流能力，可直接驱动 LED
  - 引脚电平变化中断
  - 独立可编程弱上拉
  - 超低功耗唤醒 （Ultra Low-Power Wake-up，ULPWU）
- 模拟比较器模块，具有：
  - 2 个模拟比较器
  - 片上可编程比较器参考电压 （CV_{REF}）模块（V_{DD} 的 %）
  - 可从外部访问比较器输入和输出
- A/D 转换器：
  - 10 位分辨率和 8 路通道
- Timer0：带有 8 位可编程预分频器的 8 位定时器 / 计数器
- 增强型 Timer1：
  - 带有预分频器的 16 位定时器 / 计数器
  - 外部门控输入模式 （计数使能）
  - 如果选用 INTOSC 模式，在 LP 模式下可选择 OSC1 或 OSC2 作为 Timer1 的振荡器
- 增强型 USART 模块：
  - 支持 RS-485、 RS-232 和 LIN 1.2
  - 自动波特率检测
  - 启动位自动唤醒
- 通过两个引脚进行在线串行编程 （In-Circuit Serial Programming™， ICSP™）

器件	程序存储器	数据存储器		I/O	10 位 A/D （通道）	比较器	8/16 位计数器
	闪存 （字）	SRAM （字节）	EEPROM （字节）				
PIC16F688	4096	256	256	12	8	2	1/1

引脚图 （PDIP、 SOIC 和 TSSOP）

14 引脚 PDIP、SOIC 和 TSSOP

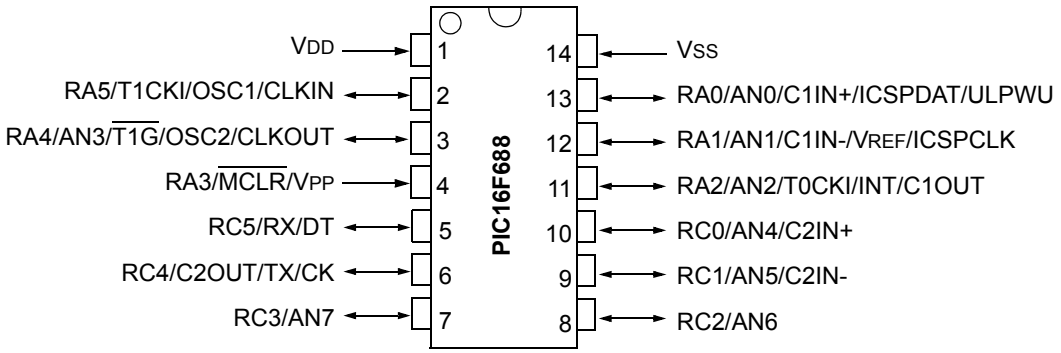


表 1： PIC16F688 14 引脚汇总表 （PDIP、 SOIC 和 TSSOP）

I/O	引脚	模拟	比较器	定时器	EUSART	中断	上拉	基本
RA0	13	AN0/ULPWU	C1IN+	—	—	IOC	Y	ICSPDAT
RA1	12	AN1	C1IN-	—	—	IOC	Y	VREF/ICSPCLK
RA2	11	AN2	C1OUT	T0CKI	—	IOC/INT	Y	—
RA3	4	—	—	—	—	IOC	Y(1)	MCLR/VPP
RA4	3	AN3	—	T1G	—	IOC	Y	OSC2/CLKOUT
RA5	2	—	—	T1CKI	—	IOC	Y	OSC1/CLKIN
RC0	10	AN4	C2IN+	—	—	—	—	—
RC1	9	AN5	C2IN-	—	—	—	—	—
RC2	8	AN6	—	—	—	—	—	—
RC3	7	AN7	—	—	—	—	—	—
RC4	6	—	C2OUT	—	TX/CK	—	—	—
RC5	5	—	—	—	RX/DT	—	—	—
—	1	—	—	—	—	—	—	VDD
—	14	—	—	—	—	—	—	VSS

注 1： 仅在外部 MCLR 配置时才激活上拉功能。

© 2007 Microchip Technology Inc.

引脚图 （QFN）

16 引脚 QFN

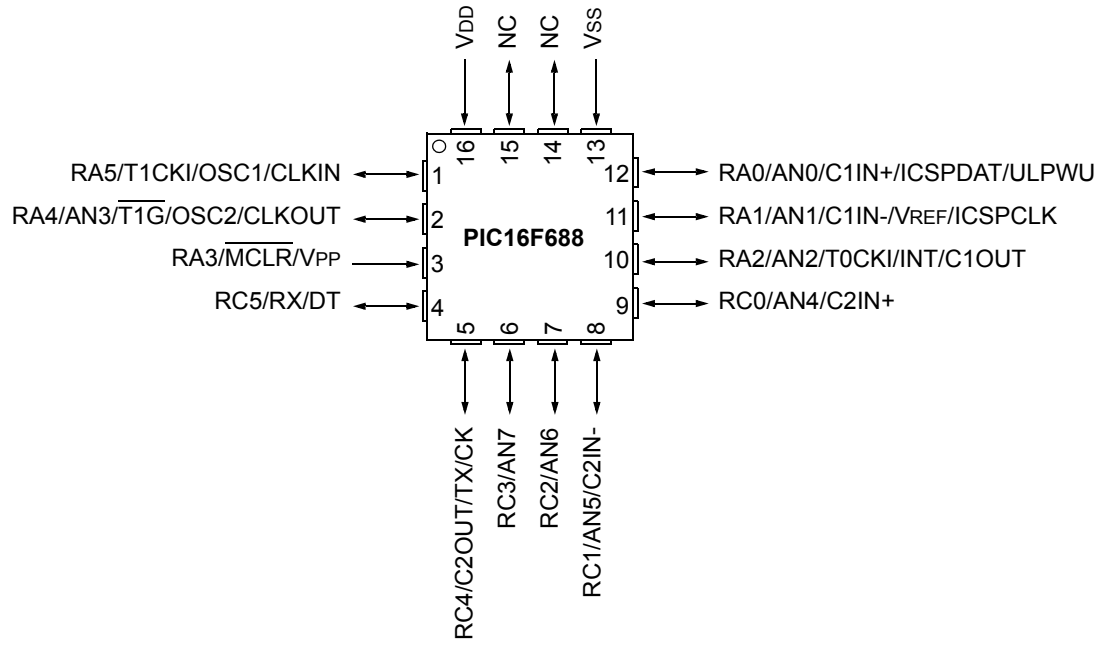


表 2：　　PIC16F688 16 引脚汇总表 （QFN）

I/O	引脚	模拟	比较器	定时器	EUSART	中断	上拉	基本
RA0	12	AN0/ULPWU	C1IN+	—	—	IOC	Y	ICSPDAT
RA1	11	AN1	C1IN-	—	—	IOC	Y	VREF/ICSPCLK
RA2	10	AN2	C1OUT	T0CKI	—	IOC/INT	Y	—
RA3	3	—	—	—	—	IOC	Y(1)	MCLR/VPP
RA4	2	AN3	—	T1G	—	IOC	Y	OSC2/CLKOUT
RA5	1	—	—	T1CKI	—	IOC	Y	OSC1/CLKIN
RC0	9	AN4	C2IN+	—	—	—	—	—
RC1	8	AN5	C2IN-	—	—	—	—	—
RC2	7	AN6	—	—	—	—	—	—
RC3	6	AN7	—	—	—	—	—	—
RC4	5	—	C2OUT	—	TX/CK	—	—	—
RC5	4	—	—	—	RX/DT	—	—	—
—	16	—	—	—	—	—	—	VDD
—	13	—	—	—	—	—	—	VSS
—	14	—	—	—	—	—	—	NC
—	15	—	—	—	—	—	—	NC

注　1： 仅在外部 MCLR 配置时才激活上拉功能。

目录

1.0 器件概述 5
2.0 存储器构成 7
3.0 振荡器模块 （带故障保护时钟监视器） 21
4.0 I/O 端口 33
5.0 Timer0 模块 45
6.0 具备门控功能的 Timer1 模块 48
7.0 比较器模块 53
8.0 模数转换器 （ADC）模块 65
9.0 数据 EEPROM 和闪存程序存储器控制 77
10.0 增强型通用同步异步收发器 （EUSART） 83
11.0 CPU 的特殊功能 109
12.0 指令集汇总 129
13.0 开发支持 139
14.0 电气规范 143
15.0 直流和交流特性图表 163
16.0 封装信息 185
附录 A： 数据手册版本历史 191
附录 B： 从其他 PIC® 器件移植 191
索引 195
在线支持 197
Microchip 网站 197
读者反馈表 198
产品标识系统 199

致客户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的要求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 **CTRC@microchip.com**，或将本数据手册后附的 **《读者反馈表》**传真到 86-21-5407 5066。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请查询我公司的网站：

http://www.microchip.com

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中数字串后的字母是版本号，例如：DS30000A是DS30000的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站 http://www.microchip.com
- 当地 Microchip 销售办事处 （见最后一页）

在联络销售办事处或文献中心时，请说明您所使用的器件型号、硅片版本和数据手册版本 （包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 **www.microchip.com** 上注册。

© 2007 Microchip Technology Inc.

1.0 器件概述

本数据手册涵盖 PIC16F688 器件。该器件采用 14 引脚 PDIP、 SOIC、 TSSOP 和 QFN 封装。图 1-1 给出了 PIC16F688 器件的框图。表 1-1 为引脚说明。

图 1-1： PIC16F688 框图

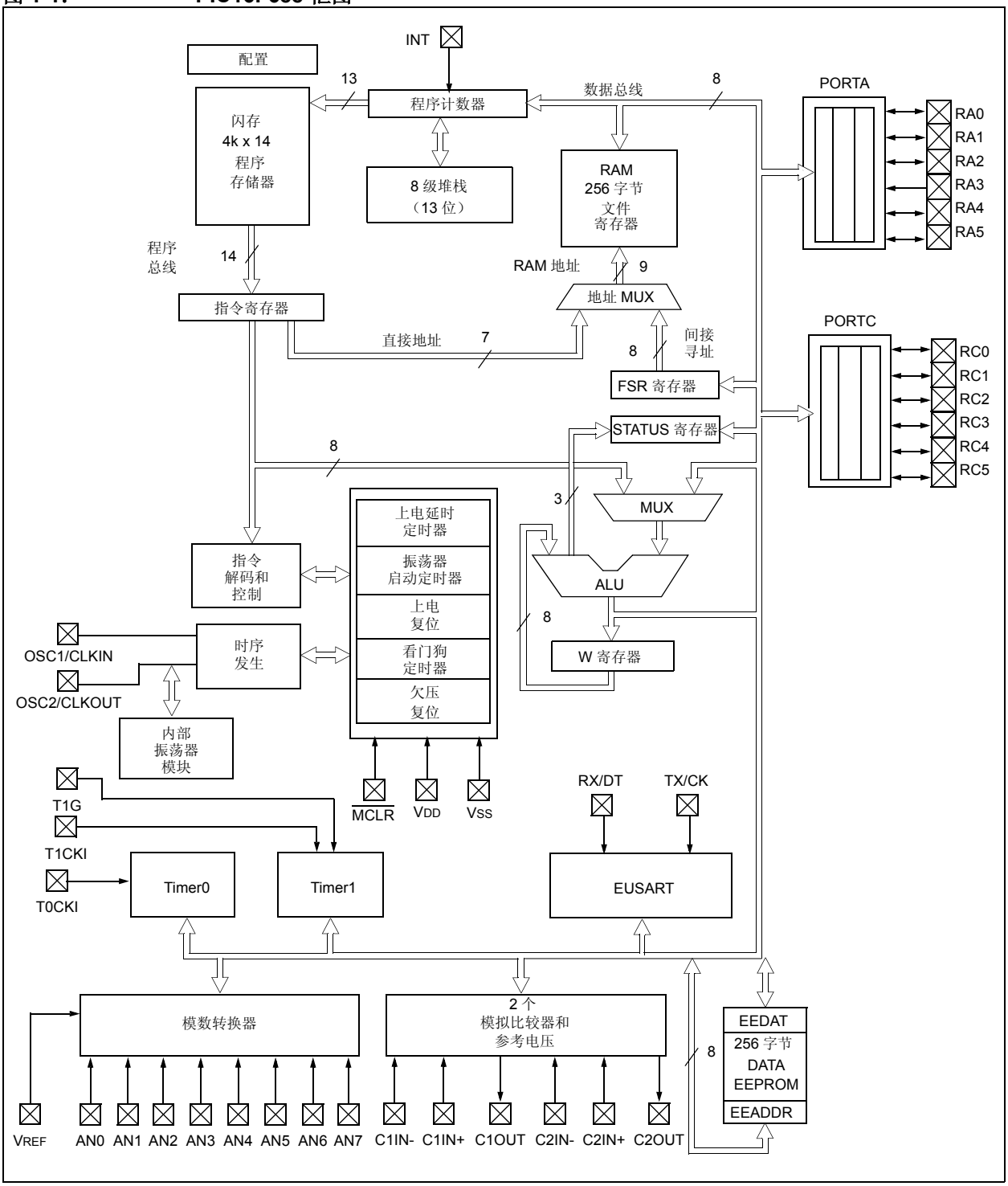


表 1-1： PIC16F688 引脚说明

名称	功能	输入类型	输出类型	说明
RA0/AN0/C1IN+/ICSPDAT/ULPWU	RA0	TTL	CMOS	带可编程上拉和电平变化中断的 PORTA I/O
	AN0	AN	—	A/D 通道 0 输入
	C1IN+	AN	—	比较器 1 输入
	ICSPDAT	TTL	CMOS	串行编程数据 I/O
	ULPWU	AN	—	超低功耗唤醒输入
RA1/AN1/C1IN-/VREF/ICSPCLK	RA1	TTL	CMOS	带可编程上拉和电平变化中断的 PORTA I/O
	AN1	AN	—	A/D 通道 1 输入
	C1IN-	AN	—	比较器 1 输入
	VREF	AN	—	A/D 的外部电压参考
	ICSPCLK	ST	—	串行编程时钟
RA2/AN2/T0CKI/INT/C1OUT	RA2	ST	CMOS	带可编程上拉和电平变化中断的 PORTA I/O
	AN2	AN	—	A/D 通道 2 输入
	T0CKI	ST	—	Timer0 时钟输入
	INT	ST	—	外部中断
	C1OUT	—	CMOS	比较器 1 输出
RA3/$\overline{MCLR}$/VPP	RA3	TTL	—	带电平变化中断的 PORTA 输入
	$\overline{MCLR}$	ST	—	带内总上拉的主复位
	VPP	HV	—	编程电压
RA4/AN3/$\overline{T1G}$/OSC2/CLKOUT	RA4	TTL	CMOS	带可编程上拉和电平变化中断的 PORTA I/O
	AN3	AN	—	A/D 通道 3 输入
	$\overline{T1G}$	ST	—	Timer1 门控
	OSC2	—	XTAL	晶体 / 谐振器
	CLKOUT	—	CMOS	FOSC/4 输出
RA5/T1CKI/OSC1/CLKIN	RA5	TTL	CMOS	带可编程上拉和电平变化中断的 PORTA I/O
	T1CKI	ST	—	Timer1 时钟
	OSC1	XTAL	—	晶体 / 谐振器
	CLKIN	ST	—	外部时钟输入 /RC 振荡器连接
RC0/AN4/C2IN+	RC0	TTL	CMOS	PORTC I/O
	AN4	AN	—	A/D 通道 4 输入
	C2IN+	AN		比较器 2 输入
RC1/AN5/C2IN-	RC1	TTL	CMOS	PORTC I/O
	AN5	AN	—	A/D 通道 5 输入
	C2IN-	AN		比较器 2 输入
RC2/AN6	RC2	TTL	CMOS	PORTC I/O
	AN6	AN	—	A/D 通道 6 输入
RC3/AN7	RC3	TTL	CMOS	PORTC I/O
	AN7	AN	—	A/D 通道 7 输入
RC4/C2OUT/TX/CK	RC4	TTL	CMOS	PORTC I/O
	C2OUT	—	CMOS	比较器 2 输出
	TX	—	CMOS	USART 异步输出
	CK	ST	CMOS	USART 异步时钟
RC5/RX/DT	RC5	TTL	CMOS	PORTC I/O
	RX	ST	CMOS	USART 异步输入
	DT	ST	CMOS	USART 异步数据
VSS	VSS	电源	—	参考地
VDD	VDD	电源	—	正电源

图注： AN = 模拟输入或输出　CMOS= CMOS 兼容输入或输出　OC= 集电极开路输出
TTL = TTL 兼容输入　ST= 带 CMOS 电平的施密特触发器输入
HV = 高电压　XTAL= 晶体

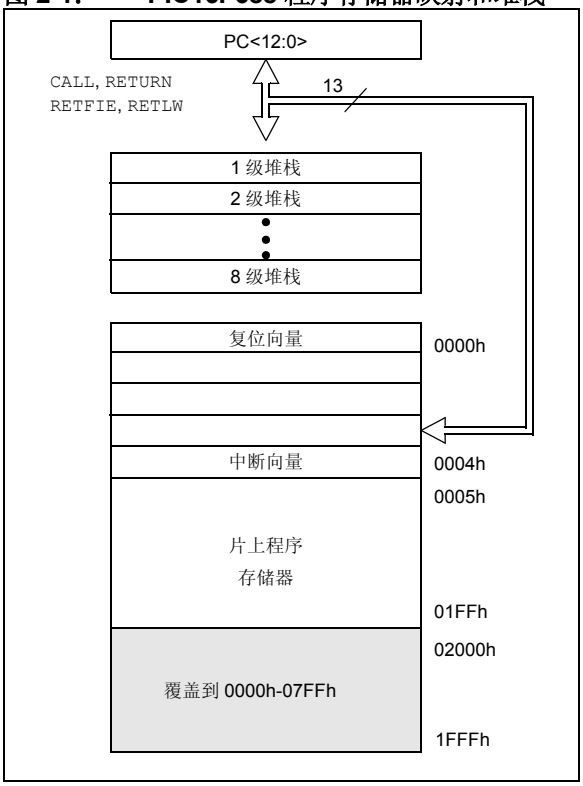
© 2007 Microchip Technology Inc.

2.0 存储器构成

2.1 程序存储器构成

PIC16F688 器件具有一个 13 位程序计数器，能够寻址 4K x 14 的程序存储空间。 PIC16F688 只有第一个 4K x 14（0000h-01FFF）的存储空间是物理实现的。访问超出上述界限的存储单元将回到第一个 4K x 14 空间内。复位向量位于0000h，而中断向量位于0004h（见图2-1）。

图 2-1： PIC16F688 程序存储器映射和堆栈



2.2 数据存储器构成

数据存储器被划分成多个存储区（Bank），每个存储区由通用寄存器（General Purpose Register， GPR）和特殊功能寄存器（Special Function Register，SFR）两部分组成。 RP0 和 RP1 位是存储区选择位。

RP1	RP0		
0	0	→	选择 bank 0
0	1	→	选择 bank 1
1	0	→	选择 bank 2
1	1	→	选择 bank 3

每个存储区多达 7Fh （128 字节）。每个存储区的低位地址单元被保留供特殊功能寄存器使用。特殊功能寄存器之上为通用寄存器，实现为静态 RAM。所有实现的存储区均包含特殊功能寄存器。某些使用频率较高的特殊功能寄存器可以从一个存储区映射到另一个存储区中，以节省代码和提高存储速度。

2.2.1 通用文件寄存器

PIC16F688 的文件寄存器组织为 256 x 8。通过文件选择寄存器 （File Select Register， FSR），可以直接或间接地访问每个寄存器（见**第 2.4 节“间接寻址、INDF 和 FSR 寄存器”**）。

2.2.2 特殊功能寄存器

特殊功能寄存器为 CPU 和外设模块用来对器件的所需操作进行控制的寄存器（见表 2-1、2-2、2-3 和 2-4）。这些寄存器均为静态 RAM。

特殊功能寄存器可分为两类，即：内核和外设。本节将介绍与“内核”相关的特殊功能寄存器。与外设模块相关的特殊功能寄存器将在相应的外设模块功能章节中介绍。

图 2-2： PIC16F688 特殊功能寄存器

	文件地址		文件地址		文件地址		文件地址
间接地址 (1)	00h	间接地址 (1)	80h	间接地址 (1)	100h	间接地址 (1)	180h
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h	PORTA	105h	TRISA	185h
	06h		86h		106h		186h
PORTC	07h	TRISC	87h	PORTC	107h	TRISC	187h
	08h		88h		108h		188h
	09h		89h		109h		189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch		10Ch		18Ch
	0Dh		8Dh		10Dh		18Dh
TMR1L	0Eh	PCON	8Eh		10Eh		18Eh
TMR1H	0Fh	OSCCON	8Fh		10Fh		18Fh
T1CON	10h	OSCTUNE	90h		110h		190h
BAUDCTL	11h	ANSEL	91h		111h		191h
SPBRGH	12h		92h		112h		192h
SPBRG	13h		93h		113h		193h
RCREG	14h		94h		114h		194h
TXREG	15h	WPUA	95h		115h		195h
TXSTA	16h	IOCA	96h		116h		196h
RCSTA	17h	EEDATH	97h		117h		197h
WDTCON	18h	EEADRH	98h		118h		198h
CMCON0	19h	VRCON	99h		119h		199h
CMCON1	1Ah	EEDAT	9Ah		11Ah		19Ah
	1Bh	EEADR	9Bh		11Bh		19Bh
	1Ch	EECON1	9Ch		11Ch		19Ch
	1Dh	EECON2(1)	9Dh		11Dh		19Dh
ADRESH	1Eh	ADRESL	9Eh		11Eh		19Eh
ADCON0	1Fh	ADCON1	9Fh		11Fh		19Fh
通用寄存器 96 字节	20h – 7Fh	通用寄存器 80 字节	A0h – EFh	通用寄存器 80 字节	120h – 16Fh		1A0h – 1EFh
		访问 Bank 0	F0h – FFh	访问 Bank 0	170h – 17Fh	访问 Bank 0	1F0h – 1FFh
Bank 0		Bank 1		Bank 2		Bank 3	

未实现数据存储器单元，读为 0。

注 1： 非物理寄存器。

© 2007 Microchip Technology Inc.

表 2-1： PIC16F688 特殊功能寄存器汇总， BANK 0

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	页
Bank 0											
00h	INDF	寻址此单元使用 FSR 的内容来寻址数据存储器 （非物理寄存器）								xxxx xxxx	20, 117
01h	TMR0	Timer0 模块寄存器								xxxx xxxx	45, 117
02h	PCL	程序计数器 （Program Counter， PC）的最低有效字节								0000 0000	19, 117
03h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	13, 117
04h	FSR	间接数据存储器地址指针								xxxx xxxx	20, 117
05h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--x0 x000	29, 117
06h	—	未实现								—	—
07h	PORTC	—	—	RC5	RC4	RC3	RC2	RC1	RC0	--xx 0000	38, 117
08h	—	未实现								—	—
09h	—	未实现								—	—
0Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器					---0 0000	19, 117
0Bh	INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF(2)	0000 000x	15, 117
0Ch	PIR1	EEIF	ADIF	RCIF	C2IF	C1IF	OSFIF	TXIF	TMR1IF	0000 0000	17, 117
0Dh	—	未实现								—	—
0Eh	TMR1L	16 位 TMR1 低位字节的保持寄存器								xxxx xxxx	48, 117
0Fh	TMR1H	16 位 TMR1 高位字节的保持寄存器								xxxx xxxx	48, 117
10h	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	0000 0000	47, 117
11h	BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	90, 117
12h	SPBRGH	USART 波特率高发生器								0000 0000	91, 117
13h	SPBRG	USART 波特率发生器								0000 0000	91, 117
14h	RCREG	USART 接收寄存器								0000 0000	83, 117
15h	TXREG	USART 发送寄存器								0000 0000	83, 117
16h	TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	88, 117
17h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	89, 117
18h	WDTCON	—	—	—	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN	---0 1000	120, 117
19h	CMCON0	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	0000 0000	57, 117
1Ah	CMCON1	—	—	—	—	—	—	T1GSS	C2SYNC	---- --10	58, 117
1Bh	—	未实现								—	—
1Ch	—	未实现								—	—
1Dh	—	未实现								—	—
1Eh	ADRESH	左移 A/D 结果的高 8 位或右移 A/D 结果的高 2 位								xxxx xxxx	68, 117
1Fh	ADCON0	ADFM	VCFG	—	CHS2	CHS1	CHS0	GO/$\overline{DONE}$	ADON	00-0 0000	67, 117

图注： - = 未实现的存储单元，读为 0， u = 不变， x = 未知， q = 值取决于具体条件，阴影 = 未实现

注 1： 其他（非上电）复位包括在正常操作期间的 $\overline{MCLR}$ 复位和看门狗定时器复位。

2： $\overline{MCLR}$ 和 WDT 复位不影响先前的数据锁存值。复位时 RAIF 位将清零，但如果存在不匹配则将置 1。

表 2-2： PIC16F688 特殊功能寄存器汇总， BANK 1

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	页
Bank 1											
80h	INDF	寻址此单元使用 FSR 的内容来寻址数据存储器 （非物理寄存器）								xxxx xxxx	20, 117
81h	OPTION_REG	$\overline{RAPU}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	14, 117
82h	PCL	程序计数器 （PC）的最低有效字节								0000 0000	19, 117
83h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	13, 117
84h	FSR	间接数据存储器地址指针								xxxx xxxx	20, 117
85h	TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	29, 117
86h	—	未实现								—	—
87h	TRISC	—	—	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	--11 1111	38, 117
88h	—	未实现								—	—
89h	—	未实现								—	—
8Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器					---0 0000	19, 117
8Bh	INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF(3)	0000 000x	15, 117
8Ch	PIE1	EEIE	ADIE	RCIE	C2IE	C1IE	OSFIE	TXIE	TMR1IE	0000 0000	16, 117
8Dh	—	未实现								—	—
8Eh	PCON	—	—	ULPWUE	SBOREN	—	—	$\overline{POR}$	$\overline{BOR}$	--01 --qq	18, 117
8Fh	OSCCON	—	IRCF2	IRCF1	IRCF0	OSTS	HTS	LTS	SCS	-110 x000	18, 118
90h	OSCTUNE	—	—	—	TUN4	TUN3	TUN2	TUN1	TUN0	---0 0000	22, 118
91h	ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	30, 118
92h	—	未实现								—	—
93h	—	未实现								—	—
94h	—	未实现								—	—
95h	WPUA(2)	—	—	WPUA5	WPUA4	—	WPUA2	WPUA1	WPUA0	--11 -111	31, 118
96h	IOCA	—	—	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0	--00 0000	31, 118
97h	EEDATH	—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0	--00 0000	74, 118
98h	EEADRH	—	—	—	—	EEADRH3	EEADRH2	EEADRH1	EEADRH0	---- 0000	74, 118
99h	VRCON	VREN	—	VRR	—	VR3	VR2	VR1	VR0	0-0- 0000	59, 118
9Ah	EEDAT	EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0	0000 0000	74, 118
9Bh	EEADR	EEADR7	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0	0000 0000	74, 118
9Ch	EECON1	EEPGD	—	—	—	WRERR	WREN	WR	RD	x--- x000	75, 118
9Dh	EECON2	EEPROM 控制 2 寄存器 （非物理寄存器）								---- ----	77, 118
9Eh	ADRESL	左移 A/D 结果的高 8 位或右移 A/D 结果的高 2 位								xxxx xxxx	68, 118
9Fh	ADCON1	—	ADCS2	ADCS1	ADCS0	—	—	—	—	-000 ----	67, 118

图注： - = 未实现的存储单元，读为 0， u = 不变， x = 未知， q = 值取决于具体条件，阴影 = 未实现

注 1： 其他 （非上电）复位包括在正常操作期间的 $\overline{MCLR}$ 复位和看门狗定时器复位。

2： 当引脚在配置字寄存器中被槽为 $\overline{MCLR}$ 时， RA3 上拉使能。

3： $\overline{MCLR}$ 和 WDT 复位不影响先前的数据锁存值。复位时 RAIF 位将清零，但如果存在不匹配则将置 1。

© 2007 Microchip Technology Inc.

表 2-3： PIC16F688 特殊功能寄存器汇总， BANK 2

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	页
Bank 2											
100h	INDF	寻址此单元使用 FSR 的内容来寻址数据存储器 （非物理寄存器）								xxxx xxxx	20, 117
101h	TMR0	Timer0 模块寄存器								xxxx xxxx	45, 117
102h	PCL	程序计数器 （PC）的最低有效字节								0000 0000	19, 117
103h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	13, 117
104h	FSR	间接数据存储器地址指针								xxxx xxxx	20, 117
105h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--x0 x000	29, 117
106h	—	未实现								—	—
107h	PORTC	—	—	RC5	RC4	RC3	RC2	RC1	RC0	--xx 0000	38, 117
108h	—	未实现								—	—
109h	—	未实现								—	—
10Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器					---0 0000	19, 117
10Bh	INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF(2)	0000 000x	15, 117
10Ch	—	未实现								—	—
10Dh	—	未实现								—	—
10Eh	—	未实现								—	—
10Fh	—	未实现								—	—
110h	—	未实现								—	—
111h	—	未实现								—	—
112h	—	未实现								—	—
113h	—	未实现								—	—
114h	—	未实现								—	—
115h	—	未实现								—	—
116h	—	未实现								—	—
117h	—	未实现								—	—
118h	—	未实现								—	—
119h	—	未实现								—	—
11Ah	—	未实现								—	—
11Bh	—	未实现								—	—
11Ch	—	未实现								—	—
11Dh	—	未实现								—	—
11Eh	—	未实现								—	—
11Fh	—	未实现								—	—

图注： - = 未实现的存储单元，读为 0， u = 不变， x = 未知， q = 值取决于具体条件，阴影 = 未实现

注 1： 其他（非上电）复位包括在正常操作期间的 $\overline{MCLR}$ 复位和看门狗定时器复位。

2： $\overline{MCLR}$ 和 WDT 复位不影响先前的数据锁存值。复位时 RAIF 位将清零，但如果存在不匹配则将置 1。

表 2-4： PIC16F688 特殊功能寄存器汇总， BANK 3

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	页
Bank 3											
180h	INDF	寻址此单元使用 FSR 的内容来寻址数据存储器 （非物理寄存器）								xxxx xxxx	20, 117
181h	OPTION_REG	$\overline{RAPU}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	14, 117
182h	PCL	程序计数器 （PC）的最低有效字节								0000 0000	19, 117
183h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	13, 117
184h	FSR	间接数据存储器地址指针								xxxx xxxx	20, 117
185h	TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	29, 117
186h	—	未实现								—	—
187h	TRISC	—	—	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	--11 1111	38, 117
188h	—	未实现								—	—
189h	—	未实现								—	—
18Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器					---0 0000	19, 117
18Bh	INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF(2)	0000 000x	15, 117
18Ch	—	未实现								—	—
18Dh	—	未实现								—	—
190h	—	未实现								—	—
191h	—	未实现								—	—
192h	—	未实现								—	—
193h	—	未实现								—	—
194h	—	未实现								—	—
195h	—	未实现								—	—
196h	—	未实现								—	—
19Ah	—	未实现								—	—
19Bh	—	未实现								—	—
199h	—	未实现								—	—
19Ah	—	未实现								—	—
19Bh	—	未实现								—	—
19Ch	—	未实现								—	—
19Dh	—	未实现								—	—
19Eh	—	未实现								—	—
19Fh	—	未实现								—	—

图注： - = 未实现的存储单元，读为 0， u = 不变， x = 未知， q = 值取决于具体条件，阴影 = 未用

注 1： 其他 （非上电）复位包括在正常操作期间的 $\overline{MCLR}$ 复位和看门狗定时器复位。

2： $\overline{MCLR}$ 和 WDT 复位不影响先前的数据锁存值。复位时 RAIF 位将清零，但如果存在不匹配则将置 1。

© 2007 Microchip Technology Inc.

2.2.2.1 状态寄存器

如寄存器 2-1 所示，状态 （Status）寄存器包括：

- ALU 的算术运算结果状态位
- 复位状态位
- 数据存储 （SRAM）的存储区选择位

状态寄存器与其他寄存器一样，可作为任何指令的目标寄存器。如果一条影响 Z、 DC 或 C 位的指令以状态寄存器为目标寄存器，那么对这三个位的写操作将被禁止。这些位根据器件逻辑来置 1 或清零。而且， TO 和 PD 标志位均为不可写位。因此，当执行一条以状态寄存器作为目标寄存器的指令时，运行结果可能会与预想的不同。

例如，指令 CLRF STATUS 将会清零状态寄存器中的高三位，并将 Z 标志位置 1。这将使状态寄存器中的值成为 “000u u1uu”（其中 u = 不变）。

因此，若要改变状态寄存器的值，建议使用 BCF、BSF、SWAPF和MOVWF指令，因为这些指令将不会影响任何状态位。关于其他不影响任何状态位的指令，请参见**第 12.0 节 “指令集汇总”**。

注 1： PIC16F688 未使用 IRP 和 RP1 位（STATUS<7:6>），它们应保持清零。不建议使用这些位，因为这可能会影响与未来产品的向上兼容性。

2： 在减法运算时， C 和 DC 位分别作为借位位和半借位位。请参见 SUBLW 和 SUBWF 指令中的示例。

寄存器 2-1： STATUS：状态寄存器

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC(1)	C(1)
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **IRP：** 寄存器存储区选择位 （用于间接寻址）
1 = Bank 2 和 3 （100h － 1FFh）
0 = Bank 0 和 1 （00h － FFh）

bit 6-5 **RP<1:0>：** 寄存器存储区选择位 （用于直接寻址）
00 = Bank 0 （00h － 7Fh）
01 = Bank 1 （80h － FFh）
10 = Bank 2 （100h － 17Fh）
11 = Bank 3 （180h － 1FFh）

bit 4 **$\overline{TO}$：** 超时位
1 = 在上电复位、执行 CLRWDT 或 SLEEP 指令后
0 = 产生了 WDT 超时

bit 3 **$\overline{PD}$：** 掉电位
1 = 上电或执行 CLRWDT 指令后
0 = 执行 SLEEP 指令

bit 2 **Z：** 零标志位
1 = 算术运算或逻辑运算的结果为零
0 = 算术运算或逻辑运算的结果不为零

bit 1 **DC：** 半进位 / $\overline{借位}$位 （ADDWF、 ADDLW、 SUBLW 和 SUBWF 指令） (1)
对于借位，极性相反。
1 = 运算结果的第 4 个低位发生了进位
0 = 运算结果的第 4 个低位未发生进位

bit 0 **C：** 进位 / $\overline{借位}$位 （ADDWF、 ADDLW、 SUBLW 和 SUBWF 指令） (1)
1 = 运算结果中最高位发生了进位
0 = 运算结果中最高位未发生进位

注 1： 对于$\overline{借位}$，极性相反。减法操作的执行是通过加上第二个操作数的二进制补码 （Two's Complement）来实现的。对于移位指令 （RRF 和 RLF），是把源寄存器的最高位或最低位放入 C 中。

2.2.2.2 选项寄存器

选项（Option）寄存器是可读写寄存器，有各种控制位，用来配置以下各项：

- TMR0/WDT 预分频器
- 外部 RA2/INT 中断
- TMR0
- PORTA 的弱上拉

注： 要使TMR0获得1:1的预分频比，可将PSA位（OPTION<3>）置为 1，以将预分频器分配给 WDT。请参见**第 5.1.3 节 “软件可编程预分频器”**。

寄存器 2-2： OPTION_REG：选项寄存器

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
$\overline{\text{RAPU}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **$\overline{\text{RAPU}}$**：PORTA 上拉使能位
1 = 禁止 PORTA 上拉
0 = 通过单独的端口锁存值使能 PORTA 上拉

bit 6 **INTEDG**：中断触发边沿选择位
1 = RA2/INT 引脚的上升沿触发中断
0 = RA2/INT 引脚的下降沿触发中断

bit 5 **T0CS**：Timer0 时钟源选择位
1 = RA2/T0CKI 引脚上的电平跳变
0 = 内部指令周期时钟 （FOSC/4）

bit 4 **T0SE**：Timer0 时钟源边沿选择位
1 = 在 RA2/T0CKI 引脚电平从高至低跳变时，递增计数
0 = 在 RA2/T0CKI 引脚电平从低至高跳变时，递增计数

bit 3 **PSA**：预分频器分配控制位
1 = 预分频器分配给 WDT
0 = 预分频器分配给 Timer0 模块

bit 2-0 **PS<2:0>**：预分频比选择位

位值	Timer0 比率	WDT 比率
000	1 : 2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

© 2007 Microchip Technology Inc.

2.2.2.3 INTCON 寄存器

INTCON 寄存器是可读写的寄存器，它包含 TMR0 寄存器溢出、PORTA 电平变化和外部 RA2/INT 引脚中断等的各种使能控制位和标志位。

注： 当中断条件满足时，无论相应中断允许位或全局中断允许位 GIE（INTCON<7>）的状态如何，中断标志位均将被置 1。用户程序应确保在重新允许中断之前，相应的中断标志位已被清零。

寄存器 2-3： INTCON：中断控制寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **GIE**：全局中断允许位
1 = 允许所有非屏蔽中断
0 = 禁止所有中断

bit 6 **PEIE**：外设中断允许位
1 = 允许所有非屏蔽外设中断
0 = 禁止所有外设中断

bit 5 **T0IE**：TMR0 溢出中断允许位
1 = 允许 TMR0 中断
0 = 禁止 TMR0 中断

bit 4 **INTE**：RA2/INT 外部中断允许位
1 = 允许 RA2/INT 外部中断
0 = 禁止 RA2/INT 外部中断

bit 3 **RAIE**：PORTA 电平变化中断允许位 **(1)**
1 = 允许 PORTA 电平变化中断
0 = 禁止 PORTA 电平变化中断

bit 2 **T0IF**：TMR0 溢出中断标志位 **(2)**
1 = TMR0 寄存器已经溢出 （必须用软件清零）
0 = TMR0 寄存器没有溢出

bit 1 **INTF**：RA2/INT 外部中断标志位
1 = RA2/INT 外部中断已经发生 （必须用软件清零）
0 = RA2/INT 外部中断没有发生

bit 0 **RAIF**：PORTA 电平变化中断标志位
1 = PORTA <5:0> 引脚中至少有一个状态发生变化时 （必须用软件清零）
0 = PORTA <5:0> 引脚状态均未发生变化

注 1：IOCA 寄存器也必须被使能。

2：当 Timer0 计数出现计满返回时， T0IF 位将被置 1。 Timer0 计数值在复位时不变，而且应在清零 T0IF 位之前对其进行初始化。

2.2.2.4 PIE1 寄存器

PIE1 寄存器包含中断允许位，如寄存器 2-4 所示。

注： 必须将 PEIE （INTCON<6>）位置 1，以允许外设中断。

寄存器 2-4： PIE1：外设中断允许寄存器 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EEIE	ADIE	RCIE	C2IE	C1IE	OSFIE	TXIE	TMR1IE
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **EEIE**：EE 写完成中断允许位
1 = 允许 EE 写完成中断
0 = 禁止 EE 写完成中断

bit 6 **ADIE**：A/D 转换器 （ADC）中断允许位
1 = 允许 A/D 转换器中断
0 = 禁止 A/D 转换器中断

bit 5 **RCIE**：USART 接收中断允许位
1 = 允许 USART 接收中断
0 = 禁止 USART 接收中断

bit 4 **C2IE**：比较器 2 中断允许位
1 = 允许比较器 2 中断
0 = 禁止比较器 2 中断

bit 3 **C1IE**：比较器 1 中断允许位
1 = 允许比较器 1 中断
0 = 禁止比较器 1 中断

bit 2 **OSFIE**：振荡器故障中断允许位
1 = 允许振荡器故障中断
0 = 禁止振荡器故障中断

bit 1 **TXIE**：USART 发送中断允许位
1 = 允许 USART 发送中断
0 = 禁止 USART 发送中断

bit 0 **TMR1IE**：Timer1 溢出中断允许位
1 = 允许 Timer1 溢出中断
0 = 禁止 Timer1 溢出中断

© 2007 Microchip Technology Inc.

2.2.2.5 PIR1 寄存器

PIR1 寄存器包含中断标志位，如寄存器 2-5 所示。

注： 当中断条件满足时，无论相应中断允许位或全局中断允许位 GIE（INTCON<7>）的状态如何，中断标志位均将被置 1。用户程序应确保在重新允许中断之前，相应的中断标志位已被清零。

寄存器 2-5： PIR1：外设中断请求寄存器 1

R/W-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	R-0	R/W-0
EEIF	ADIF	RCIF	C2IF	C1IF	OSFIF	TXIF	TMR1IF
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **EEIF**：EEPROM 写操作中断标志位
1 = 写操作已完成（必须用软件清零）
0 = 写操作未完成或尚未开始

bit 6 **ADIF**：A/D 中断标志位
1 = A/D 转换完成
0 = A/D 转换未完成或尚未开始

bit 5 **RCIF**：USART 接收中断标志位
1 = USART 接收缓冲器满
0 = USART 接收缓冲器空

bit 4 **C2IF**：比较器 2 中断标志位
1 = 比较器 2 输出已改变（必须用软件清零）
0 = 比较器 2 输出未改变

bit 3 **C1IF**：比较器 1 中断标志位
1 = 比较器 1 输出已改变（必须用软件清零）
0 = 比较器 1 输出未改变

bit 2 **OSFIF**：振荡器故障中断标志位
1 = 系统振荡器故障，时钟输入切换至 INTOSC（必须用软件清零）
0 = 系统时钟工作正常

bit 1 **TXIF**：USART 发送中断标志位
1 = USART 发送缓冲器空
0 = USART 发送缓冲器满

bit 0 **TMR1IF**：Timer1 溢出中断标志位
1 = Timer1 寄存器已溢出（必须用软件清零）
0 = Timer1 寄存器未溢出

2.2.2.6 PCON 寄存器

电源控制 （PCON）寄存器 （见寄存器 2-6）包含区分
以下各种复位的标志位：

- 上电复位 （$\overline{\text{POR}}$）
- 欠压复位 （$\overline{\text{BOR}}$）
- 看门狗定时器复位 （WDT）
- 外部 $\overline{\text{MCLR}}$ 复位

PCON寄存器还控制超低功耗唤醒和$\overline{\text{BOR}}$的软件使能。

寄存器 2-6： PCON： 电源控制寄存器

U-0	U-0	R/W-0	R/W-1	U-0	U-0	R/W-0	R/W-x
—	—	ULPWUE	SBOREN(1)	—	—	$\overline{\text{POR}}$	$\overline{\text{BOR}}$
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-6 **未实现：**读为 0

bit 5 **ULPWUE**：超低功耗唤醒使能位
1 = 使能超低功耗唤醒
0 = 禁止超低功耗唤醒

bit 4 **SBODEN**：软件 BOD 使能位 (1)
1 = 使能 BOD
0 = 禁止 BOD

bit 3-2 **未实现：**读为 0

bit 1 **$\overline{\text{POR}}$：**上电复位状态位
1 = 无上电复位发生
0 = 发生上电复位 （上电复位发生后，必须用软件置 1）

bit 0 **$\overline{\text{BOR}}$：**欠压复位状态位
1 = 无欠压检测发生
0 = 发生欠压检测 （欠压检测发生后，必须用软件置 1）

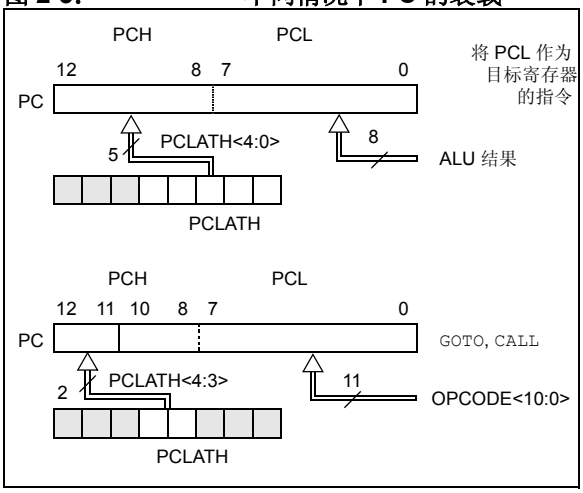
注 1： 配置字寄存器中的 BOREN<1:0> = 01 时，该位控制 $\overline{\text{BOR}}$。

© 2007 Microchip Technology Inc.

2.3 PCL 和 PCLATH

程序计数器（PC）为 13 位宽。其低 8 位来自可读写的 PCL 寄存器，高 5 位（PC<12:8>）来自 PCLATH，不能直接读写。只要发生复位，PC 就将被清零。图 2-3 显示了装载 PC 值的两种情形。图 2-3 上方的例子说明在写 PCL 时是如何装载 PC 的（PCLATH<4:0> → PCH）。图 2-3 下方的例子说明了在执行 CALL 或 GOTO 指令期间是如何装载 PC 的（PCLATH<4:3> → PCH）。

图 2-3： 不同情况下 PC 的装载



2.3.1 计算 GOTO 指令

计算 GOTO 指令是通过向程序计数器加入偏移量（ADDWF PCL）来实现的。在使用计算 GOTO 指令进行表读操作时，应注意表地址是否跨越了 PCL 寄存器的存储边界（每个存储块为 256 个字节）。请参见应用笔记 AN556，“*Implementing a Table Read*”（DS00556）。

2.3.2 堆栈

PIC16F688 系列具有 8 级 x 13 位宽的硬件堆栈（见图 2-1）。堆栈空间既不占用程序存储区空间，也不占用数据存储区空间，而且堆栈指针是不可读写的。当执行 CALL 指令或当中断导致程序跳转时，PC 值将被压入（PUSH）堆栈。而在执行 RETURN、RETLW 或 RETFIE 指令时，堆栈中的断点地址将从堆栈中弹出（POP）到 PC 中。PCLATH 不受 PUSH 或 POP 操作的影响。

堆栈的工作原理犹如循环缓冲区。这意味着当堆栈压栈 8 次后，第 9 次压栈的数值将会覆盖第一次压栈时所保存的数值，而第十次压栈数值将覆盖第二次压栈时保存的数值，以后依次类推。

注 1： 不存在指明堆栈是否上溢或下溢的状态标志位。

2： 不存在被称为 PUSH 或 POP 的指令 / 助记符。堆栈的压入或弹出是源于执行了 CALL、RETURN、RETLW 和 RETFIE 指令，或源于指向中断向量地址。

2.4 间接寻址、 INDF 和 FSR 寄存器

INDF 寄存器不是实际存在的寄存器，对 INDF 寄存器进行寻址将产生间接寻址。

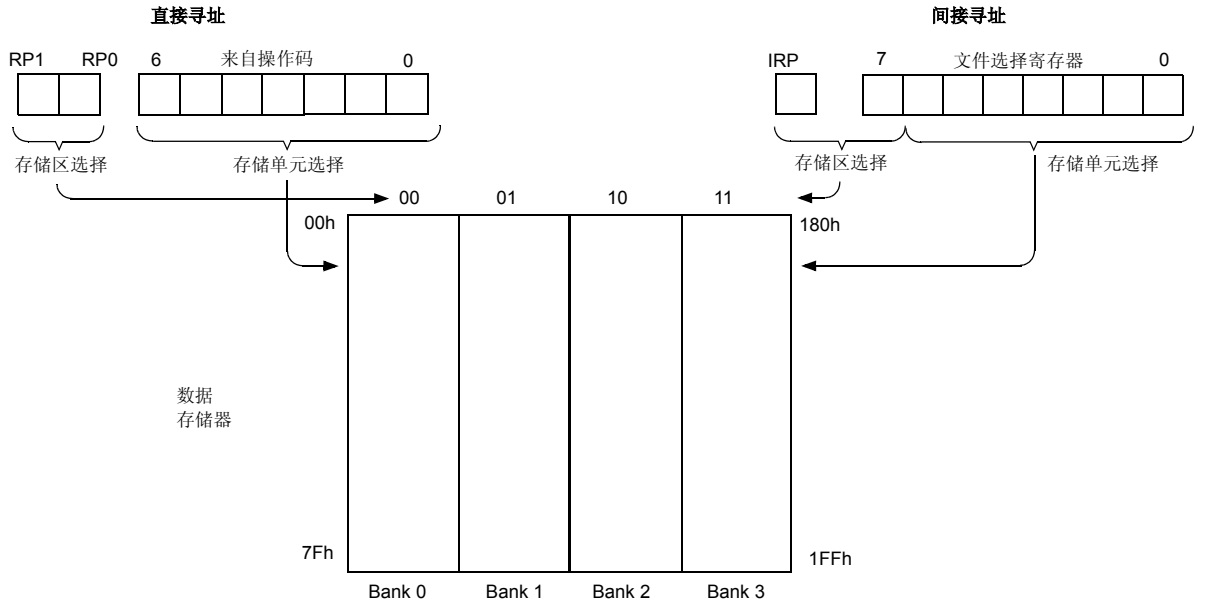
使用 INDF 寄存器可进行间接寻址。任何使用 INDF 寄存器的指令，实际上是对文件选择寄存器（FSR）所指向的数据进行存取。间接对 INDF 进行读操作将返回 00h。间接对 INDF 寄存器进行写操作将导致空操作（尽管可能会影响状态标志位）。通过将 8 位的 FSR 寄存器与 IRP 位（STATUS<7>）进行组合可得到一个有效的 9 位地址，如图 2-4 所示。

例 2-1 给出了一个使用间接寻址将 RAM 地址单元 20h-2Fh 清零的简单程序。

例 2-1： 间接寻址

```
    MOVLW   0x20    ;initialize pointer
    MOVWF   FSR     ;to RAM
NEXTCLRF    INDF    ;clear INDF register
    INCF    FSR     ;inc pointer
    BTFSS   FSR,4   ;all done?
    GOTO    NEXT    ;no clear next
CONTINUE            ;yes continue
```

图 2-4： 直接 / 间接寻址 PIC16F688



注： 关于存储器映射图的详细信息，请参见图 2-2。

© 2007 Microchip Technology Inc.

3.0 振荡器模块 （带故障保护时钟监视器）

3.1 概述

振荡器模块具有各种时钟源和选择特性，使其可广泛适用于各种应用中，同时可最大限度地提高性能并降低功耗。图 3-1 所示为振荡器模块的框图。

时钟源可配置为来自外部振荡器、石英晶体谐振器、陶瓷谐振器以及阻容 （Resistor-Capacitor， RC）电路。此外，系统时钟源可配置为两个内部振荡器之一，并通过软件来选择速度。其他时钟特性包括：

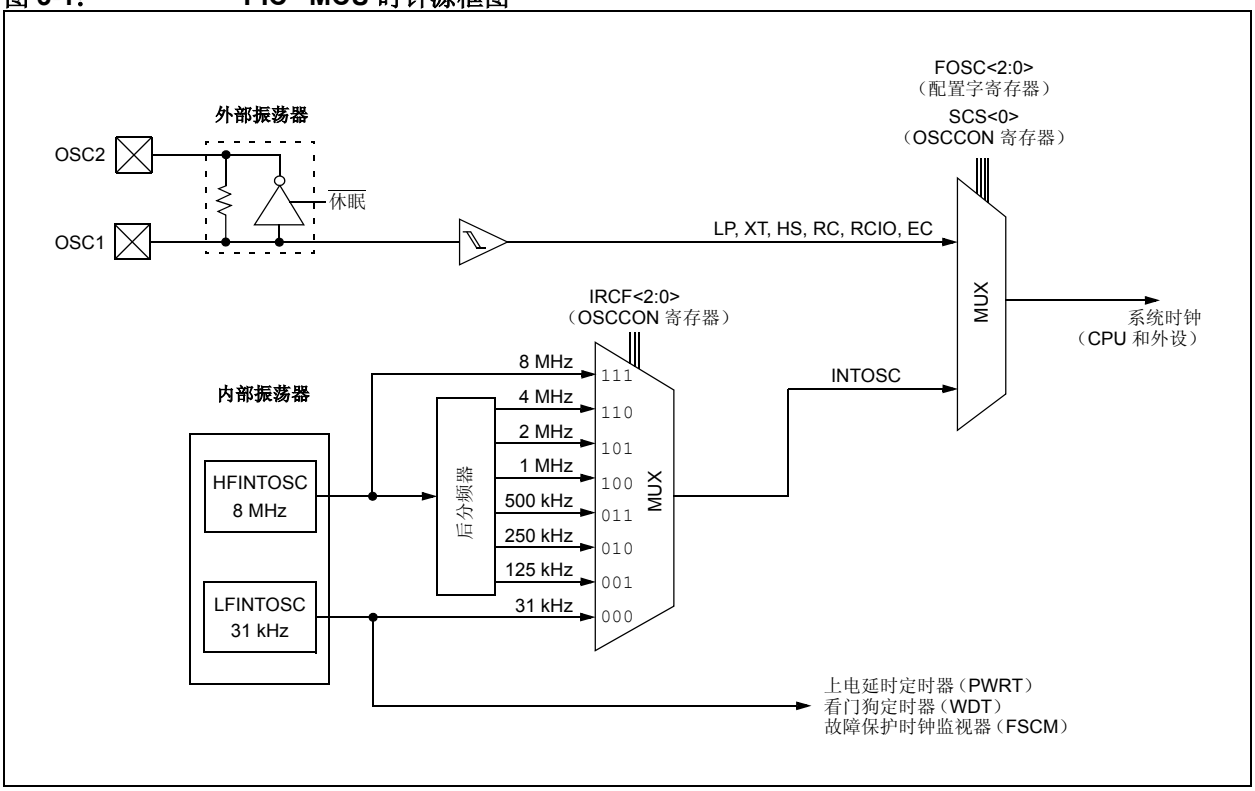
- 可通过软件选择外部或内部系统时钟源。
- 双速时钟启动模式，最大限度地缩短外部振荡器起振与代码执行之间的延时。
- 故障保护时钟监视器 （Fail-Safe Clock Monitor，FSCM），用来检测外部时钟源 （LP、 XT、 HS、 EC 或 RC 模式）故障以及切换到内部振荡器。

PIC16F688 可配置为以下 8 种时钟模式之一。

1. EC——外部时钟， I/O 在 RA4 上。
2. LP——低增益晶振或陶瓷谐振振荡器模式。
3. XT——中等增益晶振或陶瓷谐振振荡器模式。
4. HS——高增益晶振或陶瓷谐振器模式。
5. RC——外部阻容（RC），FOSC/4 输出到 RA4。
6. RCIO——外部阻容， I/O 在 RA4 上。
7. INTRC——内部振荡器，FOSC/4 输出到 RA4 且 I/O 在 RA5 上。
8. INTRCIO——内部振荡器，I/O在RA4和RA5上。

通过配置字寄存器 （CONFIG）的 FOSC<2:0> 位来配置时钟源模式。内部时钟可用两个振荡器产生。HFINTOSC 是高频已校准振荡器。 LFINTOSC 是低频未校准振荡器。

图 3-1： PIC® MCU 时钟源框图



3.2 振荡器控制

振荡器控制（OSCCON）寄存器（图 3-1）控制系统时钟和频率选择选项。 OSCCON 寄存器包含以下位：

- 频率选择位 （IRCF）
- 频率状态位 （HTS 和 LTS）
- 系统时钟控制位 （OSTS 和 SCS）

寄存器 3-1： OSCCON：振荡器控制寄存器

U-0	R/W-1	R/W-1	R/W-0	R-1	R-0	R-0	R/W-0
—	IRCF2	IRCF1	IRCF0	OSTS(1)	HTS	LTS	SCS
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **未实现：**读为 0

bit 6-4 **IRCF<2:0>：**内部振荡器频率选择位
111 = 8 MHz
110 = 4 MHz （默认）
101 = 2 MHz
100 = 1 MHz
011 = 500 kHz
010 = 250 kHz
001 = 125 kHz
000 = 31 kHz （LFINTOSC）

bit 3 **OSTS：**振荡器起振超时状态位 (1)
1 = 器件运行于由配置字寄存器中的 FOSC<2:0> 位定义的外部时钟
0 = 器件运行于内部振荡器 （HFINTOSC 或 LFINTOSC）

bit 2 **HTS：**HFINTOSC 状态位 （高频 – 8 MHz 至 125 kHz）
1 = HFINTOSC 稳定
0 = HFINTOSC 不稳定

bit 1 **LTS：**LFINTOSC 状态位 （低频 – 31 kHz）
1 = LFINTOSC 稳定
0 = LFINTOSC 不稳定

bit 0 **SCS：**系统时钟选择位
1 = 内部振荡器用作系统时钟
0 = 时钟源由配置字寄存器中的 FOSC<2:0> 位定义

注 1： 寄存器中的位复位为 0，带双速启动并且选择 LP、 XT 或 HS 作为振荡器模式，或使能故障保护模式。

© 2007 Microchip Technology Inc.

3.3 时钟源模式

时钟源模式可分为外部和内部模式。

- 外部时钟模式依靠外部电路提供时钟源。例如，振荡器模块 （EC 模式）、石英晶体谐振器或陶瓷谐振器 （LP、 XT 和 HS 模式）以及阻容 （RC 模式）电路。
- 内部时钟源内置于 PIC16F688 中。 PIC16F688 有两个内部振荡器：一个是 8 MHz 高频内部振荡器（HFINTOSC），另一个是 31 kHz 低频内部振荡器 （LFINTOSC）。

可通过系统时钟选择（SCS）位，选择外部或内部时钟源为系统时钟 （见**第 3.6 节 “时钟切换”**）。

3.4 外部时钟模式

3.4.1 振荡器起振定时器 （OST）

如果 PIC16F688 配置为 LP、XT 或 HS 模式，在发生了上电复位 （POR）且上电延时定时器 （PWRT）延时结束 （如果配置了）后，或从休眠中唤醒时，振荡器起振定时器 （OST）对来自 OSC1 引脚的振荡计数 1024 次。在此期间，程序计数器不递增，程序执行暂停。 OST 确保使用石英晶体谐振器或陶瓷谐振器的振荡器电路已经启动并向 PIC16F688 提供稳定的系统时钟信号。当在时钟源之间切换时，需要一定的延时以使新时钟稳定。表 3-1 给出了振荡器延时的例子。

为了使外部振荡器起振和代码执行之间的延时最小，可选择双速时钟启动模式（见**第 3.7 节“双速时钟启动模式”**）。

表 3-1： 振荡器延时示例

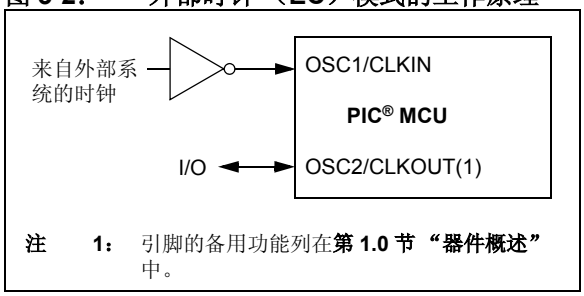
切换自	切换到	频率	振荡器延时
休眠 /POR	LFINTOSC HFINTOSC	31 kHz 125 kHz 至 8 MHz	振荡器预热延时 （TWARM）
休眠 /POR	EC， RC	DC – 20 MHz	2 个指令周期
LFINTOSC （31 kHz）	EC， RC	DC – 20 MHz	每个 1 周期
休眠 /POR	LP， XT， HS	32 kHz to 20 MHz	1024 个时钟周期 （OST）
LFINTOSC （31 kHz）	HFINTOSC	125 kHz to 8 MHz	1 μs （约）

3.4.2 EC 模式

外部时钟 （EC）模式允许外部产生的逻辑电平作为系统时钟源。工作在此模式下时，外部时钟源连接到 OSC1 引脚，RA5 引脚用作通用 I/O。图 3-2 给出了 EC 模式的引脚连接。

当选取 EC 模式时，振荡器起振定时器 （OST）被禁止。因此，上电复位（POR）后或者从休眠中唤醒后的操作不存在延时。因为 PIC16F688 的设计是完全静态的，停止外部时钟输入将使器件暂停工作并保持所有数据的完整性。当再次启动外部时钟时，器件恢复工作，就好像没有停止过一样。

图 3-2： 外部时钟 （EC）模式的工作原理



注 1： 引脚的备用功能列在**第 1.0 节 “器件概述”**中。

3.4.3 LP、 XT 和 HS 模式

LP、XT 和 HS 模式支持使用连接到 OSC1 和 OSC2 引脚的石英晶体谐振器或陶瓷谐振器 （图 3-1）。模式选择内部反相放大器的低、中或高增益设定，以支持各种谐振器类型及速度。

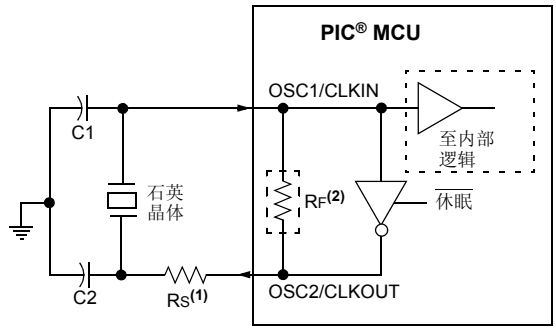
LP 振荡器模式选择内部反相放大器的最低增益设定。LP模式的电流消耗在三种模式中最小。该模式较适用于驱动具备低驱动电平规范的谐振器，例如，音叉（Tuning Fork）式晶振。

XT 振荡器模式选择内部反相放大器的中等增益设定。XT 模式的电流消耗在三种模式中居中。该模式较适用于驱动具备中等驱动电平规格要求的谐振器，例如，低频 /AT 切割石英晶体谐振器。

HS 振荡器模式选择内部反相放大器的最高增益设定。HS 模式的电流消耗在三种模式中最大。该模式较适用于驱动需要高驱动设定的谐振器，例如，高频 /AT 切割石英晶体谐振器或陶瓷谐振器。

图 3-3 和图 3-4 分别给出了石英晶体谐振器和陶瓷谐振器的典型电路。

图 3-3： 石英晶体工作原理（LP、 XT 或 HS 模式）



注 1： 对于低驱动电平的石英晶振，可能需要串联一个电阻 （RS）。

2： RF 的值随选取的振荡模式而变化 （典型值在 2 MΩ 到 10 MΩ 之间）。

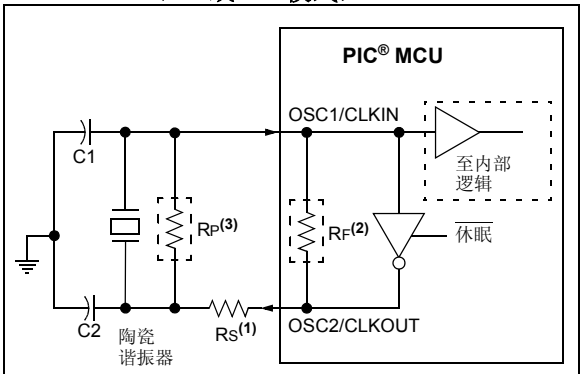
注 1： 石英晶振的特性随类型、封装和制造商而变化。要了解规范值和推荐应用，应查阅制造商提供的数据手册。

2： 应始终验证振荡器在应用预期的VDD和温度范围内的性能。

3： 欲获得振荡器设计的帮助，请参考以下 Microchip 应用笔记：

- AN826，*“Crystal Oscillator Basics and Crystal Selection for rfPIC® and PIC® Devices”* （DS00826）
- AN849，*“Basic PIC® Oscillator Design”* （DS00849)
- AN943，*“Practical PIC® Oscillator Analysis and Design”*（DS00943）
- AN949，*“Making Your Oscillator Work”*（DS00949）

图 3-4： 陶瓷谐振器工作原理（XT 或 HS 模式）



注 1： 对于低驱动电平的陶瓷谐振器，可能需要串联一个电阻 （RS）。

2： RF 的值随选取的振荡模式而变化 （典型值在 2 MΩ 到 10 MΩ 之间）。

3： 对于适当的陶瓷谐振器工作，可能需要并联一个反馈电阻 （RP）（典型值 1 MΩ）。

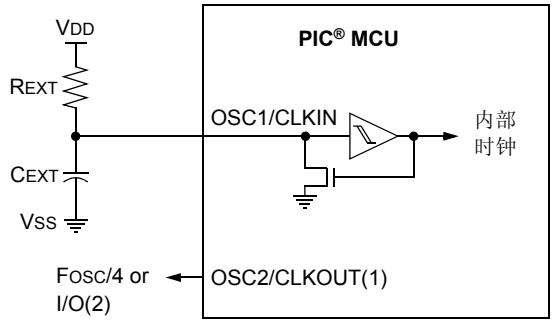
© 2007 Microchip Technology Inc.

3.4.4 外部 RC 模式

外部阻容（RC）模式支持使用外部 RC 电路。对时钟精度要求不高时，这使设计人员有了很大的频率选择空间，同时保持成本最低。有 RC 和 RCIO 两种模式。

在 RC 模式下， RC 电路连接到 OSC1 引脚。 OSC2/CLKOUT 引脚输出为 RC 振荡器频率的 4 分频。该信号可用来为外部电路、同步、校准、测试或其他应用需求提供时钟。图 3-5 给出了 RC 模式的连接图。

图 3-5： 外部 RC 模式



建议值： 10 kΩ ≤ REXT ≤ 100 kΩ， <3V
3 kΩ ≤ REXT ≤ 100 kΩ， 3-5V
CEXT > 20 pF， 2-5V

注 1： 引脚的备用功能列在**第 1.0 节 “器件概述”**中。

2： 输出取决于 RC 或 RCIO 时钟模式。

在 RCIO 模式下， RC 电路连接到 OSC1 引脚。 OSC2 引脚成为额外的通用 I/O 引脚。

RC 振荡器的频率是供电电压、电阻 （REXT） 、电容（CEXT）值以及工作温度的函数。其他影响振荡器频率的因素还有：

- 门限电压变化
- 元件容差
- 封装的电容变化

用户还需考虑由所使用的外部 RC 元件产生的容差。

3.5 内部时钟模式

振荡器模块有两个独立的内部振荡器，可配置或选取为系统时钟源。

1. **HFINTOSC** （高频内部振荡器）在出厂时已校准，工作频率为8 MHz。可通过软件使用OSCTUNE 寄存器（寄存器 3-1）调整 HFINTOSC 的频率。
2. **LFINTOSC** （低频内部振荡器）未经校准，工作频率为 31 kHz。

可通过软件使用 OSCCON 寄存器中的内部振荡器频率选择 （IRCF<2:0>）位来选择系统时钟速度。

可通过 OSCCON 寄存器中的系统时钟选择（SCS）位，选择外部或内部时钟源为系统时钟。更多信息请参见**第 3.6 节 “时钟切换”**。

3.5.1 INTRC 和 INTRCIO 模式

当在配置字寄存器 （CONFIG）中使用振荡器选择（FOSC<2:0>）位对器件进行设置时，在 INTRC 和 INTRCIO 模式下将内部振荡器配置为系统时钟源。更多信息请参见**第 11.0 节 “CPU 的特殊功能”**。

在 **INTRC** 模式下，OSC1 引脚可用作通用 I/O。OSC2/CLKOUT 引脚输出所选内部振荡器频率的 4 分频。CLKOUT 信号可用来为外部电路、同步、校准、测试或其他应用需求提供时钟。

在 **INTRCIO** 模式下， OSC1 和 OSC2 引脚可用作通用 I/O。

3.5.2 HFINTOSC

高频内部振荡器 （HFINTOSC）是出厂时已校准的 8 MHz 内部时钟源。可通过软件使用 OSCTUNE 寄存器（寄存器 3-1）调整 HFINTOSC 的频率。

HFINTOSC 的输出连接到后分频器和多路复用器 （见图 3-1） 。可通过软件使用 OSCCON 寄存器中的 IRCF<2:0> 位选择七种频率之一。更多信息请参见**第 3.5.4 节 “频率选择位 （IRCF）”**。

通过设置 OSCCON 寄存器中的 IRCF<2:0> 位使其 ≠ 000 来选择 8 MHz 到 125 kHz 之间的任一频率，这可使能 HFINTOSC。然后，将 OSCCON 寄存器中的系统时钟源（SCS）位置 1，或通过将配置字寄存器（CONFIG）中的 IESO 位置 1 使能双速启动。

OSCCON 寄存器的 HF 内部振荡器 （HTS）位（OSCCON<2>）指示 HFINTOSC 是否稳定。

3.5.2.1 OSCTUNE 寄存器

HFINTOSC 在出厂时已校准，但可通过在软件中写入 OSCTUNE 寄存器 （寄存器 3-1）来进行调节。

OSCTUNE 寄存器的缺省值为 0。该值是一个 5 位的二进制补码数。由于制造工艺的差异，可能无法确定单调性和频阶。

当 OSCTUNE 寄存器被修改时， HFINTOSC 频率将开始转变为新频率。转变期间，代码将继续执行。是否已发生频率转变并无明确的指示。

OSCTUNE 不影响 LFINTOSC 频率。依赖于 LFINTOSC 时钟源频率的功能，如上电延时定时器 （PWRT）、看门狗定时器 （WDT）、故障保护时钟监视器 （FSCM）以及外设等，其工作*不*受频率改变的影响。

寄存器 3-2： OSCTUNE：振荡器调节寄存器

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	TUN4	TUN3	TUN2	TUN1	TUN0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-5 **未实现：**读为 0

bit 4-0 **TUN<4:0>：**频率调节位

01111 = 最高频率
01110 =
•
•
•
00001 =
00000 = 振荡器模块运行在经过校准的频率上
11111 =
•
•
•
10000 = 最低频率

© 2007 Microchip Technology Inc.

3.5.3 LFINTOSC

低频内部振荡器（LFINTOSC）是未经校准的 31 kHz（近似值）内部时钟源。

LFINTOSC 的输出连接到后分频器和多路复用器（见图3-1）。可通过软件用OSCCON寄存器中的IRCF<2:0>位选取 31 kHz。更多信息请参见**第 3.5.4 节“频率选择位（IRCF）”**。LFINTOSC 还是上电延时定时器（PWRT）、看门狗定时器（WDT）以及故障保护时钟监视器（FSCM）的时钟源。

选取 31 kHz（OSCCON 寄存器中的 IRCF<2:0> = 000）为系统时钟源（OSCCON 寄存器中 SCS 位 = 1），或使能下列任一项时，LFINTOSC 将被使能：

- 配置字寄存器中的双速启动位 IESO = 1 且 OSCCON 寄存器中的 IRCF<2:0> = 000
- 上电延时定时器（PWRT）
- 看门狗定时器（WDT）
- 故障保护时钟监视器（FSCM）

OSCCON 寄存器中的 LF 内部振荡器位 LTS 指明 LFINTOSC 是否稳定。

3.5.4 频率选择位（IRCF）

8 MHz HFINTOSC 和 31 kHz 的 LFINTOSC 的输出连接到后分频器和多路复用器（见图 3-1）。OSCCON 寄存器中的内部振荡器频率选择位IRCF<2:0>选择内部振荡器的频率输出。可通过软件选择以下 8 种频率之一：

- 8 MHz
- 4 MHz（复位后的缺省值）
- 2 MHz
- 1 MHz
- 500 kHz
- 250 kHz
- 125 kHz
- 31 kHz（LFINTOSC）

注：	任一复位后，OSCCON 寄存器中的 IRCF<2:0> 位被设置为 110 且频率选择设置为 4 MHz。用户可修改 IRCF 位来选择其他频率。

3.5.5 HF 和 LF INTOSC 时钟切换时序

当在 LFINTOSC 和 HFINTOSC 之间切换时，新的振荡器可能为了省电已经关闭（见图 3-6）。在这种情况下，从 OSCCON 寄存器的 IRCF<2:0> 位被修改之后到频率选择生效之前存在延时。OSCCON 寄存器中的 LTS 和 HTS 位将反映 LFINTOSC 和 HFINTOSC 振荡器的当前激活状态。频率选择时序如下：

1. OSCCON 寄存器中的 IRCF<2:0> 被修改。
2. 如果新时钟是关闭的，开始时钟启动延时。
3. 时钟切换电路等待当前时钟下降沿的到来。
4. CLKOUT 保持为低，时钟切换电路等待新时钟上升沿的到来。
5. 现在 CLKOUT 连接到新时钟。OSCCON 寄存器中的 HTS 和 LTS 位按要求被更新。
6. 时钟切换完成。

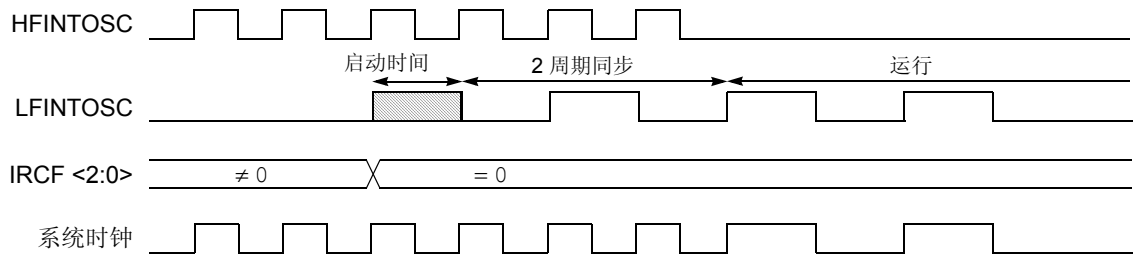
详情请参见图 3-1。

如果选取的内部振荡器速度在 8 MHz 到 125 kHz 之间，选取新频率不存在启动延时。这是因为新旧频率都来自 HFINTOSC 并经过后分频器和多路复用器得到的。

启动延时规范在**第 14.0 节“电气规范”**的 AC 规范（振荡器模块）中。

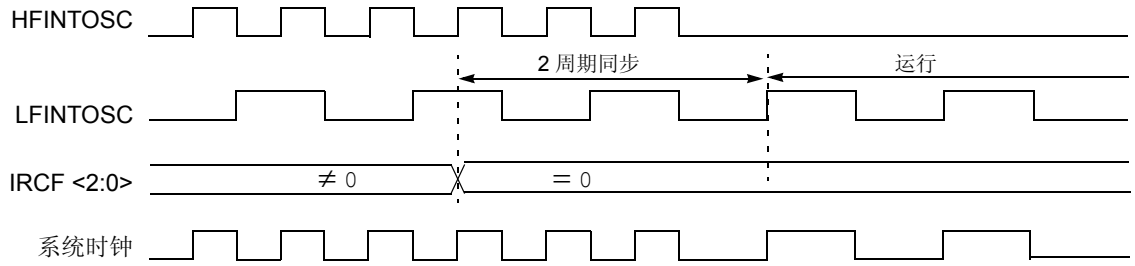
图 3-6：　　内部振荡器切换时序

HF → LF(1)
HFINTOSC → LFINTOSC（FSCM 和 WDT 禁止）

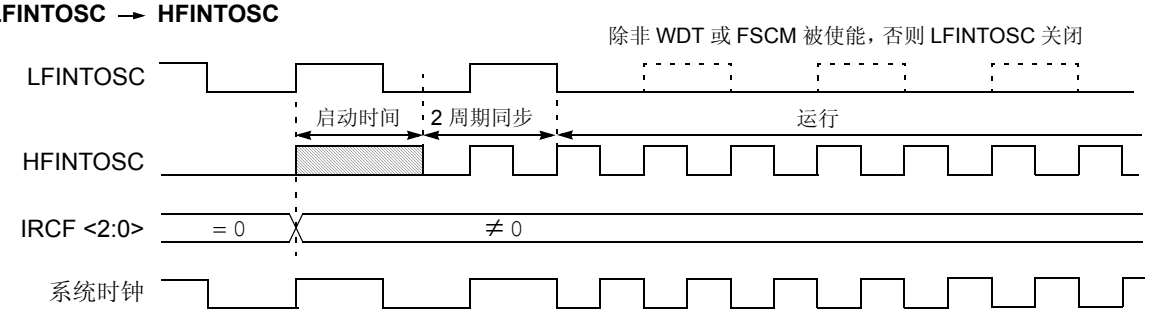


注　1： 从 LF 切换到 HF。

HFINTOSC → LFINTOSC（FSCM 或 WDT 使能）



LFINTOSC → HFINTOSC



© 2007 Microchip Technology Inc.

3.6 时钟切换

可通过软件使用 OSCCON 寄存器中的系统时钟选择（SCS）位在外部和内部时钟源之间切换系统时钟源。

3.6.1 系统时钟选择 （SCS）位

OSCCON 寄存器中的系统时钟选择 （SCS）位选择用于 CPU 和外设的系统时钟源。

- OSCCON 寄存器中的 SCS 位 = 0 时，系统时钟源由配置字寄存器 （CONFIG）中的 FOSC<2:0> 决定。
- OSCCON 寄存器中的 SCS 位 = 1 时，系统时钟源由 OSCCON 寄存器中 IRCF<2:0> 位所选择的内部振荡器频率选择。复位后， OSCCON 寄存器中的 SCS 总是被清零。

注：	任何自动时钟切换 （可能产生自双速启动或故障保护时钟监视器）都不更新 OSCCON 寄存器中的 SCS 位。用户可监控 OSCCON 寄存器中的 OSTS 位以确定当前的系统时钟源。

3.6.2 振荡器起振超时状态位

OSCCON 寄存器中的振荡器起振超时状态（OSTS）位指明系统时钟是来自外部时钟源 （通过配置字寄存器 CONFIG 中的 FOSC<2:0> 位定义），还是来自内部时钟源。在 LP、XT 或 HS 模式下， OSTS 还特别指明振荡器起振定时器 （OST）是否已超时。

3.7 双速时钟启动模式

双速启动模式通过最大限度地缩短外部振荡器起振与代码执行之间的延时，进一步节省了功耗。对于频繁使用休眠模式的应用，双速启动模式将从器件唤醒的时间中去除外部振荡器的起振时间，从而可降低器件的总体功耗。

该模式使得应用能够从休眠中唤醒，将 INTOSC 用作时钟源执行数条指令，然后再返回休眠状态而无需等待主振荡器的稳定。

注：	执行 SLEEP 指令将中止振荡器起振时间，并使 OSCCON 寄存器中的 OSTS 位保持清零。

当振荡器模块配置为 LP、XT 或 HS 模式时，振荡器起振定时器（OST）使能（见**第 3.4.1 节 “振荡器起振定时器 （OST）”**）。OST 定时器将暂停程序执行，直到完成 1024 次振荡计数。双速启动模式在 OST 计数时使用内部振荡器进行工作，最大限度地缩短了代码执行的延时。当 OST 计数到 1024 且 OSCCON 寄存器中的 OSTS 位置 1 时，程序执行切换至外部振荡器。

3.7.1 双速启动模式配置

通过以下设定来配置双速启动模式：

- 配置字寄存器中的内部 / 外部切换位 IESO = 1；双速启动模式使能。
- OSCCON 寄存器中的 SCS = 0。
- 配置字寄存器 （CONFIG）中的 FOSC<2:0> 位配置为 LP、 XT 或 HS 模式。

在下列操作之后，进入双速启动模式：

- 上电复位 （POR）后以及在 PWRT 延时结束 （使能时）后，或者
- 从休眠中唤醒。

如果外部时钟振荡器配置为除 LP、XT 或 HS 模式以外的任一模式，那么双速启动将被禁止。这是因为 POR 后或从休眠中退出时，外部时钟振荡器不需要稳定时间。

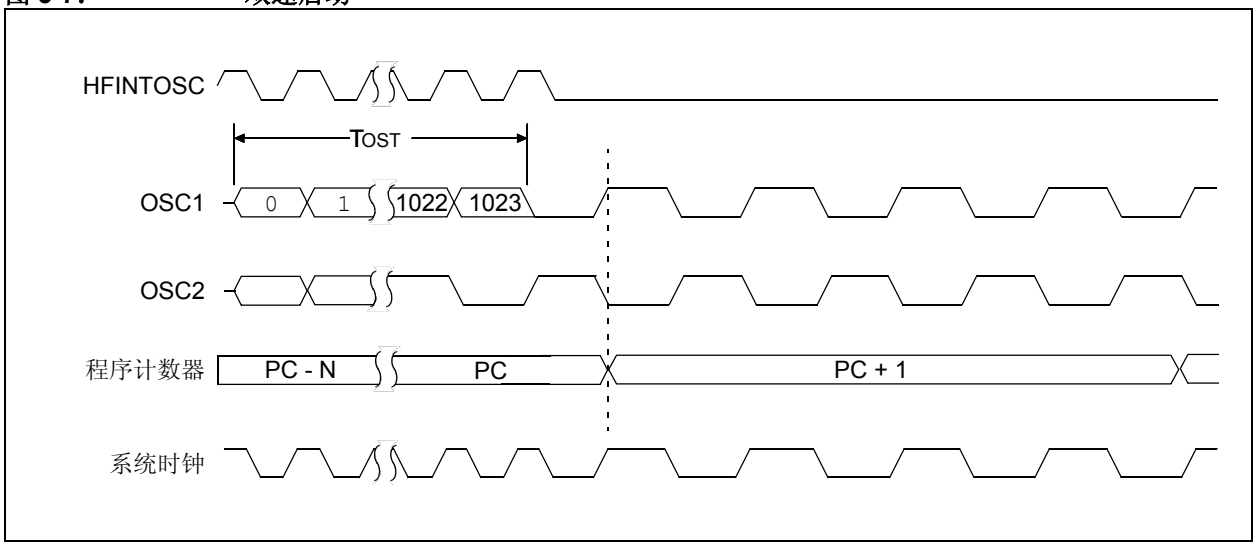
3.7.2 双速启动时序

1. 发生上电复位或从休眠中唤醒。
2. 使用内部振荡器以 OSCCON 寄存器中的 IRCF<2:0> 位设置的频率开始执行指令。
3. OST 使能，计数 1024 个时钟周期。
4. OST 超时，等待内部振荡器下降沿的到来。
5. OSTS 置 1。
6. 系统时钟保持为低电平，直到新时钟下一个下降沿的到来 （LP、 XT 或 HS 模式）。
7. 系统时钟切换到外部时钟源。

3.7.3 检查双速时钟状态

检查 OSCCON 寄存器中的 OSTS 位可确定单片机是运行于由配置字寄存器（CONFIG）中的 FOSC<2:0> 所定义的外部时钟源，还是内部振荡器。

图 3-7： 双速启动

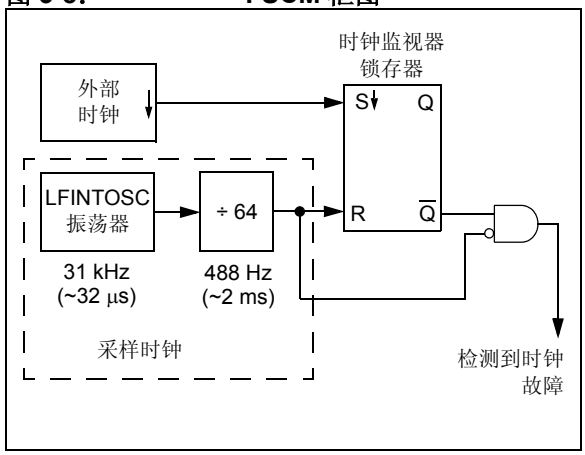


© 2007 Microchip Technology Inc.

3.8 故障保护时钟监视器

故障保护时钟监视器（FSCM）使得器件在出现振荡器故障时仍能继续工作。FSCM 能检测器件退出复位或休眠状态，以及振荡器起振定时器（OST）延时结束后的任一时刻的振荡器故障。FSCM 功能通过将配置字寄存器（CONFIG）中的 FCMEN 位置 1 来使能。它适用于所有外部时钟选项（LP、XT、HS、EC、RC 或 RCIO 模式）。

图 3-8： FSCM 框图



3.8.1 故障保护检测

FSCM 模块通过比较外部振荡器与 FSCM 采样时钟来检测振荡器故障。将 LFINTOSC 64 分频可产生采样时钟。请参见图 3-8。故障检测模块内有一个锁存器。在外部时钟的下降沿锁存器被外部时钟置 1。在采样时钟的每个上升沿锁存器被采样时钟清零。当采样时钟经过整半个周期后主时钟才进入低电平时，就检测到故障。

3.8.2 故障保护的工作原理

外部时钟发生故障时，FSCM 净器件时钟切换到内部时钟源同时将 PIR2 寄存器的 OSFIF 标志置 1。如果 PIE2 寄存器的 OSFIE 位也置 1，将 OSFIF 标志置 1 就会产生中断。器件固件就能采取措施以缓解可能由于时钟故障而产生的问题。系统时钟将继续使用内部时钟源直至器件固件成功重启外部振荡器并切换回外部时钟工作。

FSCM 选择的内部时钟源由 OSCON 寄存器的 IRCF<2:0> 位决定。这使内部振汇器可在故障发生前被配置好。

3.8.3 故障保护条件的清除

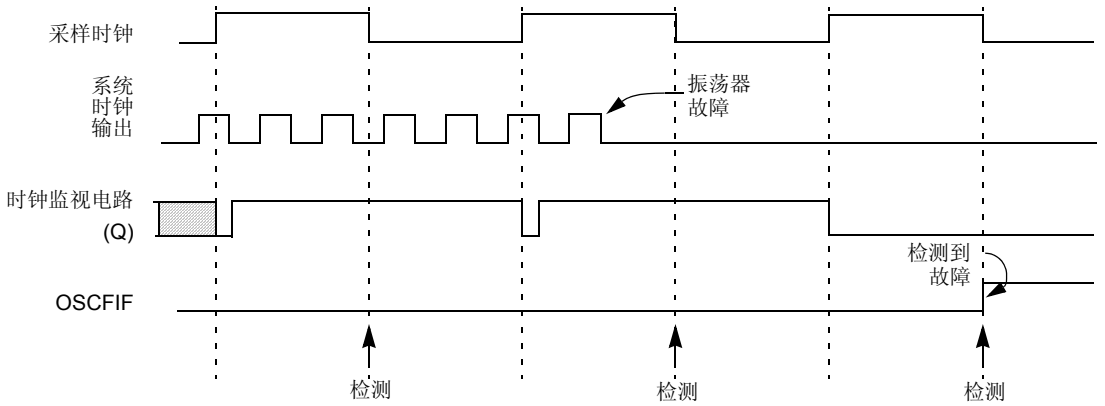
在复位、执行 SLEEP 指令或改变 OSCCON 寄存器的 SCS 位的状态后，故障保护条件被清除。改变 SCS 位状态后，OST 重启。OST 运行时，器件继续运行于 OSCCON 寄存器中选择的 INTOSC。OST 超时后，故障保护条件被清除并且器件净运行于外部时钟源。必须先清除故障保护条件后才能将 OSFIF 标志清零。

3.8.4 复位或从休眠模式中唤醒

FSCM 设计用于在振荡器起振定时器（OST）运行结束时检测振荡器故障。OST 在从休眠中唤醒和任何类型的复位后发生。OST 在 EC 或 RC 时钟模式下不使用，因此复位或唤醒结束时 FSCM 将立即被激活。当 FSCM 被使能时，双速启动也被使能。因此，器件将始终在 OST 工作时执行代码。

注：	由于振荡器起振时间变化范围比较大，故障保护电路在振荡器起振时（即，退出复位或休眠后）不工作。经过一段时间后，用户应检查 OSCCON 寄存器的 OSTS 位来验证振荡器是否起振，以及系统时钟切换是否成功完成。

图 3-9：　　FSCM 时序图



注：　　系统时钟通常比采样时钟频率高很多。本例中所选的相对频率是为了便于说明。

表 3-2：　　与时钟源相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值 (1)
CONFIG(2)	$\overline{CPD}$	$\overline{CP}$	MCLRE	$\overline{PWRTE}$	WDTE	FOSC2	FOSC1	FOSC0	—	—
INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF	0000 000x	0000 000x
OSCCON	—	IRCF2	IRCF1	IRCF0	OSTS	HTS	LTS	SCS	-110 x000	-110 x000
OSCTUNE	—	—	—	TUN4	TUN3	TUN2	TUN1	TUN0	---0 0000	---u uuuu
PIE1	EEIE	ADIE	RCIE	C2IE	C1IE	OSFIE	TXIE	TMR1IE	0000 0000	0000 0000
PIR1	EEIF	ADIF	RCIF	C2IF	C1IF	OSFIF	TXIF	TMR1IF	0000 0000	0000 0000

图注：　x = 未知， u = 不变， - = 未用的存储单元，读为 0。振荡器不使用阴影单元。
注　1：　其他（非上电）复位包括正常工作期间的 MCLR 复位和看门狗定时器复位。
**　　2：**　所有寄存器位的操作请参见配置字寄存器（CONFIG）。

© 2007 Microchip Technology Inc.

4.0 I/O 端口

器件有多达 12 个可用的通用 I/O 引脚。根据外设的使能情况，部分甚至全部引脚可能不能用作通用 I/O。通常而言，当某个外设使能时，其相关引脚可能不能用作通用 I/O 引脚。

4.1 PORTA 和 TRISA 寄存器

PORTA 是一个 6 位宽的双向端口，对应的数据方向寄存器是 TRISA。将 TRISA 某位置 1（= 1）时，会将 PORTA 的相应引脚设为输入（即，使相应的输出驱动器呈高阻状态）。将 TRISA 某位清零（= 0）时，会将 PORTA 的相应引脚设为输出（即，将输出锁存器中的内容置于选中引脚）。RA3 是个例外，仅可作为输入引脚，其 TRISA 位总是读为 1。例 4-1 显示了如何初始化 PORTA。

读取 PORTA 寄存器将读出相应引脚的电平状态，而对其进行写操作则是写入其端口锁存器。所有写操作都是“读－修改－写”操作。因此，对端口的写操作意味着总是先读端口引脚电平状态，然后修改这个值，最后再写入该端口的数据锁存器。当 MCLRE = 1 时，RA3 读为 0。

TRISA 寄存器控制着 PORTA 引脚的方向，即使它们用作模拟输入引脚时也是如此。当引脚用于模拟输入时，用户应确保 TRISA 寄存器中的各位保持置 1。配置为模拟输入的 I/O 引脚总是读为 0。

注： 必须对 ANSEL（91h）和 CMCON0（19h）寄存器进行初始化，以将模拟通道配置为数字输入。配置为模拟输入的引脚读为 0。

例 4-1： 初始化 PORTA

```
BANKSEL PORTA          ;
CLRF    PORTA          ;Init PORTA
MOVLW   07h            ;Set RA<2:0> to
MOVWF   CMCON0         ;digital I/O
BANKSEL ANSEL          ;
CLRF    ANSEL          ;digital I/O
MOVLW   0Ch            ;Set RA<3:2> as inputs
MOVWF   TRISA          ;and set RA<5:4,1:0>
                       ;as outputs
```

寄存器 4-1： PORTA：PORTA 寄存器

U-0	U-0	R/W-x	R/W-0	R-x	R/W-0	R/W-0	R/W-0
—	—	RA5	RA4	RA3	RA2	RA1	RA0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-6 **未实现**：读为 0

bit 5-0 **RA<5:0>**：PORTA I/O 引脚位
1 = 端口引脚 > VIH
0 = 端口引脚 < VIL

寄存器 4-2： TRISA：PORTA 三态寄存器

U-0	U-0	R/W-1	R/W-1	R-1	R/W-1	R/W-1	R/W-1
—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-6 **未实现**：读为 0

bit 5-0 **TRISA<5:0>**：PORTA 三态控制位
1 = PORTA 引脚配置为输入（三态）
0 = PORTA 引脚配置为输出

注 1： TRISA<3> 始终读为 1。
2： 在 XT、HS 和 LP 振荡模式下 TRISA<5:4> 始终读为 1。

4.2 引脚的其他功能

PIC16F688 中每个 PORTA 引脚都具有电平变化中断功能和弱上拉功能。PORTA 还提供超低功耗唤醒选项。以下三节将对这些功能进行介绍。

4.2.1 ANSEL 寄存器

ANSEL 寄存器用于将 I/O 引脚的输入模式配置成模拟功能。请参见寄存器 4-3。将适当的 ANSEL 位置为高电平将拿所有数字读取值为 0 并且使该引脚上的模拟功能可正常工作。

ANSEL 位的状态对数字输出功能没有影响。TRIS 位清零且 ANSEL 位置 1 的引脚将仍然作为数字输出工作，但输入模式将为模拟。这样会在对受影响的端口执行读 - 修改 - 写指令时可能导致无法预期的结果。

4.2.2 弱上拉

除 RA3 外的每个 PORTA 引脚都具有单独配置的内部弱上拉功能。控制位 WPUAx 用于使能或禁止每个上拉功能。请参见寄存器 4-4。当端口引脚被配置为输出时，这些弱上拉会自动关闭。上电复位时将通过 OPTION 寄存器的 RAPU 位禁止上拉功能。当 RA3 配置为 MCLR 时，RA3 上的弱上拉自动使能；当 RA3 是 I/O 时弱上拉则被禁止。没有对 MCLR 上拉的软件控制。

4.2.3 电平变化中断

每个 PORTA 引脚都被单独配置具有电平变化中断功能。控制位 IOCAx 用于使能或禁止各引脚的中断功能。请参见寄存器 4-5。电平变化中断功能在上电复位时被禁止。

对于允许电平变化中断功能的引脚，其值将与上次读取的 PORTA 的旧锁存值相比较。所有与上次读取值不匹配的输出进行逻辑或运算，运算结果将 INTCON 寄存器中的 PORTA 电平变化中断标志位 （RAIF）置 1。

该中断可唤醒处于休眠状态中的器件。用户在中断服务程序中可通过以下方式清除该中断：

a) 对 PORTA 的任何读或写操作。这将结束不匹配条件，然后：

b) 清零标志位 RAIF。

不匹配条件将继续将标志位 RAIF 置 1。读 PORTA 将结束不匹配条件并将标志位 RAIF 清零。保存上一次读取值的锁存器不受 MCLR 或 BOR 复位的影响。在这些复位之后，如果存在不匹配情况， RAIF 标志还将继续被置 1。

注：	当读操作正在执行时发生了I/O引脚电平变化 （Q2 周期的起始时刻），则 RAIF 中断标志位可能不会被置 1。

寄存器 4-3： ANSEL：模拟选择寄存器

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-0 **ANS<7:0>**：模拟选择位
在引脚 AN<7:0> 上分别在模拟功数字功能之间选择。
1 = 模拟输入。引脚被指派为模拟输入 **(1)**。
0 = 数字 I/O。引脚被指派为端口或特殊功能。

注 1： 将引脚设置为模拟输入将自动禁止数字输入电路、引上拉以及电平变化中断 （若有的话）。相应 TRIS 位必须设置为输入模式以允许对该引脚电压进行外部控制。

© 2007 Microchip Technology Inc.

寄存器 4-4：　　WPUA：弱上拉 PORTA 寄存器

U-0	U-0	R/W-1	R/W-1	U-0	R/W-1	R/W-1	R/W-1
—	—	WPUA5	WPUA4	—	WPUA2	WPUA1	WPUA0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-6　　**未实现**：读为 0

bit 5-4　　**WPUA<5:4>**：弱上拉控制位
1 = 使能弱上拉
0 = 禁止弱上拉

bit 3　　**未实现**：读为 0

bit 2-0　　**WPUA<2:0>**：弱上拉控制位
1 = 使能弱上拉
0 = 禁止弱上拉

注　1：必须使能全局 $\overline{\text{RAPU}}$ 后才能单独使能弱上拉。
2：若引脚为输出模式（TRISA = 0）则器件弱上拉自动被禁止。
3：在配置字寄存器中配置为 $\overline{\text{MCLR}}$ 时 RA3 弱上拉被使能，配置为 I/O 时被禁止。
4：在 XT、HS 和 LP 振荡模式下 WPUA<5:4> 始终读为 1。

寄存器 4-5：　　IOCA：电平变化中断 PORTA 寄存器

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-6　　**未实现**：读为 0

bit 5-0　　**IOCA<5:0>**：电平变化中断 PORTA 控制位
1 = 允许电平变化中断
0 = 禁止电平变化中断

注　1：必须允许全局中断允许（GIE）位后才能识别单独中断。
2：在 XT、HS 和 LP 振荡模式下 IOCA<5:4> 始终读为 1。

4.2.4 超低功耗唤醒

RA0 上的超低功耗唤醒（ULPWU）功能允许缓慢下降的电压能够在RA0 上产生电平变化中断，同时不消耗很大的电流。将 PCON 寄存器的 ULPWUE 位置 1 将选取超低功耗唤醒模式。这将产生一个小的灌电流，可用来对 RA0 上电容器进行放电。

为了使用此功能，RA0 引脚配置成输出 1 以便对电容充电，允许 RA0 的电平变化中断，且 RA0 配置为输入。将ULPWUE 位置 1 以开始放电，并执行 SLEEP 指令。当 RA0 上电压下降到低于 VIL 时，将产生中断，唤醒器件。中断事件发生时，根据 GIE 位（INTCON<7>）的状态，器件要么跳转到中断向量（0004h），要么执行下一条指令。更多信息，请参见**第 4.2.3 节“电平变化中断”**和**第 11.5.3 节“PORTA 中断”**。

该功能提供了一种周期性将器件从休眠中唤醒的低功耗方法。休眠时间取决于 RA0 上 RC 电路的放电时间。超低功耗唤醒模块的初始化，请参见例 4-2。

电路中的串联电阻为RA0 引脚提供过流保护，同时允许使用软件校准休眠时间（见图 4-1）。可使用一个定时器测量电容器的充放电时间。然后调节充电时间，以提供所需的中断延时。此方法将对温度、电压和元件精度的影响进行补偿。超低功耗唤醒外设还可配置为简单的可编程低压检测功能或温度传感器。

注：	更多信息，请参见应用笔记 AN879“*Using the Microchip Ultra Low-Power Wake-up Module*”（DS00879）。

例 4-2：　超低功耗唤醒初始化

```
BANKSEL  PORTA        ;
BSF      PORTA,0      ;Set RA0 data latch
MOVLW    H'7'         ;Turn off
MOVWF    CMCON0       ; comparators
BANKSEL  ANSEL        ;
BCF      ANSEL,0      ;RA0 to digital I/O
BANKSEL  TRISA        ;
BCF      TRISA,0      ;Output high to
CALL     CapDelay     ; charge capacitor
BSF      PCON,ULPWUE  ;Enable ULP Wake-up
BSF      IOCA,0       ;Select RA0 IOC
BSF      TRISA,0      ;RA0 to input
MOVLW    B'10001000'  ;Enable interrupt
MOVWF    INTCON       ; and clear flag
SLEEP                 ;Wait for IOC
NOP                   ;
```


© 2007 Microchip Technology Inc.

4.2.5 引脚说明和引脚图

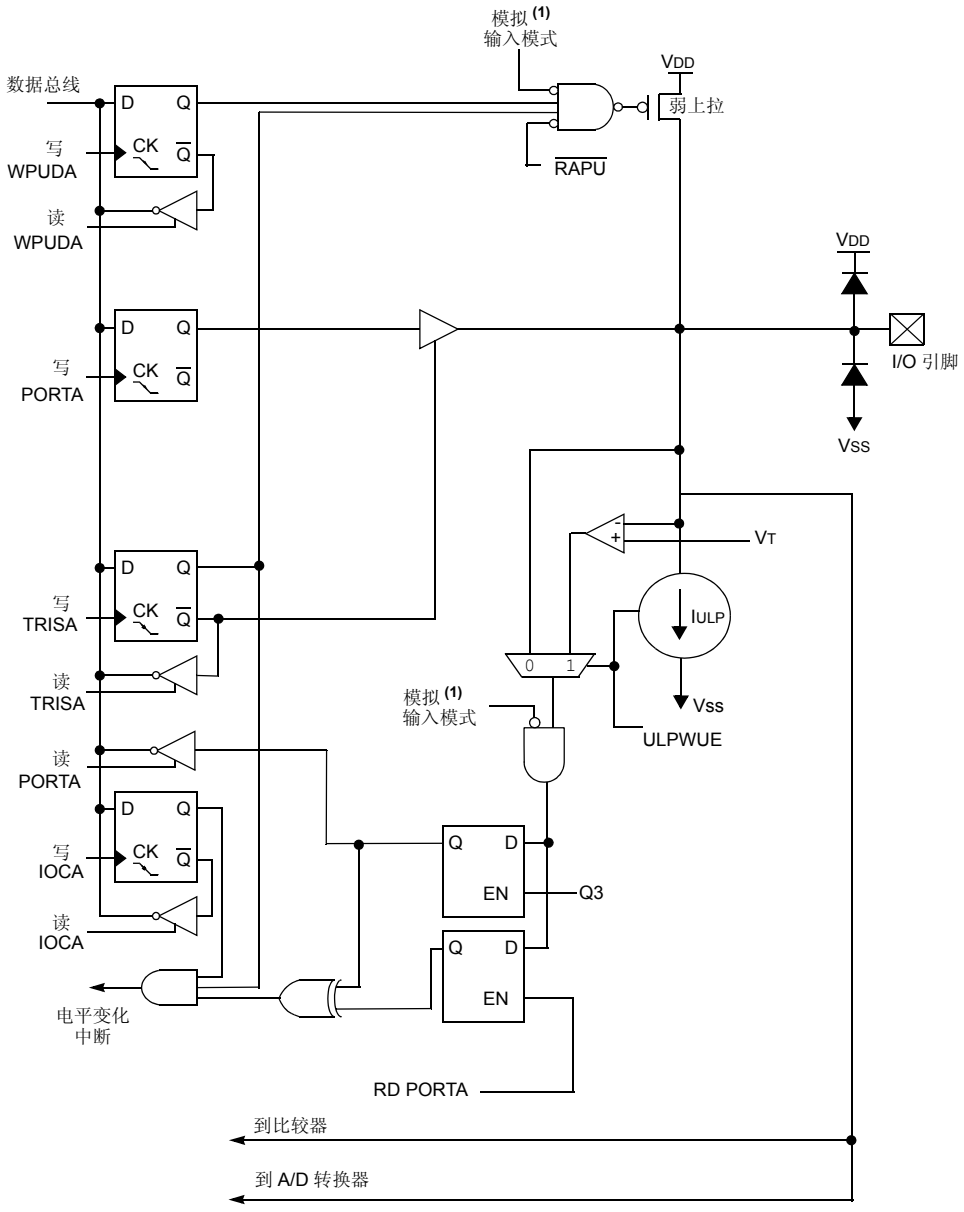
每个 PORTA 引脚都与其他功能复用。这里将简要说明引脚及其复合功能。各功能的具体信息（如比较器或 A/D），请参见本数据手册中的相关章节。

4.2.5.1 RA0/AN0/C1IN+/ICSPDAT/ULPWU

图 4-1 给出了此引脚的引脚图。RA0 引脚可配置为下列功能之一：

- 通用 I/O
- A/D 的模拟输入
- 比较器的模拟输入
- 超低功耗唤醒的模拟输入
- 在线串行编程 （ICSP™ ）数据

图 4-1： RA0 框图



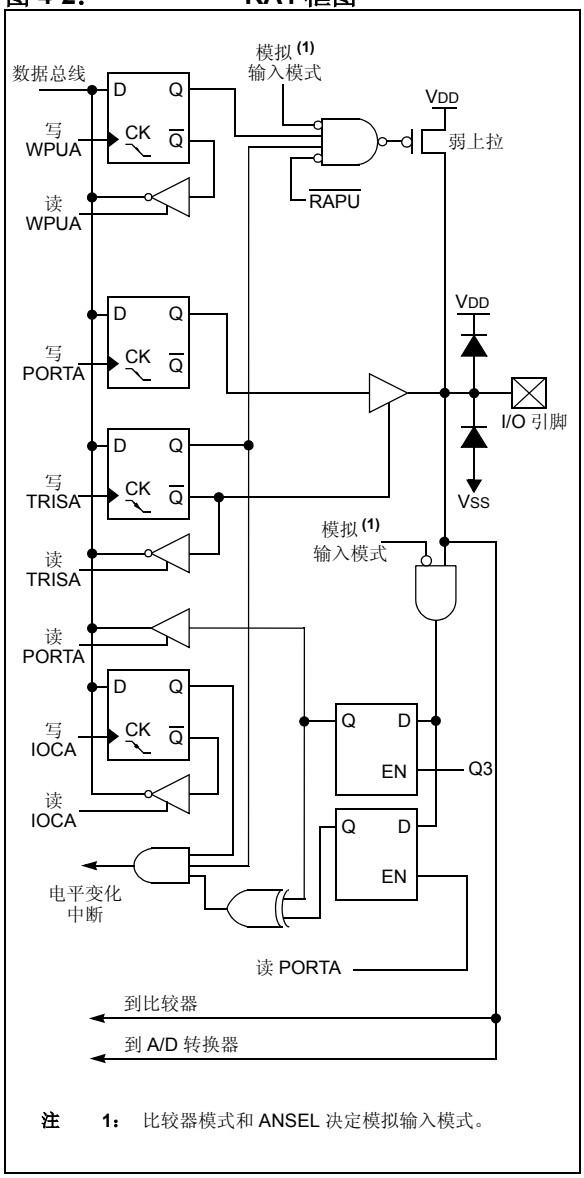
注 1： 比较器模式和 ANSEL 决定模拟输入模式。

4.2.5.2 RA1/AN1/C1IN-/VREF/ICSPCLK

图 4-2 给出了此引脚的引脚图。RA1 引脚可配置为下列功能之一：

- 通用 I/O
- A/D 的模拟输入
- 比较器的模拟输入
- A/D 的参考电压输入
- 在线串行编程时钟

图 4-2： RA1 框图



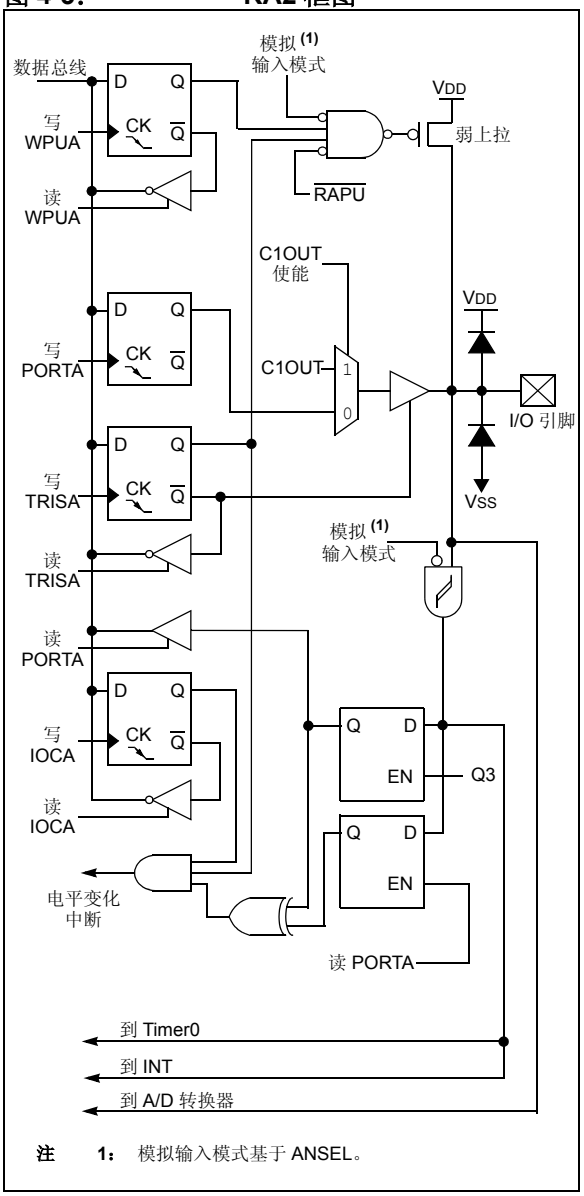
注 1： 比较器模式和 ANSEL 决定模拟输入模式。

4.2.5.3 RA2/AN2/T0CKI/INT/C1OUT

图 4-3 给出了此引脚的引脚图。RA2 引脚可配置为下列功能之一：

- 通用 I/O
- A/D 的模拟输入
- TMR0 的时钟输入
- 外部边沿触发的中断
- 来自比较器的数字输出

图 4-3： RA2 框图



注 1： 模拟输入模式基于 ANSEL。

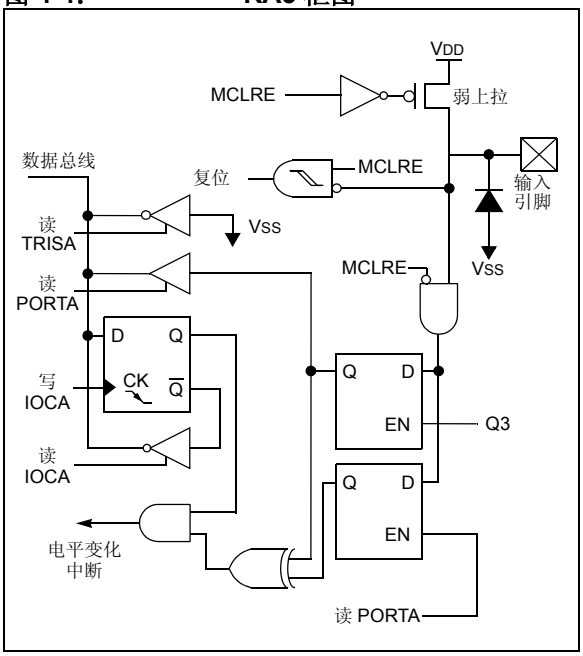
© 2007 Microchip Technology Inc.

4.2.5.4 RA3/$\overline{MCLR}$/VPP

图 4-4 给出了此引脚的引脚图。RA3 引脚可配置为下列功能之一：

- 通用输入
- 带弱上拉的主复位

图 4-4： RA3 框图

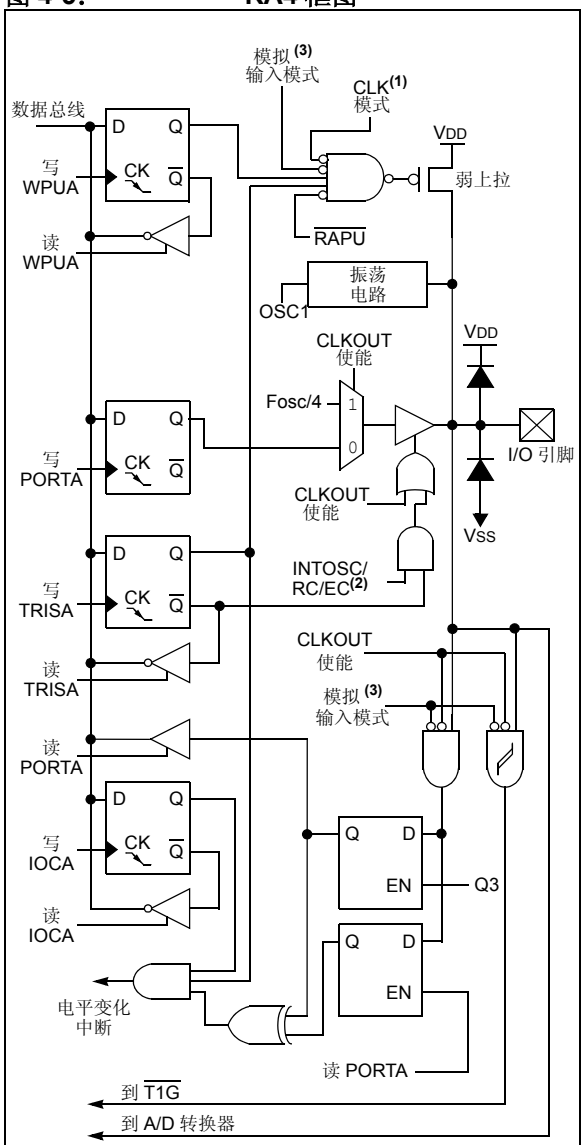


4.2.5.5 RA4/AN3/$\overline{T1G}$/OSC2/CLKOUT

图 4-5 给出了此引脚的引脚图。RA4 引脚可配置为下列功能之一：

- 通用 I/O
- A/D 的模拟输入
- TMR1 门控输入
- 晶振 / 谐振器连接
- 时钟输出

图 4-5： RA4 框图



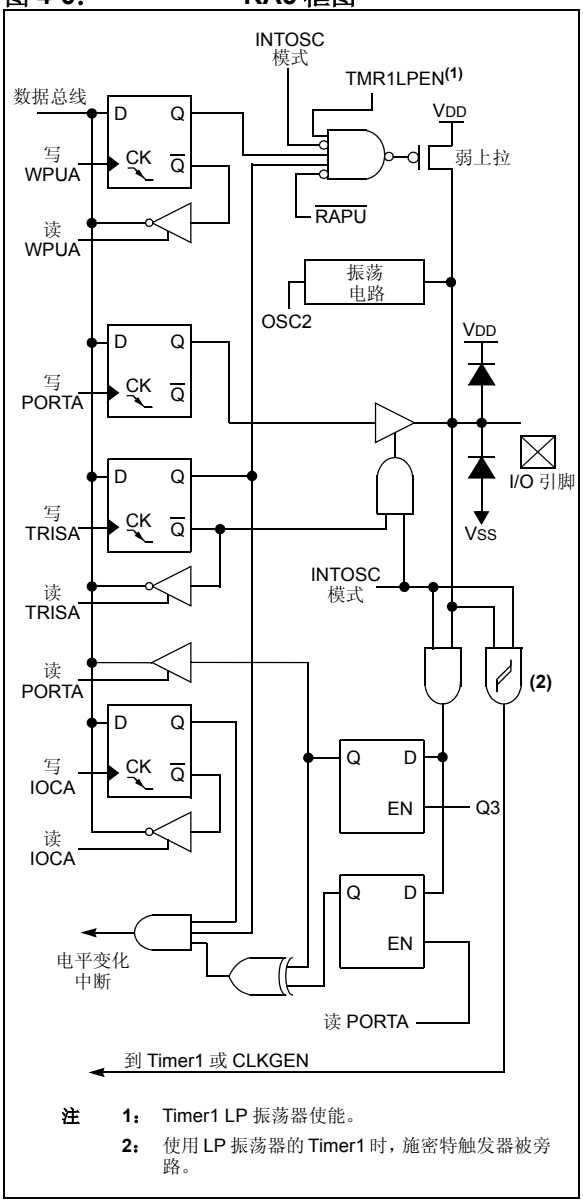
注 **1**：CLK 模式为 XT、HS、LP、LPTMR1 和 CLKOUT 使能。
2：带 CLKOUT 选项。
3：模拟输入模式为 ANSEL。

4.2.5.6 RA5/T1CKI/OSC1/CLKIN

图 4-6 给出了此引脚的引脚图。RA5 引脚可配置为下列功能之一：

- 通用 I/O
- TMR1 时钟输入
- 晶振 / 谐振器连接
- 时钟输入

图 4-6： RA5 框图



注 1： Timer1 LP 振荡器使能。

2： 使用 LP 振荡器的 Timer1 时，施密特触发器被旁路。

© 2007 Microchip Technology Inc.

表 4-1：　　与 PORTA 相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
CMCON0	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	0000 0000	0000 0000
PCON	—	—	ULPWUE	SBOREN	—	—	$\overline{\text{POR}}$	$\overline{\text{BOR}}$	--01 --qq	--0u --uu
INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF	0000 000x	0000 000x
IOCA	—	—	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0	--00 0000	--00 0000
OPTION_REG	$\overline{\text{RAPU}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--x0 x000	--x0 x000
TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111
WPUA	—	—	WPUA5	WPUA4	—	WPUA2	WPUA1	WPUA0	--11 -111	--11 -111

图注：　　x = 未知， u = 不变， - = 未实现的存储单元，读为 0。 PORTA 不使用阴影单元。

4.3 PORTC

PORTC 是通用 I/O 端口，由 6 个双向引脚组成。这些引脚可以配置为数字 I/O 或模拟输入至 A/D 转换器或比较器。各功能的具体信息（如 EUSART 或 A/D），请参见本数据手册中的相关章节。

注：	必须对 ANSEL（91h）和 CMCON0（19h）寄存器进行初始化，以将模拟通道配置为数字输入。配置为模拟输入的引脚读为 0。

例 4-3： 初始化 PORTC

```
BANKSEL PORTC          ;
CLRF    PORTC          ;Init PORTC
MOVLW   07h            ;Set RC<4,1:0> to
MOVWF   CMCON0         ;digital I/O
BANKSEL ANSEL          ;
CLRF    ANSEL          ;digital I/O
MOVLW   0Ch            ;Set RC<3:2> as inputs
MOVWF   TRISC          ;and set RC<5:4,1:0>
                       ;as outputs
```

寄存器 4-6： PORTC：PORTC 寄存器

U-0	U-0	R/W-x	R/W-x	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RC5	RC4	RC3	RC2	RC1	RC0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-6 **未实现**：读为 0

bit 5-0 **RC<5:0>**：PORTC I/O 引脚位

1 = PORTC 引脚 > V_{IH}

0 = PORTC 引脚 < V_{IL}

寄存器 4-7： TRISC：PORTC 三态寄存器

U-0	U-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
—	—	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-6 **未实现**：读为 0

bit 5-0 **TRISC<5:0>**：PORTC 三态控制位

1 = PORTC 引脚配置为输入（三态）

0 = PORTC 引脚配置为输出

© 2007 Microchip Technology Inc.

4.3.1 RC0/AN4/C2IN+

图 4-7 给出了该引脚的框图。RC0 引脚可配置为下列功能之一：

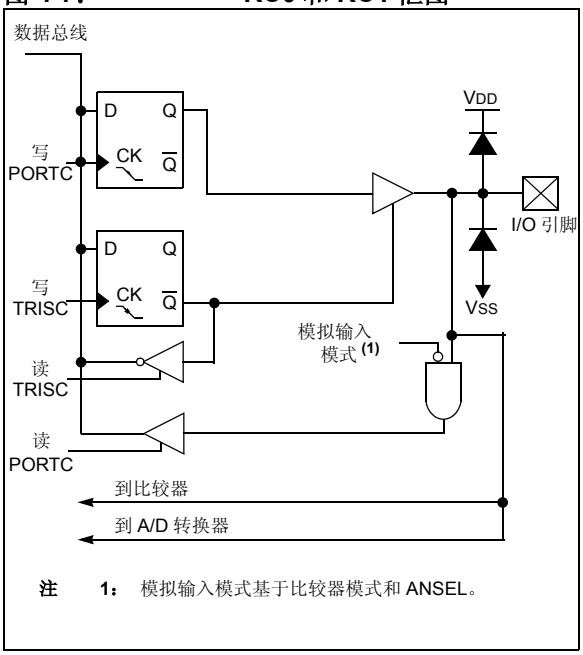
- 通用 I/O
- A/D 转换器的模拟输入
- 比较器的模拟输入

4.3.2 RC1/AN5/C2IN-

图 4-7 给出了该引脚的框图。RC1 引脚可配置为下列功能之一：

- 通用 I/O
- A/D 转换器的模拟输入
- 比较器的模拟输入

图 4-7： RC0 和 RC1 框图



注 1： 模拟输入模式基于比较器模式和 ANSEL。

4.3.3 RC2/AN6

图 4-8 给出了该引脚的框图。RC2 引脚可配置为下列功能之一：

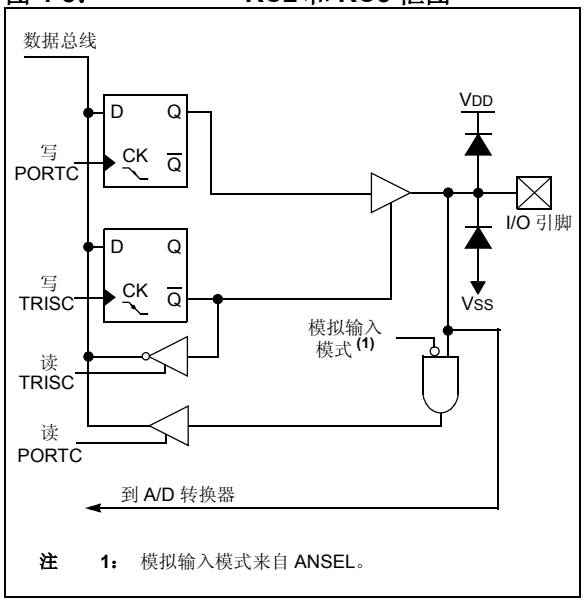
- 通用 I/O
- A/D 转换器的模拟输入

4.3.4 RC3/AN7

图 4-8 给出了该引脚的框图。RC3 引脚可配置为下列功能之一：

- 通用 I/O
- A/D 转换器的模拟输入

图 4-8： RC2 和 RC3 框图



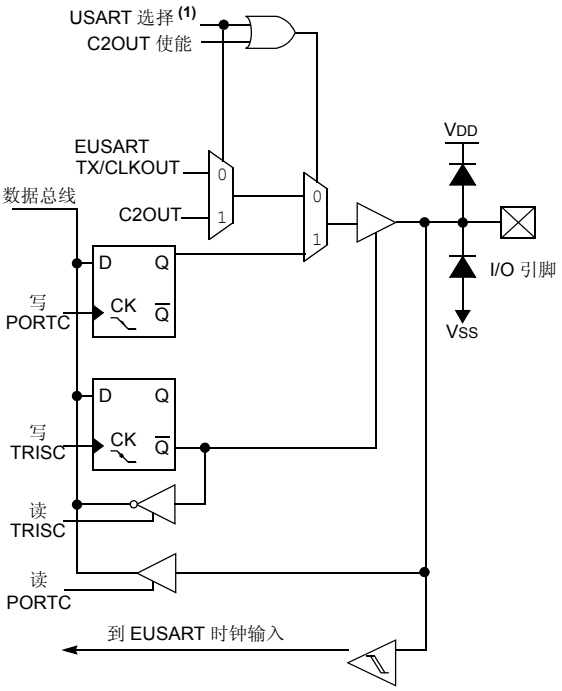
注 1： 模拟输入模式来自 ANSEL。

4.3.5 RC4/C2OUT/TX/CK

图 4-9 给出了该引脚的框图。RC4 引脚可配置为下列功能之一：

- 通用 I/O
- 来自比较器的数字输出
- EUSART 的数字 I/O

图 4-9： RC4 框图



注 1： USART 在端口数据和外设输出之间选择信号。

4.3.6 RC5/RX/DT

RC5 引脚可配置为下列功能之一：

- 通用 I/O
- EUSART 的数字 I/O

图 4-10： RC5 框图

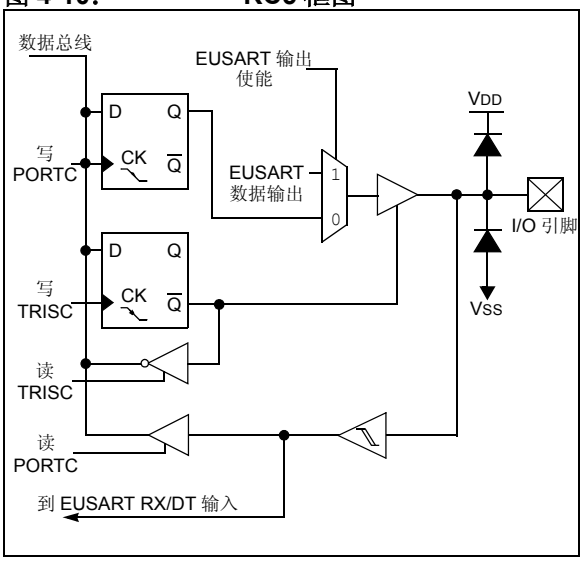


表 4-2： 与 PORTC 相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
CMCON0	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	0000 0000	0000 0000
PORTC	—	—	RC5	RC4	RC3	RC2	RC1	RC0	--xx 0000	--xx 0000
TRISC	—	—	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	--11 1111	--11 1111

图注： x = 未知， u = 不变， - = 未实现的存储单元，读为 0。 PORTC 不使用阴影单元。

© 2007 Microchip Technology Inc.

5.0 TIMER0 模块

Timer0 模块定时器 / 计数器具有以下特性：

- 8 位定时器 / 计数器寄存器 （TMR0）
- 8 位预分频器 （与看门狗定时器共享）
- 可编程内部或外部时钟源
- 可编程外部时钟边沿选择
- 溢出中断

图 5-1 是 Timer0 模块的框图。

5.1 Timer0 工作原理

作为定时器使用时，Timer0 模块可用作 8 位定时器或 8 位计数器。

5.1.1 8 位定时器模式

作为定时器使用时，Timer0 模块将在每个指令周期递增（不带预分频器）。将 OPTION 寄存器的 T0CS 位清零可选择定时器模式。

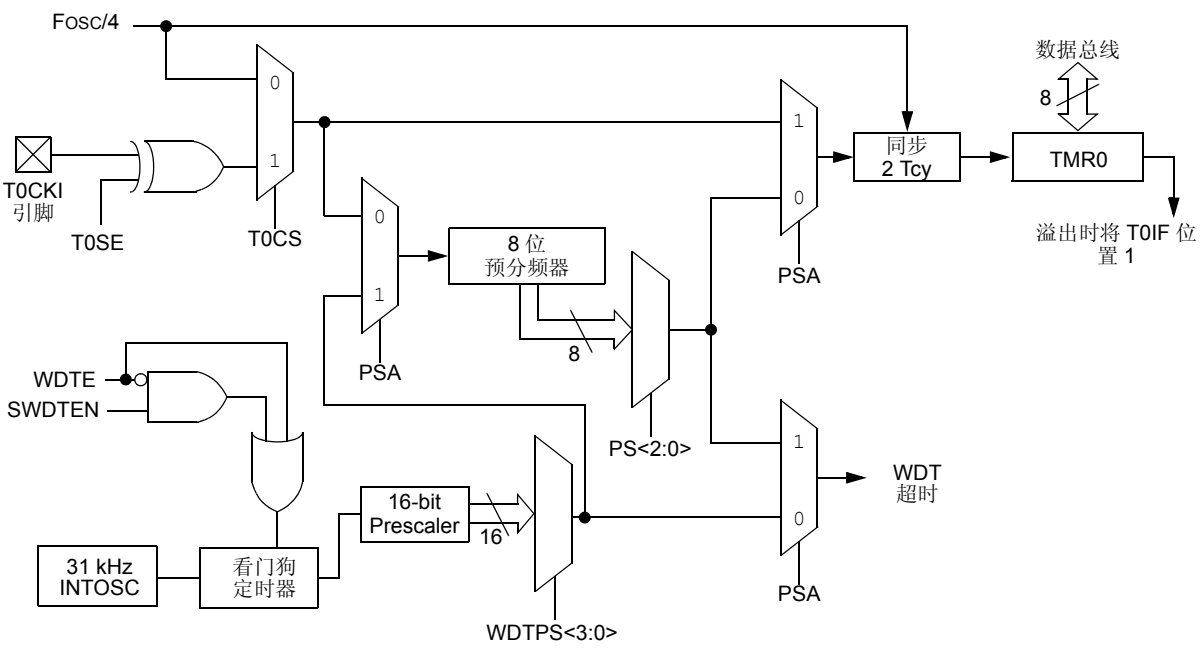
写入 TMR0 后，紧随写操作后的两个指令周期禁止递增。

注：	写入 TMR0 寄存器的值可调整，以便在 TMR0 被写入时记录两个指令周期的延时。

5.1.2 8 位计数器模式

作为计数器使用时，Timer0 模块将在 T0CKI 引脚上的每个上升或下降沿递增。递增沿由OPTION寄存器的T0SE位决定。将 OPTION 寄存器的 T0CS 位置 1 可选择计数器模式。

图 5-1： TIMER0/WDT 预分频器框图



注 **1：** T0SE、 T0CS、 PSA 和 PS<2:0> 均为 OPTION 寄存器中的位。
2： SWDTEN 和 WDTPS<3:0> 均为 WDTCON 寄存器中的位。
3： WDTE 为配置字寄存器中的位。

5.1.3 软件可编程预分频器

Timer0 或看门狗定时器 （WDT）之一可使用相同的软件可编程预分频器，但两者不能同时使用。预分频器的分配由 OPTION 寄存器中的 PSA 位控制。要将预分频器分配给 Timer0，必须将 PSA 位清零。

Timer0 模块可使用 8 种预分频器选项，选择范围从 1:2 至 1:256。通过 OPTION 寄存器的 PS<2:0> 位可选择预分频值。要得到 Timer0 模块的 1:1 的预分频比，必须将预分频器分配给 WDT。

预分频器不可读写。当预分频器分配给 Timer0 模块时，所有写入 TMR0 寄存器的指令均会将预分频器清零。

预分频器分配给 WDT 时，一条 CLRWDT 会将预分频器和 WDT 清零。

5.1.3.1 在 Timer0 和 WDT 之间切换预分频器

由于预分频器可分配给 Timer0 或 WDT，因此在切换预分频值时可能产生意外的器件复位。当把预分频器从 Timer0 分配给 WDT 时，必须执行例 5-1 所示的指令序列。

例 5-1： 切换预分频器（TIMER0 → WDT）

```
BANKSEL TMR0            ;
CLRWDT                  ;Clear WDT
CLRF    TMR0            ;Clear TMR0 and
                        ;prescaler
BANKSEL OPTION_REG      ;
BSF     OPTION_REG,PSA  ;Select WDT
CLRWDT                  ;
                        ;
MOVLW   b'11111000'     ;Mask prescaler
ANDWF   OPTION_REG,W    ;bits
IORLW   b'00000101'     ;Set WDT prescaler
MOVWF   OPTION_REG      ;to 1:32
```

将预分频器从分配给 WDT 改为分配给 TMR0 模块时，必须执行以下指令序列 （见例 5-2）。

例 5-2： 切换预分频器（WDT → TIMER0）

```
CLRWDT                  ;Clear WDT and
                        ;prescaler
BANKSEL OPTION_REG      ;
MOVLW   b'11110000'     ;Mask TMR0 select and
ANDWF   OPTION_REG,W    ;prescaler bits
IORLW   b'00000011'     ;Set prescale to 1:16
MOVWF   OPTION_REG      ;
```

5.1.4 TIMER0 中断

当 TMR0 寄存器从 FFh 溢出至 00h 时，产生 Timer0 中断。每次 TMR0 寄存器溢出都会将 INTCON 寄存器的 T0IF 中断标志置 1，无论是否允许了 Timer0 中断。T0IF 位必须通过软件清零。 Timer0 中断允许位是 INTCON 寄存器中的 T0IE 位。

注：	由于定时器在休眠时被冻结，因此 Timer0 中断无法将处理器从休眠模式唤醒。

5.1.5 将 TIMER0 与外部时钟配合使用

Timer0 处于计数器模式时，通过采样。synchronization of t。通过对内部相位时钟 Q2 和 Q4 周期的预分频器输出进行采样，可实现 T0CKI 与 Timer0 寄存器的同步。因此，外部时钟源的高电平和低电平周期必须达到**第 14.0 节 “电气规范”**中的时序要求。

© 2007 Microchip Technology Inc.

寄存器 5-1：　　OPTION_REG：选项寄存器

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
$\overline{\text{RAPU}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7　　**$\overline{\text{RAPU}}$**：PORTA 上拉使能位
1 = PORTA 禁止 PORTA 上拉
0 = 通过单独的端口锁存值使能 PORTA 上拉

bit 6　　**INTEDG**：中断触发边沿选择位
1 = INT 引脚的上升沿触发中断
0 = INT 引脚的下降沿触发中断

bit 5　　**T0CS**：TMR0 时钟源选择位
1 = T0CKI 引脚上的电平跳变
0 = 内部指令周期时钟 （FOSC/4）

bit 4　　**T0SE**：TMR0 时钟源边沿选择位
1 = 在 T0CKI 引脚电平从高至低跳变时，递增计数
0 = 在 T0CKI 引脚电平从低至高跳变时，递增计数

bit 3　　**PSA**：预分频器分配控制位
1 = 预分频器分配给 WDT
0 = 预分频器分配给 Timer0 模块

bit 2-0　　**PS<2:0>**：预分频比选择位

位值	TMR0 比率	WDT 比率
000	1 : 2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

注　1： 器件具备专用的 16 位 WDT 后分频器。更多信息，请参见**第 11.5 节 “看门狗定时器 （WDT）”**。

表 5-1：　　与 TIMER0 相关的寄存器

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
TMR0	Timer0 模块寄存器								xxxx xxxx	uuuu uuuu
INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF	0000 000x	0000 000x
OPTION_REG	$\overline{\text{RAPU}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111

图注：　– = 未实现位，读为 0， u = 不变， x = 未知。 Timer0 模块不使用阴影单元。

6.0 具备门控功能的 TIMER1 模块

Timer1 模块是 16 位定时器 / 计数器，具有以下特性：

- 一对 16 位定时器 / 计数器寄存器（TMR1H:TMR1L）
- 可编程内部或外部时钟源
- 3 位预分频器
- 可选 LP 振荡器
- 同步或异步工作
- 通过比较器或 T1G 引脚的 Timer1 门控（计数使能）
- 溢出中断
- 溢 出时唤醒（外部时钟，仅限异步模式）

图 6-1 是 Timer1 模块的框图。

6.1 Timer1 工作原理

Timer1 模块是 16 位递增计数器，可通过一对 TMR1H:TMR1L 寄存器访问。对 TMR1H 或 TMR1L 执行写操作将直接更新计数器。

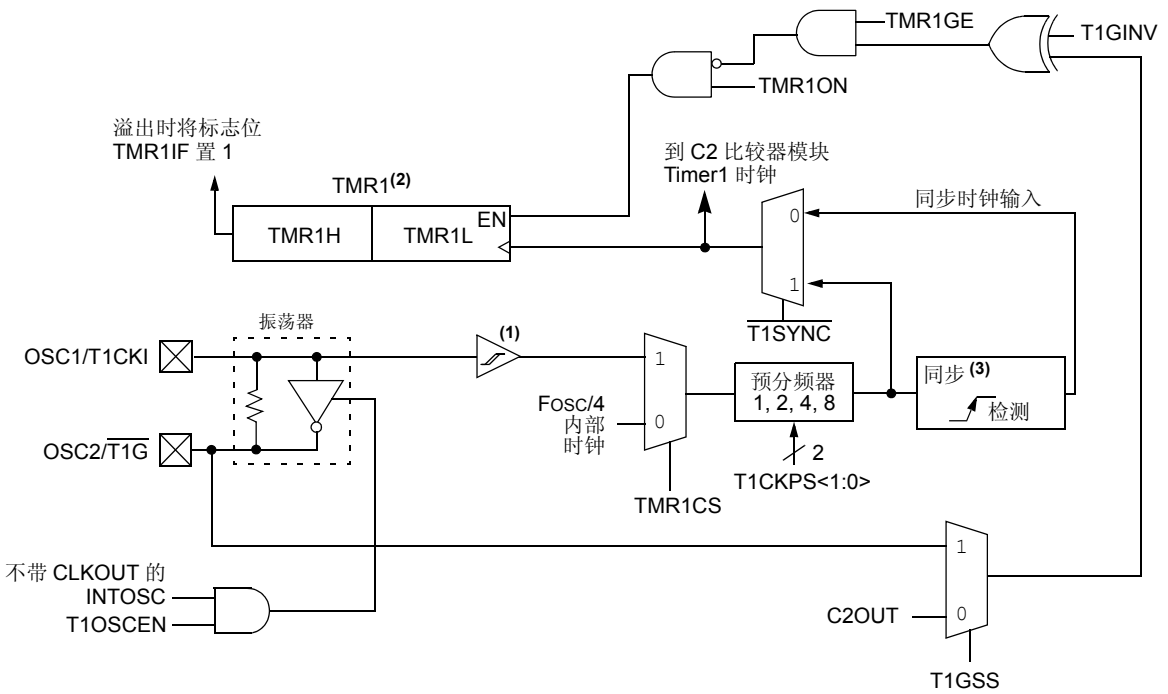
该模块与内部时钟源配合使用时是一个定时器。该模块与外部时钟源使用时可作为定时器或计数器使用。

6.2 时钟源选择

T1CON 寄存器的 TMR1CS 位用于选择时钟源。TMR1CS = 0 时，时钟源为 FOSC/4。TMR1CS = 1 时，时钟源由外部提供。

时钟源	TMR1CS	时钟源
FOSC/4	0	FOSC/4
T1CKI 引脚	1	T1CKI 引脚

图 6-1： Timer1 框图



注 1： 使用 LP 振荡器时 ST 缓冲器为低功耗型，使用 T1CKI 时 ST 缓冲器为高速型。
2： Timer1 寄存器在上升沿递增。
3： 休眠时不进行同步。

© 2007 Microchip Technology Inc.

6.2.1 内部时钟源

选择内部时钟源时， TMR1H:TMR1L 这对寄存器将在 TCY 的整数倍递增，具体由 Timer1 预分频器决定。

6.2.2 外部时钟源

选择外部时钟源时，Timer1 模块可作为定时器或计数器使用。

计数时，Timer1 在外部时钟输入 T1CKI 的上升沿递增。此外，计数模式时钟可同步到单片机的系统时钟或异步运行。

如果需要外部振荡器 （且单片机使用不带 CLKOUT 的 INTOSC），则 Timer1 可使用 LP 振荡器作为时钟源。

注：	在计数器模式下，第一个递增上升沿之前，计数器必须先记录一个下降沿。

6.3 Timer1 预分频器

Timer1 有四个预分频器选项，允许对时钟输入进行 1、2、4 或 8 分频。T1CON 寄存器的 T1CKPS 位控制预分频器计数。预分频计数器不能直接读写；但是，通过写入 TMR1H 或 TMR1L 可将预分频计数器清零。

6.4 Timer1 振荡器

在引脚 OSC1（输入）和 OSC2（放大器输出）之间接有一个内置晶体振荡器电路。通过将 T1CON 寄存器的控制位 T1OSCEN 置 1 可使能振荡器。在休眠模式下，它将继续工作。

Timer1 振荡器与系统 LP 振荡器共用。因此，只有当主系统时钟来自于内部时钟振荡器时，Timer1 才能采用该模式。与系统 LP 振荡器相同，用户必须提供软件延时以保证振荡器能够正常起振。

当使能 Timer1 振荡器时， TRISA5 和 TRISA4 位被置 1。RA5和RA4位读为0，而TRISA5和TRISA4位读为1。

注：	使用前，振荡器需要一定的起振和稳定时间。因此， T1OSCEN 应置 1，且在使能 Timer1 之前确保有一定的延时。

6.5 Timer1 在异步计数器模式下的工作原理

如果 T1CON 寄存器的控制位 $\overline{\text{T1SYNC}}$ 置 1，外部时钟输入将不同步。定时器继续异步于内部相位时钟进行递增计数。在休眠模式下，定时器将继续递增，并在溢出时产生中断以唤醒处理器。但是，用软件对定时器进行读 / 写操作时要特别当心 （见**第 6.5.1 节 “异步计数器模式下读写 Timer1”**）。

注：	从同步工作切换到异步工作时，可能跳过一次递增。从异步工作切换到同步工作时，可能会产生一次假递增。

6.5.1 异步计数器模式下读写 TIMER1

定时器工作在外部异步时钟下时读取TMR1H或TMR1L将保证读到有效值 （由硬件实现）。但用户应牢记，读 16 位定时器的两个 8 位值本身就会产生某些问题，因为在两次读取之间定时器可能溢出。

对于写操作，建议用户直接停止计数器，然后写入所期望的值。如果寄存器正进行递增计数，对定时器寄存器进行写操作，可能会导致写争用，从而可能在 TMR1H:TTMR1L 这对寄存器中产生不可预测的值。

6.6 Timer1 门控

Timer1 门控源可用软件配置为 $\overline{\text{T1G}}$ 引脚或比较器 2 的输出。这使得器件能够使用 $\overline{\text{T1G}}$ 对外部事件进行直接计时，或者使用比较器 2 对模拟事件进行直接计时。Timer1 门控源的选择，请参见 CMCON1（寄存器 7-2）。这个特性可以简化 Δ–Σ A/D 转换器和许多其他应用的程序。 Δ–Σ A/D 转换器的更多信息，请访问 Microchip 网站 （www.microchip.com）。

注：	T1CON 寄存器的 TMR1GE 位必须设置为使用 $\overline{\text{T1G}}$ 或 C2OUT 作为 Timer1 门控源。关于选择 Timer1 门控源的更多信息，请参见寄存器 7-2。

无论门控源来自 $\overline{\text{T1G}}$ 引脚还是比较器 2 的输出，均可使用 T1CON 寄存器的 T1GINV 位反转 Timer1 门控信号的极性。这样可将 Timer1 配置为测量事件之间的高电平有效或低电平有效时间。

6.7 Timer1 中断

一对 Timer1 寄存器（TMR1H:TMR1L）递增到 FFFFh，然后返回到 0000h。当 Timer1 计满返回时， PIR 寄存器中的 Timer1 中断标志位将置 1。为允许计满返回时的中断，必须将以下寄存器位置 1：

- PIE1 寄存器中的 Timer1 中断允许位
- INTCON 寄存器中的 PIEI 位
- INTCON 寄存器中的 GIE 位

在中断服务程序中将 TMR1IF 位清零将清除中断。

注：	允许中断前，应先将 TMR1H:TTMR1L 这对寄存器清零。

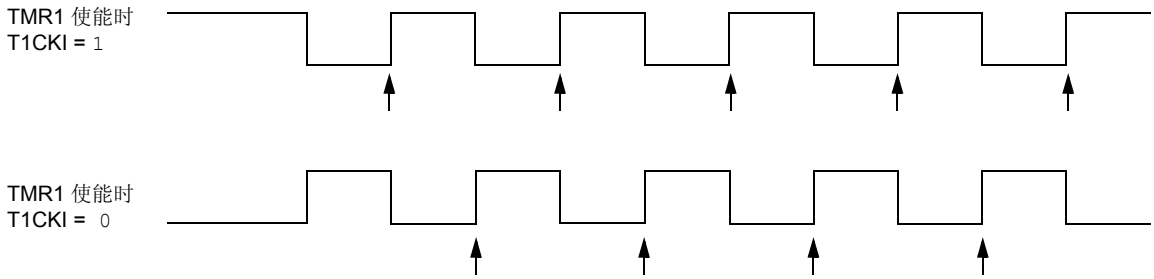
6.8 Timer1 在休眠模式下的工作原理

只有在设定异步计数器模式时，Timer1 才能在休眠模式下工作。在该模式下，可使用外部晶振或时钟源信号使计数器递增。要设置定时器以唤醒器件：

- T1CON 寄存器中的 TMR1ON 位必须置 1
- PIE1 寄存器中的 TMR1IE 位必须置 1
- INTCON 寄存器中的 PEIE 位必须置 1

器件将在溢出时被唤醒并执行下一条指令。如果将 INTCON 寄存器的 GIE 位置 1，溢出时器件将被唤醒并跳转至中断服务程序 （0004h）。

图 6-2： TIMER1 递增边沿



注 1： 箭头指示计数器递增。

2： 在计数器模式下，在时钟的第一个上升沿递增前。计数器必须先记录一次下降沿。

© 2007 Microchip Technology Inc.

6.9 Timer1 控制寄存器

Timer1 控制寄存器 （T1CON）用于控制 Timer1 并选择 Timer1 模块的各种特性，如寄存器 6-1 所示。

寄存器 6-1： T1CON：TIMER1 控制寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T1GINV(1)	TMR1GE(2)	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{\text{T1SYNC}}$	TMR1CS	TMR1ON
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **T1GINV**：Timer1 门控信号反相位 (1)

1 = Timer1 门控信号高电平有效 （Timer1 在门控信号为高电平时计数）
0 = Timer1 门控信号低电平有效 （Timer1 在门控信号为低电平时计数）

bit 6 **TMR1GE**：Timer1 门控使能位 (2)

若 TMR1ON = 0：
忽略此位
若 TMR1ON = 1：
1 = 如果 Timer1 门控处于激活状态，则打开 Timer1
0 = 打开 Timer1

bit 5-4 **T1CKPS<1:0>**：Timer1 输入时钟预分频比选择位

11 = 1:8 预分频比
10 = 1:4 预分频比
01 = 1:2 预分频比
00 = 1:1 预分频比

bit 3 **T1OSCEN**：LP 振荡器使能控制位

若不带 CLKOUT 的 INTOSC 振荡器处于激活状态：
1 = LP 振荡器使能作为 Timer1 的时钟
0 = LP 振荡器关闭
否则：
忽略此位。禁止 LP 振荡器。

bit 2 **$\overline{\text{T1SYNC}}$**：Timer1 外部时钟输入同步控制位

TMR1CS = 1：
1 = 不同步外部时钟输入
0 = 同步外部时钟输入
TMR1CS = 0：
忽略此位。 Timer1 使用内部时钟。

bit 1 **TMR1CS**：Timer1 时钟源选择位

1 = 来自 T1CKI 引脚的外部时钟 （上升沿）
0 = 内部时钟 （Fosc/4）

bit 0 **TMR1ON**：Timer1 启动控制位

1 = 使能 Timer1
0 = 停止 Timer1

注 1： T1GINV 位反相 Timer1 门控逻辑，无论其来源为何。
2： 要将 T1G 引脚或 C2OUT （由 CMCON1 寄存器的 T1GSS 位控制）用作 Timer1 门控源，必须将 TMR1GE 位置 1。

表 6-1：　　与 TIMER1 相关的寄存器

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
CMCON1	—	—	—	—	—	—	T1GSS	C2SYNC	---- --10	00-- --10
INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF	0000 000x	0000 000x
PIE1	EEIE	ADIE	RCIE	C2IE	C1IE	OSFIE	TXIE	TMR1IE	0000 0000	0000 0000
PIR1	EEIF	ADIF	RCIF	C2IF	C1IF	OSFIF	TXIF	TMR1IF	0000 0000	0000 0000
TMR1H	16 位 TMR1 寄存器的最高有效字节的保持寄存器								xxxx xxxx	uuuu uuuu
TMR1L	16 位 TMR1 寄存器的最低有效字节的保持寄存器								xxxx xxxx	uuuu uuuu
T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	0000 0000	uuuu uuuu

图注：　– = 未实现位，读为 0， u = 不变， x = 未知。 Timer1 模块不使用阴影单元。

© 2007 Microchip Technology Inc.

7.0 比较器模块

比较器用于将模拟电路连接到数字电路，这是通过比较两个模拟电压并提供其相对大小的数字指示实现的。由于比较器能提供与程序执行无关的模拟功能，因此是非常有用的混合信号组件。模拟比较器模块包括以下特性：

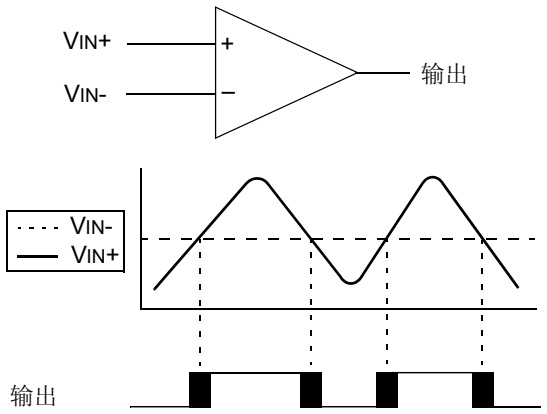
- 双比较器
- 多种比较器配置
- 有内部 / 外部比较器输出
- 可编程输出极性
- 电平变化中断
- 从休眠唤醒
- Timer1 门控 （计数使能）
- 输出同步到 Timer1 时钟输入
- 可编程参考电压

注： 只有 C2 能连接到 Timer1。

7.1 比较器概述

图 7-1 所示为比较器以及模拟输入电平和数字输出之间的关系。当 VIN+ 处的模拟电压小于 VIN- 处的模拟电压时，比较器输出数字低电平。当 VIN+ 处的模拟电压高于 VIN- 处的模拟电压时，比较器输出数字高电平。

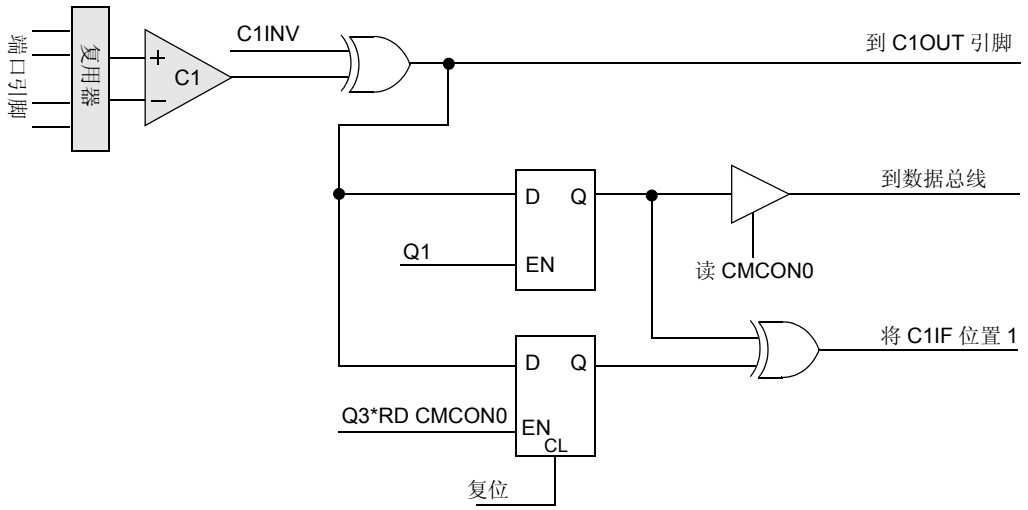
图 7-1： 单比较器



注： 比较器输出的黑部表示因输入偏移或响应时间而导致的不确定性。

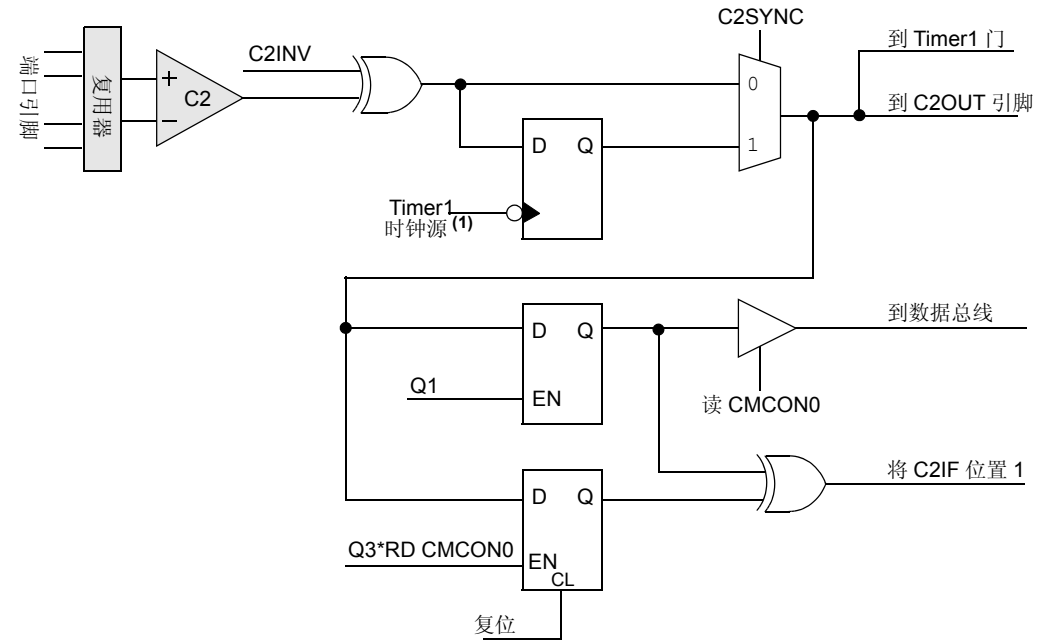
器件包括两个比较器，如图 7-2 和图 7-3 所示。比较器不可单独配置。

图 7-2：　　比较器 C1 输出框图



注　**1：**Q1 和 Q3 为四相系统时钟 （Fosc）的相位。
2：休眠模式下 Q1 保持高电平。

图 7-3：　　比较器 C2 输出框图



注　**1：**比较器输出在 Timer1 时钟源的下降沿被锁存。
2：Q1 和 Q3 为四相系统时钟 （Fosc）的相位。
3：休眠模式下 Q1 保持高电平。

© 2007 Microchip Technology Inc.

7.1.1 模拟输入连接注意事项

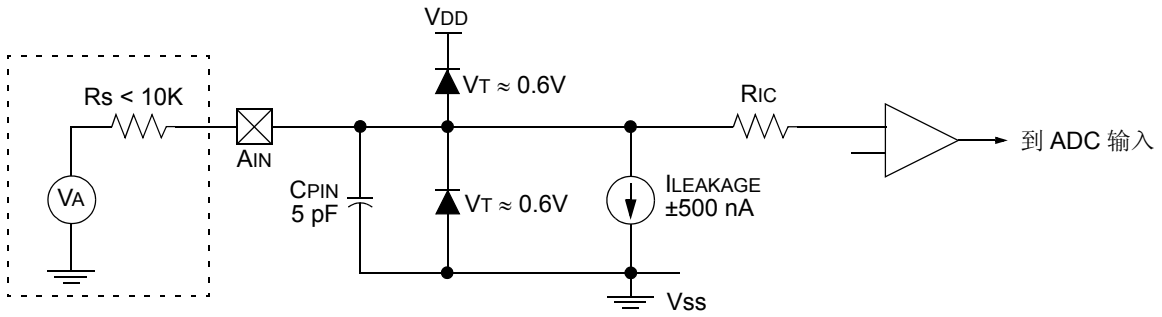
模拟输入的简化电路如图 7-4 所示。由于模拟引脚被连接到数字输出端，它们与 VDD 和 VSS 之间连有反向偏置 ESD 保护二极管。因此，模拟输入必须介于 VSS 和 VDD 之间。如果输入电压与这一范围偏离的绝对值超过 0.6V，就会发生一个二极管正向导通从而可能导致闭锁发生。

模拟信号源的最大阻抗的建议值为 10 kΩ。任何连接到模拟输入引脚的外部元件（如电容或齐纳二极管），要保证其泄漏电流极小以使导入的误差最小。

注 1： 读端口寄存器时，所有配置为模拟输入的引脚均读为 0。配置为数字输入的引脚将根据输入规范转换为模拟输入。

2： 出现在任何定义为数字输入引脚上的模拟电平均可能使输入缓冲器的电流消耗超过规定值。

图 7-4： 模拟输入模型



图注： CPIN = 输入电容
ILEAKAGE= 由于各结点产生的引脚泄漏电流
RIC = 互连电阻
RS = 源阻抗
VA = 模拟电压
VT = 门限电压

7.2 比较器配置

比较器有 8 种工作模式。使用 CMCON0 寄存器的 CM<2:0> 位选择这些工作模式，如图 7-5 所示。 I/O 线随模式而变化并且指定如下：

- 模拟功能 （A）：数字输入缓冲器被禁止
- 数字功能 （D）：比较器数字输入，优先于端口功能
- 正常端口功能 （I/O）：与比较器无关

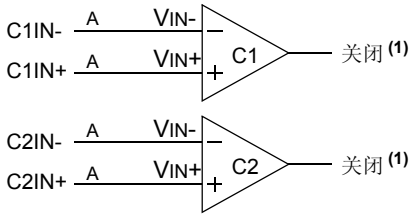
指示为 “A” 的端口引脚将读为 0，而无论 I/O 引脚的状态或 I/O 控制 TRIS 位为何。用作模拟输入的引脚还应使其相应的 TRIS 置为 1 以禁止数字输出驱动器。指示为 “D” 的引脚应使其相应的 TRIS 位置为 0 以使能数字输出驱动器。

注：	在比较器模式变化时应禁止比较器中断以避免意外中断。

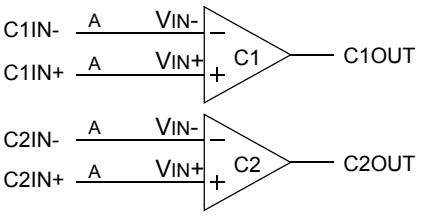
© 2007 Microchip Technology Inc.

图 7-5：　　比较器 I/O 工作模式

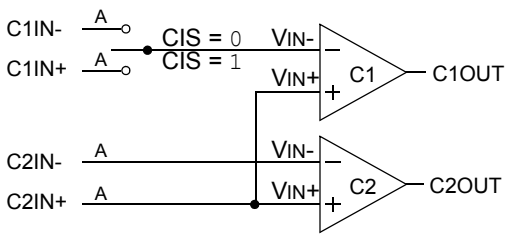
比较器复位（POR 默认值）
CM<2:0> = 000



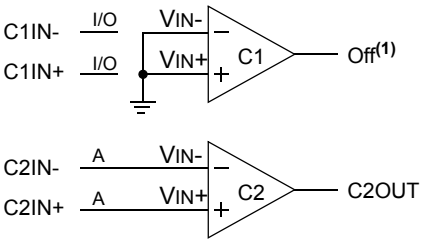
两个独立的比较器
CM<2:0> = 100



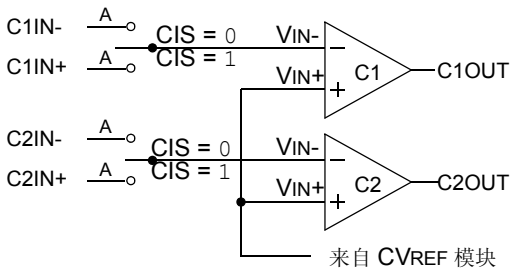
三个输入复用到两个比较器
CM<2:0> = 001



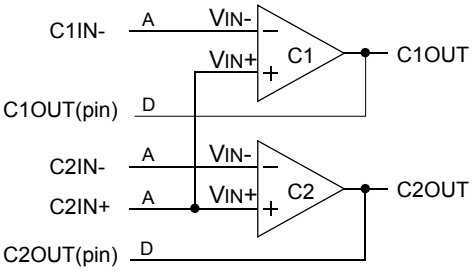
一个独立的比较器
CM<2:0> = 101



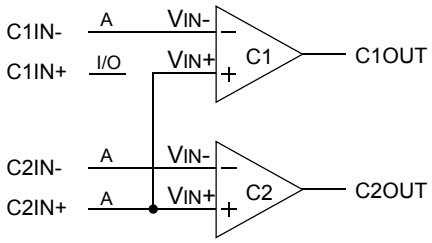
四个输入复用到两个比较器
CM<2:0> = 010



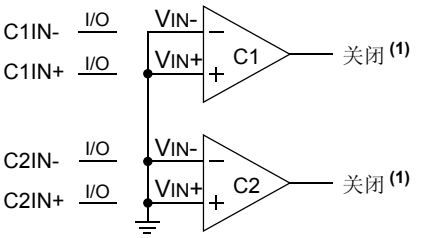
两个带输入的共用参考电压的比较器
CM<2:0> = 110



两个共用参考电压的比较器
CM<2:0> = 011



比较器关闭（功耗最小）
CM<2:0> = 111



图注：　A = 模拟输入，端口始终读为 0
I/O = 正常端口 I/O
CIS = 比较器输入切换 （CMCON0<3>）
D = 比较器数字输出

注　1：　除非 CxINV = 1，否则读为 0。

7.3 比较器控制

CMCON0 寄存器 （寄存器 7-1）提供了对比较器如下功能的控制：

- 模式选择
- 输出状态
- 输出极性
- 输入切换

7.3.1 比较器输出状态

每种比较器状态始终都能通过相关的 CMCON1 寄存器的 CxOUT 位读取。当 CM<2:0> = 110 时，比较器输出到 CxOUT 引脚。选择此模式时，必须将相关 CxOUT 引脚的 TRIS 位清零以使能输出驱动器。

7.3.2 比较器输出极性

将比较器的输出极性反相在功能上等同于交换比较器的输入。可通过将 CMCON0 寄存器的 CxINV 位置 1 反相比较器的输出极性。表 7-1 所示为输出状态对输入条件以及极性位的完整表格。

表 7-1： 输出状态—输入条件

输入条件	CxINV	CxOUT
VIN- > VIN+	0	0
VIN- < VIN+	0	1
VIN- > VIN+	1	1
VIN- < VIN+	1	0

注： CxOUT 同时指寄存器位和输出引脚。

© 2007 Microchip Technology Inc.

7.3.3 比较器输入切换

比较器的反相输入可在处于如下模式中的两个模拟引脚间切换：

- CM<2:0> = 001 （仅限比较器 C1）
- CM<2:0> = 010 （比较器 C1 和 C2）

在上述模式下，无论将哪个引脚选作输入，两个引脚均处于模式模式下。CMCON0 寄存器的 CIS 位控制比较器的输入切换。

7.4 比较器响应时间

在输入源发生变化或选择了新的参考电压后，比较器输出在一段时间内是不确定的。这段时间称为响应时间。比较器的响应时间与参考电压的稳定时间不同。因此，在确定对比较器输入变化的总响应时间时，应同时将这两个时间考虑在内。详情请参见**第 14.0 节 “电气规范”**中的比较器和参考电压规范。

7.5 比较器中断的工作原理

只要比较器输出值发生变化，相应的比较器中断标志位就会置 1。输出变化是由不匹配电路（由两个锁存器和一个异或门组成，见图 7-2 和图 7-3）识别的。读取 CMCON0 寄存器时其中一个锁存器被更新为比较器输出电平。该锁存器保存此值直到下次读取 CMCON0 寄存器或发生复位。不匹配电路中的另一个锁存器在每个系统时钟的 Q1 被更新。当比较器的输入变化在 Q1 时钟周期被传送到第二个锁存器时，就发生了不匹配条件。不匹配条件将持续并保持 PIR1 寄存器的 CxIF 位为真，直到 CMCON0 寄存器被读取或比较器输出回到先前的状态。

注：	向CMCON0寄存器执行写操作也将清除不匹配条件，这是因为写操作中的写循环开始时包括读操作。

软件需保存比较器输出的状态信息以确定实际发生的变化。

PIR1 寄存器的 CxIF 位是比较器中断标志位。此位必须用软件清零复位。由于可以向该寄存器写入 1，可能会产生一人仿真中断。

PIE1 寄存器的 CxIE 位以及 INTCON 寄存器的 PEIE 和 GIE 位均必须置 1 以允许比较器中断。如果以上任一位清零，则不允许中断，然而 PIR1 寄存器的 CxIF 位在发生中断条件时仍将置 1。

用户可通过以下方式在中断服务程序中清除中断：

a) 读或写 CMCON0。这将结束不匹配条件。请参见图 7-6 和 7-7。
b) 将 CxIF 中断标志位清零。

不匹配条件的持续可使 CxIF 中断标志无法被清零。读取 CMCON0 将结束不匹配条件并使 CxIF 位可被清零。

图 7-6：　不带 CMCON0 读操作的比较器中断时序

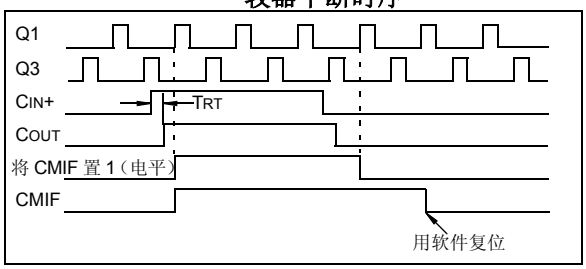
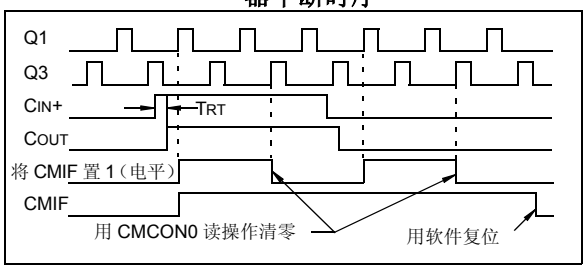


图 7-7：　带 CMCON0 读操作的比较器中断时序



注　1： 在读操作执行过程中（Q2 周期的起始时刻），如果 CMCON0 寄存器（CxOUT）发生变化，那么 PIR1 寄存器的 CxIF 中断标志位可能不会被置 1。

2： 当任一比较器先被使能时，比较器模块中的偏置电流可能会使比较器产生无效输出，直到偏置电流稳定。允许比较器中断前，应允许约 1 μs 的偏置电流稳定时间，然后清除不匹配条件和中断标志。

7.6　休眠模式下的工作原理

如果在进入休眠模式之前就将比较器和参考电压模块使能，则它们在休眠模式下仍将处于运行状态。比较器额外消耗的电流在**第 14.0 节“电气规范”**中另行给出。如果不用比较器来唤醒器件，则可将比较器关闭，以使休眠时的功耗最小。选择将 CMCON0 寄存器中的 CM<2:0> = 000 或 CM<2:0> = 111 将关闭比较器。

比较器输出发生变化将使器件从休眠中唤醒。要使能比较器将器件从休眠中唤醒，必须将 PIE1 寄存器的 CxIE 位以及 INTCON 寄存器的 PEIE 位置 1。器件从休眠模式唤醒后，将总是执行休眠指令后的那条指令。如果 INTCON 寄存器的 GIE 位也被置 1，则器件将招待中断服务程序。

7.7　复位的影响

器件复位强制 CMCON0 和 CMCON1 寄存器进入复位状态。这使比较器模块被强制进入比较器复位模式（CM<2:0> = 000）。这样，所有输入都是模拟输入，比较器被禁止，电流消耗最小。

© 2007 Microchip Technology Inc.

寄存器 7-1：　　CMCON0：比较器配置寄存器

R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7　　**C2OUT**：比较器 2 输出位
当 C2INV = 0 时：
1 = C2 VIN+ > C2 VIN-
0 = C2 VIN+ < C2 VIN-
当 C2INV = 1 时：
1 = C2 VIN+ < C2 VIN-
0 = C2 VIN+ > C2 VIN-

bit 6　　**C1OUT**：比较器 1 输出位
当 C1INV = 0 时：
1 = C1 VIN+ > C1 VIN-
0 = C1 VIN+ < C1 VIN-
当 C1INV = 1 时：
1 = C1 VIN+ < C1 VIN-
0 = C1 VIN+ > C1 VIN-

bit 5　　**C2INV**：比较器 2 输出反相位
1 = C2 输出反相
0 = C2 输出同相

bit 4　　**C1INV**：比较器 1 输出反相位
1 = C1 输出反相
0 = C1 输出同相

bit 3　　**CIS**：比较器输入切换位
当 CM<2:0> = 010 时：
1 = C1IN+ 连接到 C1 VIN-
　　C2IN+ 连接到 C2 VIN-
0 = C1IN- 连接到 C1 VIN-
　　C2IN- 连接到 C2 VIN-
当 CM<2:0> = 001 时：
1 = C1IN+ 连接到 C1 VIN-
0 = C1IN- 连接到 C1 VIN-

bit 2-0　　**CM<2:0>**：比较器模式位 （图 7-5）
000 = 比较器关闭。 CxIN 引脚均配置为模拟
001 = 三个输入复用到两个比较器
010 = 四个输入复用到两个比较器
011 = 两个共用参考的比较器
100 = 两个独立的比较器
101 = 一个独立的比较器
110 = 两上共用参考的带输出的比较器
111 = 比较器关闭。 CxIN 引脚配置为数字 I/O

7.8 比较器 C2 门控 Timer1

可使用此功能为模拟事件的持续时间或间隔时间计时。将 CMCON1 寄存器的 T1GSS 位清零将使能 Timer1 根据比较器 C2 的输出递增。这要求 Timer1 打开且门控使能。详情请参见**第 6.0 节 “具备门控功能的 Timer1 模块”**。

当比较器用作 Timer1 门控源时，建议通过将 C2SYNC 位置 1 使比较器 C2 同步到 Timer1。这将确保 Timer1 不会在比较器在其递增期间改变而错过递增。

7.9 同步比较器 C2 输出和 Timer1

通过将 CMCON1 寄存器的 C2SYNC 位置 1 可将比较器 C2的输出与Timer1同步。使能时，比较器输出在Timer1 时钟源的下降沿被锁存。如果 Timer1 使用了预分频器，则比较器输出在预分频功能后被锁存。为了避免竞争条件，比较器输出在 Timer1 时钟源的下降沿锁存，而 Timer1 在其时钟源的上升沿递增。更多信息请参见比较器框图（图 7-2 和图 7-3）以及 Timer1 框图（图 6-1）。

寄存器 7-2： CMCON1：比较器配置寄存器

U-0	U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0
—	—	—	—	—	—	T1GSS	C2SYNC
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-2 **未实现：**读为 0

bit 1 **T1GSS：**Timer1 门控源选择位 **(1)**

1 = Timer1 门控源为 $\overline{\text{T1G}}$ 引脚 （引脚应配置为数字输入）
0 = Timer1 门控源为比较器 C2 的输出

bit 0 **C2SYNC：**比较器 C2 输出同步位 **(2)**

1 = 在 Timer1 时钟的下降沿同步输出
0 = 输出为异步

注 1： 请参见**第 6.6 节 “Timer1 门控”**。
2： 请参见图 7-3。

© 2007 Microchip Technology Inc.

7.10 比较器参考电压

比较器参考电压模块为比较器提供了内部产生的参考电压。该模块具有以下功能：

- 与比较器操作无关
- 两个 16 级电压范围
- 输出钳位到 VSS
- 与 VDD 成比例

VRCON 寄存器（图 7-3）控制参考电压模块，如图 7-8 所示。

7.10.1 独立工作

比较器参考电压与比较器配置无关。将 VRCON 寄存器的 VREN 位置 1 将使能参考电压。

7.10.2 输出电压选择

CVREF 参考电压有两种各带 16 级电压的范围。电压范围的选择由 VRCON 寄存器的 VRR 位控制。16 级电压可通过 VRCON 寄存器的 VR<3:0> 位设置。

CVREF 输出电压由以下公式确定：

公式 7-1： CVREF 输出电压

$V_{RR} = 1$（低电平范围）：

$$CV_{REF} = (VR<3:0>/24) \times V_{DD}$$

$V_{RR} = 0$（高电平范围）：

$$CV_{REF} = (V_{DD}/4) + (VR<3:0> \times V_{DD}/32)$$

由于模块的构造限制，无法实现 VSS 至 VDD 的完整范围。请参见图 7-8。

7.10.3 输出钳位到 VSS

可通过将 VRCON 配置如下将 CVREF 输出电压设置为 Vss 且不消耗电流：

- VREN = 0
- VRR = 1
- VR<3:0> = 0000

这使比较器能进行过零检测而不额外消耗CVREF模块电流。

7.10.4 输出与 VDD 成比例

比较器的参考电压来自于 VDD，因此 CVREF 会随着 VDD 的波动而变化。经过测试的比较器参考电压的绝对精度请参见**第 14.0 节 “电气规范”**。

寄存器 7-3： VRCON：参考电压控制寄存器

R/W-0	U-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
VREN	—	VRR	—	VR3	VR2	VR1	VR0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **VREN**：CVREF 使能位
1 = CVREF 电路通电
0 = CVREF 电路断电，无 IDD 泄漏电流且 CVREF = VSS。

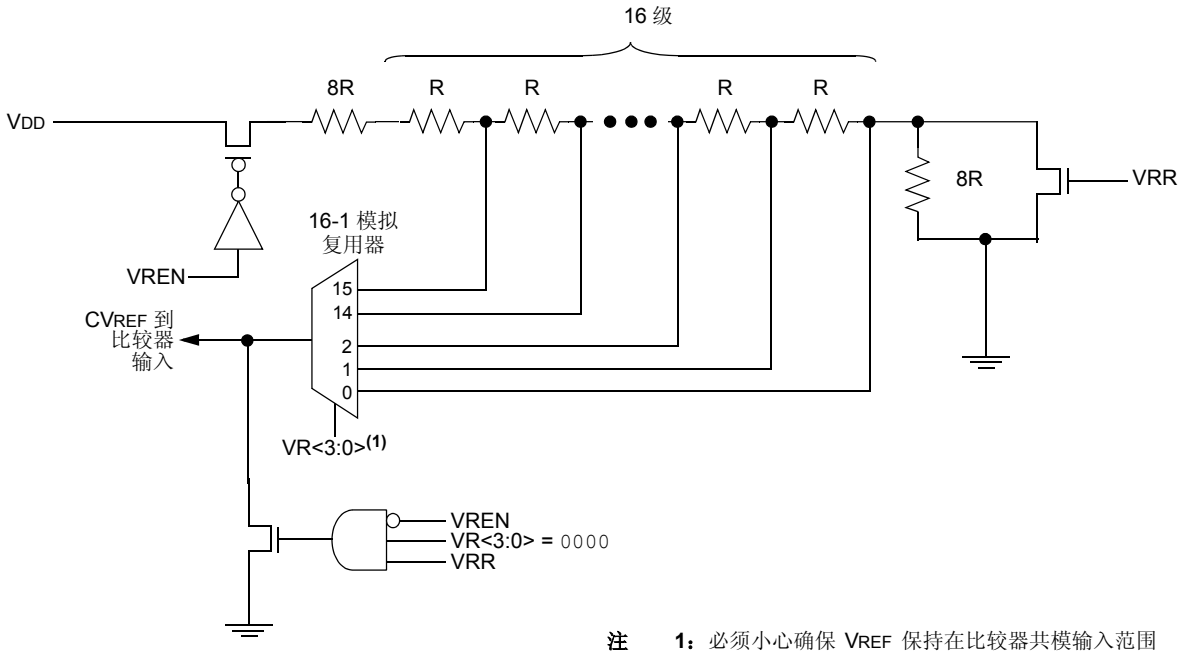
bit 6 **未实现**：读为 0

bit 5 **VRR**：CVREF 电压范围选择位
1 = 低电压范围
0 = 高电压范围

bit 4 **未实现**：读为 0

bit 3-0 **VR<3:0>**：CVREF 值选择位 （0 ≤ VR<3:0> ≤ 15）
当 VRR = 1 时：CVREF = (VR<3:0>/24) * VDD
当 VRR = 0 时：CVREF = VDD/4 + (VR<3:0>/32) * VDD

图 7-8：　　比较器参考电压框图



注　　1： 必须小心确保 VREF 保持在比较器共模输入范围内。详情请参见**第 14.0 节 “电气规范”**。

表 7-2：　　与比较器和参考电压模块相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
CMCON0	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	0000 0000	0000 0000
CMCON1	—	—	—	—	—	—	T1GSS	C2SYNC	---- --10	---- --10
INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF	0000 000x	0000 000x
PIE1	EEIE	ADIE	RCIE	C2IE	C1IE	OSFIE	TXIE	TMR1IE	0000 0000	0000 0000
PIR1	EEIF	ADIF	RCIF	C2IF	C1IF	OSFIF	TXIF	TMR1IF	0000 0000	0000 0000
PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--x0 x000	--x0 x000
PORTC	—	—	RC5	RC4	RC3	RC2	RC1	RC0	--xx 0000	--xx 0000
TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111
TRISC	—	—	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	--11 1111	--11 1111
VRCON	VREN	—	VRR	—	VR3	VR2	VR1	VR0	0-0- 0000	0-0- 0000

图注：　x = 未知，u = 不变，– = 未使用，读为 0。比较器不使用阴影单元。

© 2007 Microchip Technology Inc.

8.0 模数转换器 （ADC）模块

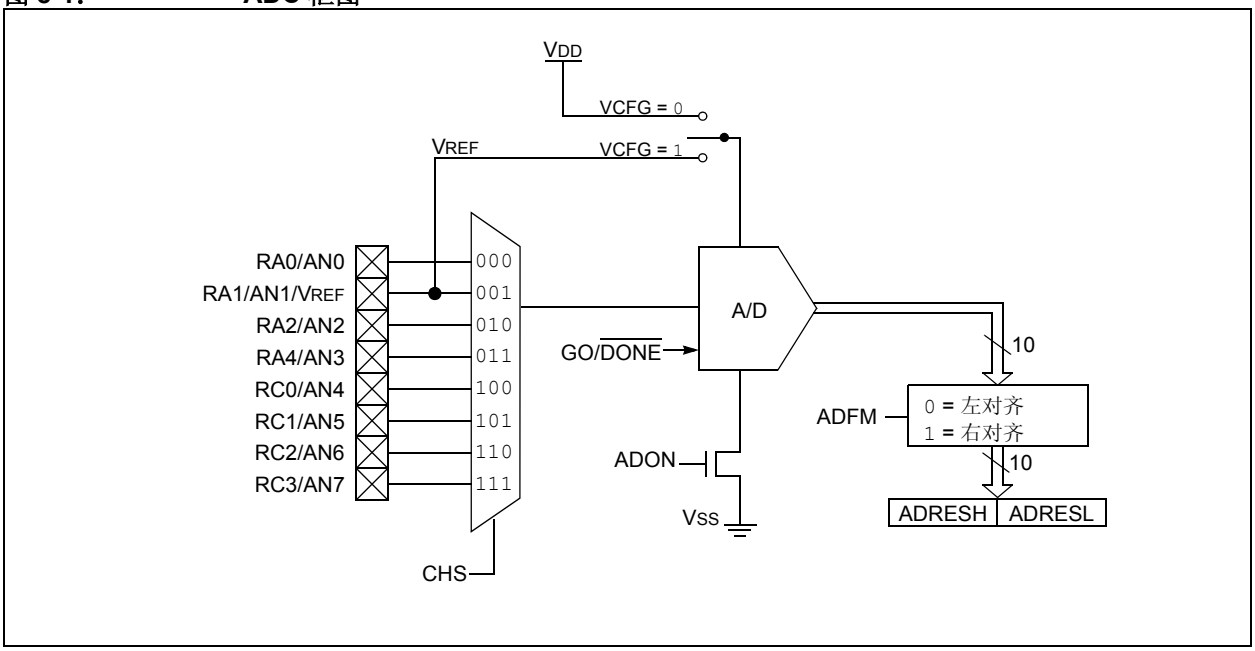
模数转换器（Analog-to-Digital Converter，ADC）可将模拟输入信号转换为相应的 10 位二进制表征值。器件使用多个模拟输入并复用到一个采样保持电路。采样保持电路的输出与转换器的输入相连接。转换器通过逐次逼近法产生 10 位二进制值，并将结果存入 ADC 结果寄存器 （ADRESL 和 ADRESH）。

ADC参考电压可通过软件选择为VDD或施加在外部参考引脚上的电压。

ADC 在转换完成时可产生中断。可使用此中断将器件从休眠唤醒。

图 8-1 所示为 ADC 的框图。

图 8-1： ADC 框图



8.1 ADC 配置

配置和使用 ADC 时必须考虑以下各项：

- 端口配置
- 通道选择
- ADC 参考电压的选择
- ADC 转换时钟源
- 中断控制
- 结果格式

8.1.1 端口配置

ADC 可用于转换模拟和数字信号。转换模拟信号时，应通过将相关的 TRIS 和 ANSEL 位置 1 将 I/O 引脚配置为模拟功能。更多信息请参见相应的端口章节。

注：	在任何定义为数字输入的引脚上施加模拟电压均可导致输入缓冲器流过的电流过大。

8.1.2 通道选择

ADCON0 寄存器的 CHS 位决定哪个通道连接到采样保持电路上共有 8 个模拟通道，AN0 到 AN7。CHS<2:0> 位 （ADCON0<4:2>）用于控制哪一路通道与采样保持电路相连。

改变通道时，开始下一次转换前需要一个延时。更多信息请参见**第 8.2 节 “ADC 的工作原理”**。

8.1.3 ADC 参考电压

ADCON0 寄存器的 VCFG 位提供了对正参考电压的控制。正参考电压可以是 VDD 或外部电压源。负参考电压始终连接到参考地。

8.1.4 转换时钟

转换时钟源可用软件通过 ADCON1 寄存器的 ADCS 位来选择。有 7 种时钟选项：

- FOSC/2
- FOSC/4
- FOSC/8
- FOSC/16
- FOSC/32
- FOSC/64
- FRC （专用的内部振荡器）

完成一个位的转换的时间定义为 TAD。一次完整的 10 位转换需要 11 TAD 周期，如图 8-3 所示。

要正确转换，必须满足适当的 TAD 规范。更多信息请参见**第 14.0 节 “电气规范”** 中的 A/D 转换要求。表 8-1 给出了适当选择 ADC 时钟的示例。

注：	除非使用 FRC，否则系统时钟频率的任何变化均会改变 ADC 时钟频率，这将影响 ADC 结果。

© 2007 Microchip Technology Inc.

表 8-1： ADC 时钟周期 （TAD）—器件工作频率的关系 （VDD ≥ 3.0V）

ADC 时钟周期 （TAD）		器件频率 （FOSC）			
ADC 时钟源	ADCS<2:0>	20 MHz	8 MHz	4 MHz	1 MHz
FOSC/2	000	100 ns(2)	250 ns(2)	500 ns(2)	2.0 μs
FOSC/4	100	200 ns(2)	500 ns(2)	1.0 μs(2)	4.0 μs
FOSC/8	001	400 ns(2)	1.0 μs(2)	2.0 μs	8.0 μs(3)
FOSC/16	101	800 ns(2)	2.0 μs	4.0 μs	16.0 μs(3)
FOSC/32	010	1.6 μs	4.0 μs	8.0 μs(3)	32.0 μs(3)
FOSC/64	110	3.2 μs	8.0 μs(3)	16.0 μs(3)	64.0 μs(3)
FRC	x11	2-6 μs(1,4)	2-6 μs(1,4)	2-6 μs(1,4)	2-6 μs(1,4)

图注： 阴影单元不在建议范围内。

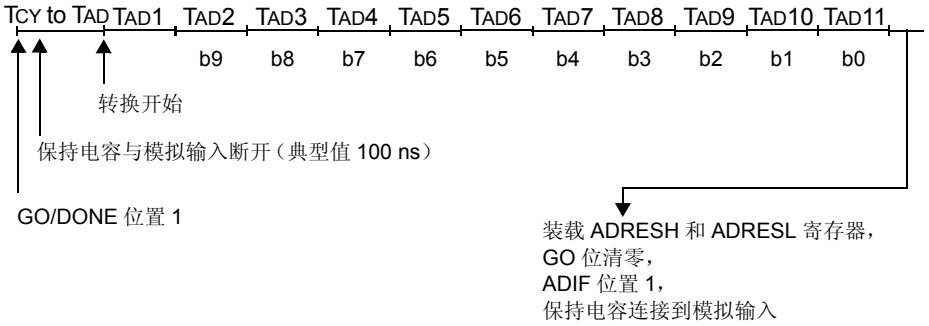
注 1： VDD > 3.0V 时， FRC 源的典型 TAD 时间为 4 μs。

2： 这些值违反了最小所需 TAD 时间。

3： 要使转换更快，建议选择其他时钟源。

4： 当器件频率大于 1 MHz 时，只有在休眠时执行转换才建议使用 FRC 时钟源。

图 8-2： 模数转换 TAD 周期



8.1.5 中断

ADC模拟具有在模数转换完成时产生中断的能力。ADC中断标志为 PIR1 寄存器的 ADIF 位。 ADC 中断允许位为 PIE1 寄存器的 ADIE 位。 ADIF 位必须用软件清零。

注：	每次转换完成后 ADIF 位均置 1，无论是否允许 ADC 中断。

器件工作或休眠时均可产生中断。如果器件处于休眠模式，中断将唤醒器件。从休眠模式唤醒后，将始终执行紧随 SLEEP 指令的下一条指令。如果用户试图将器件从休眠唤醒并恢复后续代码执行，必须将全局中断禁止。如果允许全局中断，将切换到执行中断服务程序。

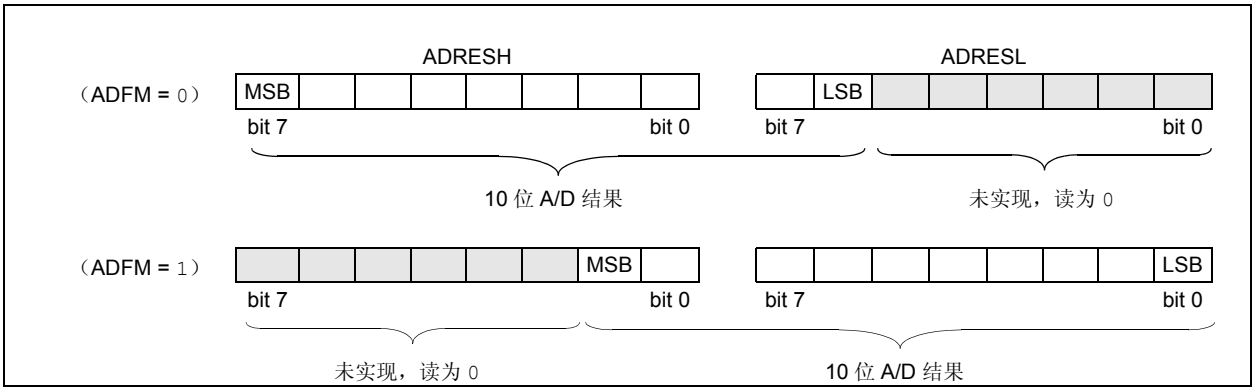
更多信息请参见**第 8.1.5 节 “中断”**。

8.1.6 转换结果格式

10 位 A/D 转换结果可提供为两种格式，即左对齐或右对齐。 ADCON0 寄存器的 ADFM 位控制输出格式。

图 8-4 所示为两种输出格式。

图 8-3： 10 位 A/D 转换结果格式



© 2007 Microchip Technology Inc.

8.2 ADC 的工作原理

8.2.1 开始转换

要使能 ADC 模块，必须将 ADCON0 寄存器的 ADON 位置为 1。将 ADCON0 寄存器的 GO/DONE 位置 1 将开始模数转换。

注：	不应用打开 ADC 的同一条指令将 GO/DONE 位置 1。请参见**第 8.2.5 节“A/D 转换顺序”**。

8.2.2 转换完成

转换完成时， ADC 模块将：

- 清零 GO/DONE 位
- 将 ADIF 标志位置 1
- 用新的转换结果更新 ADRESH:ADRESL 寄存器

8.2.3 终止转换

如果转换尚未完成而必须终止，可将 GO/DONE 用软件清零。 ADRESH:ADRESL 寄存器不会被尚未完成的模数转换采样值更新。相反， ADRESH:ADRESL 这对寄存器会保持前一次的转换值。此外，要重新开始转换，需要先经过 2 TAD 的延时。延时后，所选通道的输入采集将自动开始。

注：	器件复位强制所有寄存器回到其复位状态。这样， ADC 模块被关闭，任何等待的转换将终止。

8.2.4 休眠期间的 ADC 转换

ADC 模块能在器件休眠时工作。这要求 ADC 时钟源设为 FRC 选项。选择 FRC 时钟源时， ADC 在开始转换前将额外等待一个指令周期。这使 SLEEP 得以执行，从而降低转换时的系统噪声。如果允许 ADC 中断，转换完成时器件将从休眠唤醒。如果禁止 ADC 中断，转换完成后 ADC 模块被关闭，尽管 ADON 位将保持置 1 状态。

当 ADC 时钟源不为 FRC 时，一条 SLEEP 指令将使当前转换异常中止，并且 ADC 模块被关闭，尽管 ADON 位将保持置 1 状态。

8.2.5 A/D 转换顺序

以下是使用 ADC 完成模数转换的示例：

1. 配置端口：
   - 禁止引脚输出驱动器 （见 TRIS 寄存器）
   - 配置引脚为模拟
2. 配置 ADC 模块：
   - 选择 ADC 转换时钟
   - 配置参考电压
   - 选择 ADC 输入通道
   - 选择结果格式
   - 打开 ADC 模块
3. 配置 ADC 中断 （可选）：
   - 将 ADC 中断标志清零
   - 允许 ADC 中断
   - 允许外设中断
   - 允许全局中断 **(1)**
4. 等待所需的采集时间 **(2)**。
5. 将 GO/DONE 位置 1 开始转换
6. 根据以下之一等待 ADC 转换完成：
   - 查询 GO/DONE 位
   - 等待 ADC 中断 （允许中断时）
7. 读 ADC 结果
8. 将 ADC 中断标志清零 （允许中断时必须）。

注	**1：**如果用户试图将器件从休眠唤醒并恢复后续代码执行，可将全局中断禁止。 **2：**请参见**第 8.3 节 “A/D 采集要求”**。

例 8-1：　　A/D 转换

```
;This code block configures the ADC
;for polling, Vdd reference, Frc clock
;and AN0 input.
;
;Conversion start & polling for completion
; are included.
;
BANKSEL ADCON1       ;
MOVLW   B'01110000'  ;ADC Frc clock
MOVWF   ADCON1       ;
BANKSEL TRISA        ;
BSF     TRISA,0      ;Set RA0 to input
BANKSEL ANSEL        ;
BSF     ANSEL,0      ;Set RA0 to analog
BANKSEL ADCON0       ;
MOVLW   B'10000001'  ;Right justify,
MOVWF   ADCON0       ;Vdd Vref, AN0, On
CALL    SampleTime   ;Acquisiton delay
BSF     ADCON0,GO    ;Start conversion
BTFSC   ADCON0,GO    ;Is conversion done?
GOTO    $-1          ;No, test again
BANKSEL ADRESH       ;
MOVF    ADRESH,W     ;Read upper 2 bits
MOVWF   RESULTHI     ;store in GPR space
BANKSEL ADRESL       ;
MOVF    ADRESL,W     ;Read lower 8 bits
MOVWF   RESULTLO     ;Store in GPR space
```


© 2007 Microchip Technology Inc.

8.2.6 ADC 寄存器定义

以下寄存器用于控制 ADC 的操作。

寄存器 8-1： ADCON0：A/D 控制寄存器 0

R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	VCFG	–	CHS2	CHS1	CHS0	GO/$\overline{\text{DONE}}$	ADON
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **ADFM**：A/D 转换结果格式选择位
1 = 右对齐
0 = 左对齐

bit 6 **VCFG**：参考电压位
1 = VREF 引脚
0 = VDD

bit 5 **未实现**：读为 0

bit 4-2 **CHS<2:0>**：模拟通道选择位
000 = AN0
001 = AN1
010 = AN2
011 = AN3
100 = AN4
101 = AN5
110 = AN6
111 = AN7

bit 1 **GO/$\overline{\text{DONE}}$**：A/D 转换状态位
1 = A/D 转换周期正在进行。将此位置 1 开始 A/D 转换周期。
A/D 转换完成时此位由硬件自动清零。
0 = A/D 转换完成 / 不在进行中

bit 0 **ADON**：ADC 使能位
1 = ADC 使能
0 = ADC 禁止，不消耗工作电流

寄存器 8-2： ADCON1：A/D 控制寄存器 1

U-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
–	ADCS2	ADCS1	ADCS0	–	–	–	–
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **未实现**：读为 0

bit 6-4 **ADCS<2:0>**：A/D 转换时钟选择位
000 = FOSC/2
001 = FOSC/8
010 = FOSC/32
x11 = Frc （时钟来自专用内部振荡器，最高频率为 500 kHz）
100 = FOSC/4
101 = FOSC/16
110 = FOSC/64

bit 3-0 **未实现**：读为 0

寄存器 8-3： ADRESH：ADC 结果高字节寄存器 （ADRESH）， ADFM = 0

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
ADRES9	ADRES8	ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-0 **ADRES<9:2>：**ADC 结果寄存器位
10 位转换结果的高 8 位

寄存器 8-4： ADRESL：ADC 结果低字节寄存器 （ADRESL）， ADFM = 0

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
ADRES1	ADRES0	—	—	—	—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-6 **ADRES<1:0>：**ADC 结果寄存器位
10 位转换结果的低 2 位

bit 5-0 **保留：**不要使用。

寄存器 8-5： ADRESH：ADC 结果高字节寄存器 （ADRESH）， ADFM = 1

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
–	–	–	–	–	–	ADRES9	ADRES8
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-2 **保留：**不要使用。

bit 1-0 **ADRES<9:8>：**ADC 结果寄存器位
10 位转换结果的高 2 位

寄存器 8-6： ADRESL：ADC 结果低字节寄存器 （ADRESL）， ADFM = 1

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2	ADRES1	ADRES0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-0 **ADRES<7:0>：**ADC 结果寄存器位
10 位转换结果的低 8 位

© 2007 Microchip Technology Inc.

8.3 A/D 采集要求

要使 ADC 满足其规定的精确度，必须使充电保持电容（CHOLD）充满到输入通道的电平。模拟输入模式如图 8-4 所示。源阻抗（RS）和内部采样开关（RSS）直接影响为 CHOLD 电容充电的时间。采样开关（RSS）阻抗随器件电压（VDD）的变化而变化，请参见图 8-4。**最大建议的模拟源阻抗为 10 kΩ。**采集时间可能随源阻抗的降低而缩短。模拟输入通道选择好（或改变）后，必须先进行 A/D 采样才能开始转换。可使用公式 8-1 计算最小采集时间。该公式假定所使用的误差为 1/2 LSb（ADC 的 1024 步）。1/2 LSb 误差是 ADC 达到规定分辨率所允许的最大误差。

公式 8-1：　　采样时间示例

假设：　温度 = 50°C，外部电阻 10 kΩ，5.0V V_{DD}

$$T_{ACQ} = \text{放大器稳定时间} + \text{保持电容充电时间} + \text{温度系数}$$
$$= T_{AMP} + T_C + T_{COFF}$$
$$= 5\ \mu s + T_C + [(\text{温度} - 25°C)(0.05\ \mu s/°C)]$$

T_C 值可以用以下公式近似计算：

$$V_{APPLIED}\left(1 - \frac{1}{2047}\right) = V_{CHOLD} \quad ;[1]\ \text{在 1/2 lsb 误差范围内对 } V_{CHOLD}\ \text{充电}$$

$$V_{APPLIED}\left(1 - e^{\frac{-TC}{RC}}\right) = V_{CHOLD} \quad ;[2]\ \text{依照 } V_{APPLIED}\ \text{对 } V_{CHOLD}\ \text{充电}$$

$$V_{APPLIED}\left(1 - e^{\frac{-T_C}{RC}}\right) = V_{APPLIED}\left(1 - \frac{1}{2047}\right) \quad ;\ \text{结合 [1] 和 [2]}$$

求解 T_C：

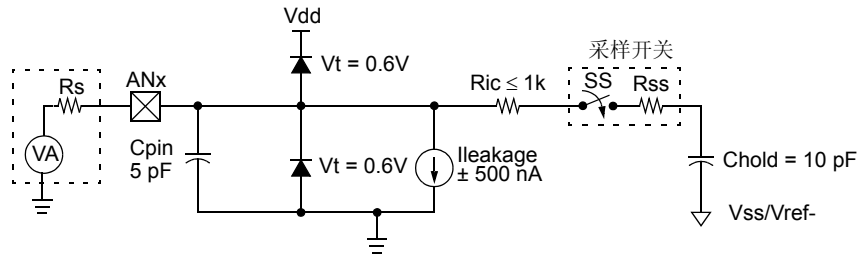
$$T_C = -C_{HOLD}(R_{IC} + R_{SS} + R_S)\ \ln(1/2047)$$
$$= -10\ pF(1\ k\Omega + 7\ k\Omega + 10\ k\Omega)\ \ln 0.004885$$
$$= 1.37\ \mu s$$

因此：

$$T_{ACQ} = 5\ \mu s + 1.37\ \mu s + [(50°C - 25°C)(0.05\ \mu s/°C)]$$
$$= 7.67\ \mu s$$

注　1：参考电压（VREF）对公式无影响，因为它可将自身消去。
2：充电保持电容（CHOLD）在每次转换后被放电。
3：建议的最大模拟源阻抗为 10 kΩ。需要连接此阻抗以满足引脚的泄漏规范。

图 8-4：　　模拟输入模型



图注：
Cpin = 输入电容
Vt = 门限电压
Ileakage = 由于各结点产生的引脚泄漏电流
Ric = 互连电阻
SS = 采样开关
Chold = 采样 / 保持电容

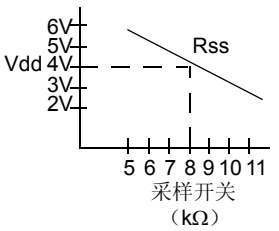
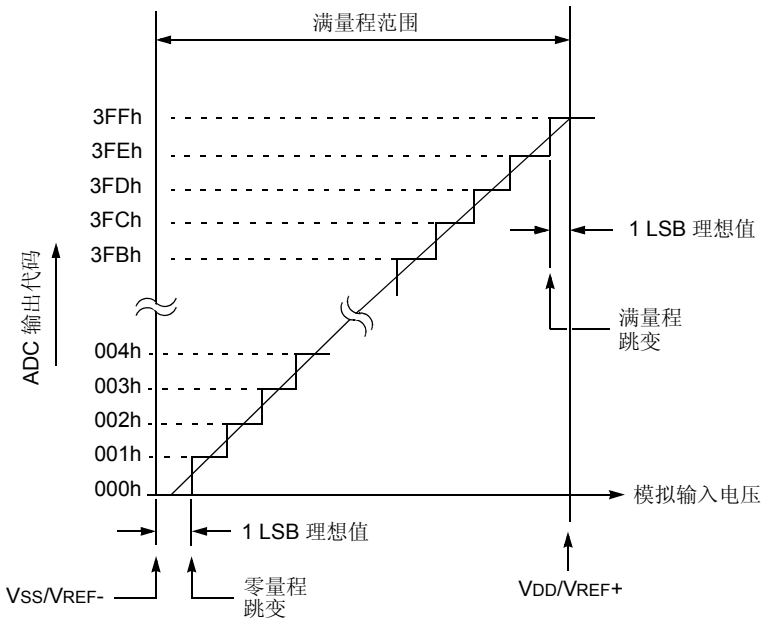


图 8-5：　　ADC 传递函数



© 2007 Microchip Technology Inc.

表 8-2：　　与 ADC 相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
ADCON0	ADFM	VCFG	—	CHS2	CHS1	CHS0	GO/$\overline{\text{DONE}}$	ADON	00-0 0000	00-0 0000
ADCON1	—	ADCS2	ADCS1	ADCS0	—	—	—	—	-000 ----	-000 ----
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
ADRESH	A/D 结果寄存器高字节								xxxx xxxx	uuuu uuuu
ADRESL	AD 结果寄存器低字节								xxxx xxxx	uuuu uuuu
INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF	0000 000x	0000 000x
PIE1	EEIE	ADIE	RCIE	C2IE	C1IE	OSFIE	TXIE	TMR1IE	0000 0000	0000 0000
PIR1	EEIF	ADIF	RCIF	C2IF	C1IF	OSFIF	TXIF	TMR1IF	0000 0000	0000 0000
PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--x0 x000	--x0 x000
PORTC	—	—	RC5	RC4	RC3	RC2	RC1	RC0	--xx 0000	--xx 0000
TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111
TRISC	—	—	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	--11 1111	--11 1111

图注：　x = 求知， u = 不变， – = 未实现，读为 0。 ADC 模块不使用阴影单元。

注：

© 2007 Microchip Technology Inc.

9.0 数据 EEPROM 和闪存程序存储器控制

在整个 VDD 范围内的正常运行期间，数据 EEPROM 存储器是可读写的。这些存储器并不直接映射到寄存器文件空间，而是通过特殊功能寄存器来间接寻址。有 6 个 SFR 用于访问这些存储器：

- EECON1
- EECON2
- EEDAT
- EEDATH
- EEADR
- EEADRH

当与数据存储器模块接口时， EEDAT 存放 8 位读写数据，而 EEADR 存放被访问的 EE 数据存储单元的地址。该器件有 256 字节的数据 EEPROM，地址范围从 0h 到 0FFh。

当与程序存储器模块接口时，EEDAT 和 EEDATH 寄存器形成双字节字，保存 14 位读 / 写数据，而 EEADR 和 EEADRH 寄存器形成双字节字，保存 12 位被访问的 EEPROM 存储单元的地址。该器件有 4K 字的程序 EEPROM，地址范围从 0h 到 0FFFh。程序存储器允许以字为单位读取。

EEPROM 数据存储器允许以字节为单位读写。字节写操作会自动擦除目标存储单元并写入新数据（在写入前擦除）。

写入时间由片上定时器控制。写入 / 擦除电压是由片上电荷泵产生的，用于为字节或字操作提供电压的电荷泵额定工作在器件的工作电压范围内。

当器件被代码保护时， CPU 仍可继续读写数据 EEPROM 存储器并且读程序存储器。当代码保护时，器件编程器将不再能访问数据或程序存储器。

9.1 EEADR 和 EEADRH 寄存器

EEADR 和 EEADRH 寄存器能寻址最大 256 字节的数据 EEPROM 或最大 4K 字的程序 EEPROM。

当选择程序地址值时，地址的 MSB 被写入 EEADRH 寄存器，而 LSB 被写入 EEADR 寄存器。当选择数据地址值时，只将地址的 LSB 写入 EEADR 寄存器。

9.1.1 EECON1 和 EECON2 寄存器

EECON1 是访问 EE 存储器的控制寄存器。

控制位 EEPGD 决定访问的是程序存储器还是数据存储器。当清零时，和在复位时一样，任何后续操作都将针对数据存储器进行。当置 1 时，任何后续操作都将针对程序存储器进行。程序存储器是只读的。

控制位 RD 和 WR 分别用于启动读操作和写操作。用软件只能将这些位置 1 而无法清零。在读或写操作完成后，由硬件将它们清零。由于无法用软件将 WR 位清零，可避免写操作意外过早终止。

当 WREN 位置 1 时，允许对数据 EEPROM 执行写操作。上电时， WREN 位被清零。当正常的写操作被 MCLR 复位或 WDT 超时复位中断时， WRERR 位会置 1。在这些情况下，复位后用户可以检查 WRERR 位并重写相应的存储单元。EEDAT 和 EEADR 寄存器中的数据和地址保持不变。

当写操作完成时，PIR1 寄存器的中断标志位 EEIF 被置 1。此标志位必须用软件清零。

EECON2 不是实际存在的寄存器。读 EECON2 将得到全 0。EECON2 寄存器仅在数据 EEPROM 的写过程中使用。

寄存器 9-1：　　EEDAT：EEPROM 数据寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　　**EEDATn**：写入或从数据 EEPROM 读出的字节值位

寄存器 9-2：　　EEADR：EEPROM 地址寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EEADR7	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　　**EEADR<7:0>**：EEPROM 读 / 写操作 (1) 或从程序存储器读操作的 8 个最低有效地址位

寄存器 9-3：　　EEDATH：EEPROM 数据高字节寄存器

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-6　　**未实现**：读为 0

bit 5-0　　**EEDATH<5:0>**：程序存储器的 6 个最高有效数据位

寄存器 9-4：　　EEADRH：EEPROM 地址高字节寄存器

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	EEADRH3	EEADRH2	EEADRH1	EEADRH0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-4　　**未实现**：读为 0

bit 3-0　　**EEADRH<3:0>**：为程序存储器读操作指定最高有效地址位的高 4 位

© 2007 Microchip Technology Inc.

寄存器 9-5：　　EECON1：EEPROM 控制寄存器

R/W-x	U-0	U-0	U-0	R/W-x	R/W-0	R/S-0	R/S-0
EEPGD	—	—	—	WRERR	WREN	WR	RD
bit 7							bit 0

图注：			
S = 只能置 1			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7　**EEPGD**：程序 / 数据 EEPROM 选择位

1 = 访问程序存储器
0 = 访问数据存储器

bit 6-4　**未实现**：读为 0

bit 3　**WRERR**：EEPROM 错误标志位

1 = 写操作提前终止（任何 $\overline{\text{MCLR}}$ 复位、正常操作时的任何 WDT 复位，或 BOR 复位）
0 = 写操作完成

bit 2　**WREN**：EEPROM 写使能位

1 = 允许写周期
0 = 禁止写入数据 EEPROM

bit 1　**WR**：写控制位

EEPGD = 1：
忽略此位
EEPGD = 0：
1 = 禁止写周期（写操作完成时此位由硬件清零。 WR 只能用软件置 1 而不能清零。）
0 = 向数据 EEPROM 的写操作完成

bit 0　**RD**：读控制位

1 = 启动存储器读操作（RD 位由硬件清零并只能用软件置 1，不能清零。）
0 = 不启动存储器读操作

9.1.2 读数据 EEPROM 存储器

要读取数据存储器单元，用户必须将地址写入 EEADR 寄存器，清零 EECON1 寄存器的 EEPGD 控制位，然后将 EECON1 寄存器的控制位 RD 置 1。在紧接着的下一个周期， EEDAT 寄存器中的数据即可使用。因此，可由下一条指令读取。 EEDAT 将保留该值直至另一次读操作开始或（在写操作期间）由用户写入新值。

例 9-1： 数据 EEPROM 的读操作

```
BANKSEL EEADR           ;
MOVLW   DATA_EE_ADDR    ;
MOVWF   EEADR           ;Data Memory
                        ;Address to read
BCF     EECON1, EEPGD   ;Point to DATA
                        ;memory
BSF     EECON1, RD      ;EE Read
MOVF    EEDAT, W        ;W = EEDAT
```

9.1.3 写数据 EEPROM 存储器

要向 EEPROM 数据存储单元写入数据，用户应首先将地址写入 EEADR 寄存器，并将数据写入 EEDAT 寄存器。然后用户必须按特定顺序开始写入每个字节。

如果没有完全按照上述指令顺序 （即首先将 55h 写入 EECON2，随后将 AAh 写入 EECON2，最后将 WR 位置 1）写每个字节，将不会启动写操作。在该代码段中应禁止中断。

此外，必须将 EECON1 中的 WREN 位置 1 以使能写操作。这种机制可防止由于代码执行错误 （异常）（即程序跑飞）导致误写数据 EEPROM。除了更新 EEPROM 时以外，用户应该始终保持 WREN 位清零。 WREN 位不会被硬件清零。

一个写过程启动后，将 WREN 位清零不会影响此写周期。除非 WREN 位置 1，否则 WR 位将被禁止置 1。

写周期完成时， WR 位由硬件清零并且 EE 写完成中断标志位（EEIF）被置 1。用户可以允许此中断或查询此位。 EEIF 必须用软件清零。

例 9-2： 数据 EEPROM 的写操作

```
        BANKSELEEADR    ;
        MOVLWDATA_EE_ADDR;
        MOVWFEEADR      ;Data Memory Address to write
        MOVLWDATA_EE_DATA;
        MOVWFEEDAT      ;Data Memory Value to write
        BANKSELEECON1   ;
        BCF  EECON1, EEPGD;Point to DATA memory
        BSF  EECON1, WREN;Enable writes

        BCF  INTCON, GIE;Disable INTs.
        BTFSCINTCON, GIE;SEE AN576
        GOTO $-2
必需的序列
        MOVLW55h        ;
        MOVWFEECON2     ;Write 55h
        MOVLWAAh        ;
        MOVWFEECON2     ;Write AAh
        BSF  EECON1, WR ;Set WR bit to begin write
        BSF  INTCON, GIE;Enable INTs.

        SLEEP           ;Wait for interrupt to signal write complete
        BCF  EECON1, WREN;Disable writes
```


© 2007 Microchip Technology Inc.

9.1.4 闪存程序存储器的读操作

要读取程序存储器单元，用户必须将地址的两个字节分别写入 EEADR 和 EEADRH 寄存器，将 EECON1 寄存器的 EEPGD 控制位置 1，然后将 EECON1 寄存器的控制位 RD 置 1。一旦读控制位置 1，闪存程序存储器控制器将使用第二个指令周期来读数据。这会导致紧随“BSF EECON1,RD”指令的第二条指令被忽略。在紧接着的下一个周期，EEDAT 和 EEDATH 寄存器中的数据即可使用。因此，可在随后的指令中读取为两个字节。EEDAT 和 EEDATH 寄存器将保留该值直至另一次读操作开始或（在写操作期间）由用户写入新值。

注 1： 程序存储器读操作后的两条指令必须为 NOP。这将避免用户在RD位置1后的下一条指令执行一条双周期指令。

2： 当 EEPGD = 1 时如果 WR 位置 1，它会立即复位为 0，而不执行任何操作。

例 9-3： 闪存的读操作

```
      BANKSELEEADR          ;
      MOVLWMS_PROG_EE_ADDR ;
      MOVWFEEADRH           ;MS Byte of Program Address to read
      MOVLWLS_PROG_EE_ADDR ;
      MOVWFEEADR            ;LS Byte of Program Address to read
      BANKSELEECON1         ;
      BSF EECON1, EEPGD     ;Point to PROGRAM memory
      BSF EECON1, RD        ;EE Read
                            ;
                            ;First instruction after BSF EECON1,RD executes normally
      NOP                                                          必需的4字列
      NOP                   ;Any instructions here are ignored as program
                            ;memory is read in second cycle after BSF EECON1,RD
;
      BANKSELEEDAT          ;
      MOVFEEDAT, W          ;W = LS Byte of Program Memory
      MOVWFLOWPMBYTE        ;
      MOVFEEDATH, W         ;W = MS Byte of Program EEDAT
      MOVWFHIGHPMBYTE       ;
      BCF STATUS, RP1       ;Bank 0
```

图 9-1：　　闪存的读周期执行

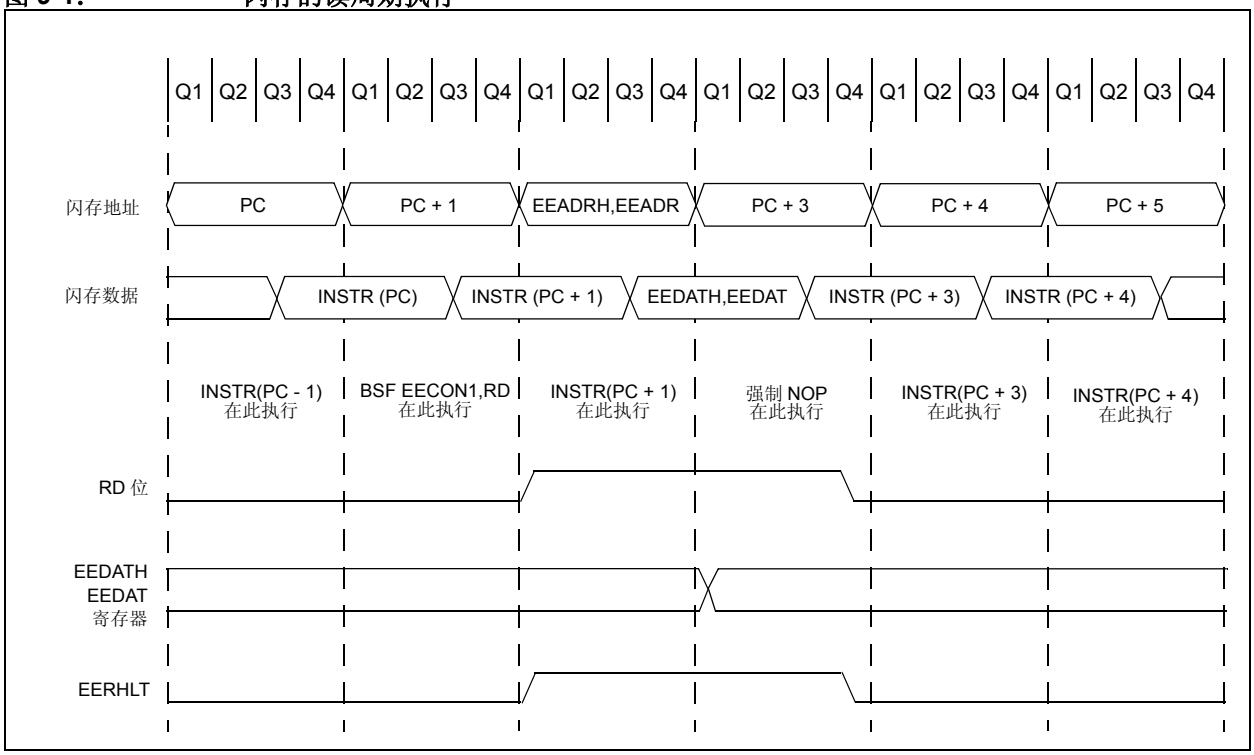


表 9-1：　　与数据 EEPROM 相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
EECON1	EEPGD	—	—	—	WRERR	WREN	WR	RD	x--- x000	0--- q000
EECON2	EEPROM 控制寄存器 2（非物理寄存器）								---- ----	---- ----
EEADR	EEADR7	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0	0000 0000	0000 0000
EEADRH	—	—	—	—	EEADRH3	EEADRH2	EEADRH1	EEADRH0	---- 0000	---- 0000
EEDAT	EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0	0000 0000	0000 0000
EEDATH	—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0	--00 0000	--00 0000
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PIE1	EEIE	ADIE	RCIE	C2IE	C1IE	OSFIE	TXIE	TMR1IE	0000 0000	0000 0000
PIR1	EEIF	ADIF	RCIF	C2IF	C1IF	OSFIF	TXIF	TMR1IF	0000 0000	0000 0000

图注：　x = 未知，u = 不变，– = 未实现，读为 0，q = 取值视情况而定。
数据 EEPROM 模块不使用阴影单元。

© 2007 Microchip Technology Inc.

10.0 增强型通用同步异步收发器（EUSART）

增强型通用同步异步收发器（Enhanced Universal Synchronous Asynchronous Receiver Transmitter，EUSART）模块是串行 I/O 通信模块。它包含完成独立于器件程序执行之外的串行数据的输入和输出所需的所有时钟发生器、移位寄存器和数据缓冲器。EUSART 也称为串行通讯接口（Serial Communications Interface，SCI），可以配置为全双工异步系统或半双工同步系统。全双工模式可用于与 CRT 终端和个人计算机等外设进行通讯。半双工同步模式主要用于与 A/D 或 D/A 集成电路、串行 EEPROM 等外设或其他单片机进行通讯。这些器件通常没有用于波特率发生的内部时钟，需要由主同步器件提供的外部时钟信号。

EUSART 模块包含以下功能：

- 全双工异步发送接收
- 双字符输入缓冲器
- 单字符输出缓冲器
- 可编程 8 位或 9 位字符长度
- 9 位模式的地址检测
- 输入缓冲器溢出错误检测
- 接收字符帧错误检测
- 半双工同步主机
- 半双工同步从机
- 同步模式下可编程时钟极性

EUSART 模块实现了以下额外功能，使其成为本地互联网络（Local Interconnect Network，LIN）总线系统的理想选择：

- 自动检测和校验波特率
- 接收间断（Break）时唤醒
- 13 位间断字符发送

EUSART 收发器的框图请参见图 10-1 和图 10-2。

图 10-1： EUSART 发送框图

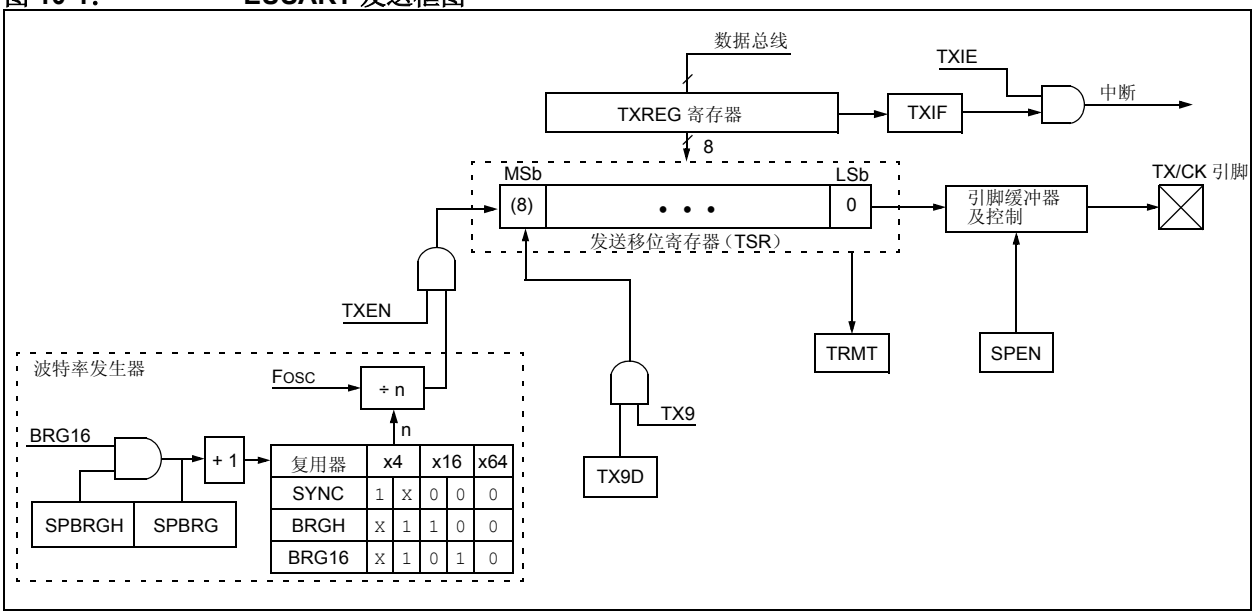
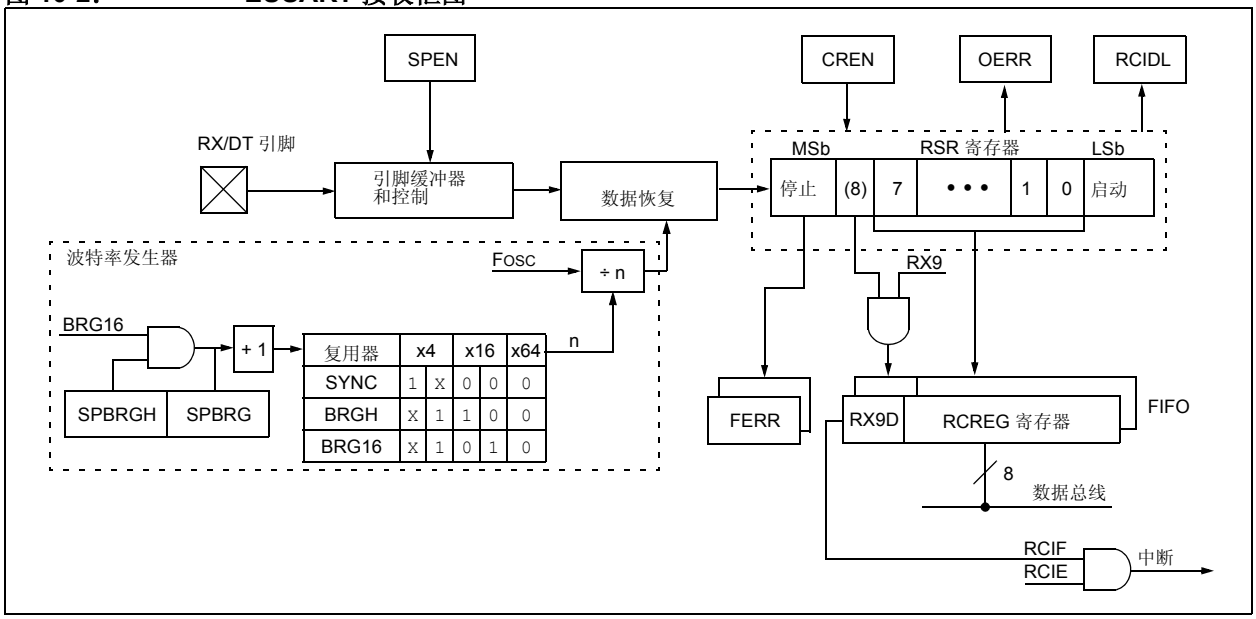


图 10-2： EUSART 接收框图



EUSART 模块的工作由以下三个寄存器控制：

- 发送状态和控制 （TXSTA）寄存器
- 接收状态和控制 （RXSTA）寄存器
- 波特率控制 （BAUDCTL）寄存器

这些寄存器的详情请分别参见寄存器 10-1、寄存器 10-2 和寄存器 10-3。

© 2007 Microchip Technology Inc.

10.1 EUSART 异步模式

EUSART 采用标准不归零（non-return-to-zero，NRZ）格式发送和接收数据。NRZ 实现为两种电平：表示数据位 1 的 VOH 标记状态 （mark state），以及表示数据位 0 的 VOL 空格状态（space state）。NRZ 指的是当同具有相同值的连续数据位被发送时，它们保持在该位的输出电平不变，而不会在每个位之间回到中立电平。NRZ 发送端口在标记状态空闲。每个字符发送包含一个启动位及随后的八个或九个数据位，并始终由一个或多个停止位终止。启动位始终是一个空格，停止位始终是标记。最常见的数据格式为 8 位。每个发送位保持 1/(波特率) 个周期。使用片上专用 8 位 /16 位波特率发生器（Baud Rate Generator， BRG）从系统振荡器产生标准波特率频率。波特率配置示例请参见表 10-5。

EUSART 先发送和接收 LSb。 EUSART 的发送器和接收器在功能上是相互独立的，但它们的数据格式和波特率相同。硬件不支持奇偶校验，但可通过软件实现并作为第九位存储。

10.1.1 EUSART 异步发送器

EUSART 发送器框图如图 10-1 所示。发送器的核心是串行发送移位寄存器 （TSR），该寄存器不可用软件直接访问。 TSR 从发送缓冲器 TXREG 取得数据。

10.1.1.1 使能发送器

EUSART 发送器可通过配置以下三个控制位使能为异步操作：

- TXEN = 1
- SYNC = 0
- SPEN = 1

假定所有其他 EUSART 控制位均处于其默认状态。

将 TXSTA 寄存器的 TXEN 位置 1 使能 EUSART 的发送器电路。清零 TXSTA 寄存器的 SYNC 位将 EUSART 配置为异步操作。将 RCSTA 寄存器的 SPEN 位置 1 使能 EUSART 并自动将 TX/CK I/O 引脚配置为输出。如果 TX/CK 引脚与模拟外设共用，那么必须通过清零相应的 ANSEL 位禁止模拟 I/O 功能。

注 1： SPEN 置 1 时，RX/DT I/O 引脚被自动配置为输入，无论相应 TRIS 位的状态如何以及 EUSART 接收器是否被使能。通过正常的 PORT读取操作可读取RX/DT引脚的数据，但不包括 PORT 锁存器的数据输出值。

2： TXEN 允许位置 1 时，TXIF 发送器中断标志置 1。

10.1.1.2 发送数据

向 TXREG 寄存器写入一个字符时启动发送。如果这是首字符，或前一个字符被完全从 TSR 中送出， TXREG 中的数据就立即被传送到 TSR 寄存器。如果 TSR 中仍保存前一个字符的全部或一部分，则新字符被保存在 TXREG 中，直至前一个字符的停止位被发送。之后，在 TXREG 中等待的字符在停止位发送后一个 TCY 后被传送到 TSR 中。TXREG 中的数据被传送到 TSR 后，启动位，数据位和停止位的发送序列立即开始。

10.1.1.3 发送中断标志

只要 EUSART 发送器被使能，而且 TXREG 中没有等待发送的字符，PIR1 寄存器的 TXIF 中断标志位就被置 1。换句话说，只有在 TSR 中有字符，并且 TXREG 中还有一个排队等待发送的新字符时，TXIF 位才被清零。写入 TXREG 后并不立即清零 TXIF 标志位。执行写操作后的第二个指令周期 TXIF 才有效。写入 TXREG 后立即查询 TXIF 位将返回无效结果。 TXIF 位是只读的，不能用软件置 1 或清零。

将 PIE1 寄存器的 TXIE 中断允许位置 1 可允许 TXIF 中断。然而，只要 TXREG 为空， TXIF 标志位就被置 1，无论 TXIE 允许位的状态如何。

要在发送数据时使用中断，应只在没有数据可发送时才将 TXIE 位置 1。在将发送的最后一个字符写入 TXREG 后应清零 TXIE 中断允许位。

10.1.1.4 TSR 状态

TXSTA 寄存器的 TRMT 位指示 TSR 寄存器的状态。该位是只读位。TSR 寄存器为空时，TRMT 位置 1，而当一个字符从 TXREG 寄存器传送到 TSR 寄存器中时，该位清零。TRMT 位将保持清零，直到所有位移出 TSR 寄存器。该位不与任何中断逻辑相连，因此用户必须查询该位以确定 TSR 的状态。

注：	TSR 寄存器不映射到数据存储器中，因此用户无法使用。

10.1.1.5 发送 9 位字符

EUSART 支持 9 位字符发送。当 TXSTA 寄存器的 TX9 位置 1 时，EUSART 将在发送每个字符时移出 9 位。TXSTA 寄存器的 TX9D 位是第九个数据位，也是最高有效位。发送 9 位数据时，TX9D 数据位必须先于 8 个最低有效位写入 TXREG。写入 TXREG 后，所有九个位将被立即传送到 TSR 移位寄存器中。

有多个接收器时，可使用一种特殊的 9 位地址模式。地址模式的更多信息请参见**第 10.1.2.7 节 “地址检测”**。

10.1.1.6 异步发送的设置

1. 初始化 SPBRGH:SPBRG 这对寄存器以及 BRGH 和 BRG16 位，获得所需的波特率（见**第 10.3 节 “EUSART 波特率发生器（BRG）”**）。
2. 清零 SYNC 位并将 SPEN 位置 1 使能异步串行端口。
3. 若需发送 9 位，将 TX9 控制位置 1。若第九个数据位置 1，则表示发送器置于地址检测时，8 个最低有效位为地址。
4. 将 TXEN 控制位置 1 使能发送。这将导致 TXIF 中断位置 1。
5. 若需中断，将 TXIE 中断允许位置 1。如果 INTCON 寄存器的 GIE 和 PEIE 位也置 1，则立即产生中断。
6. 若选定了 9 位发送，应将第九位装入 TX9D 数据位。
7. 将 8 位数据装入 TXREG 寄存器。这将启动发送。

图 10-3： 异步发送

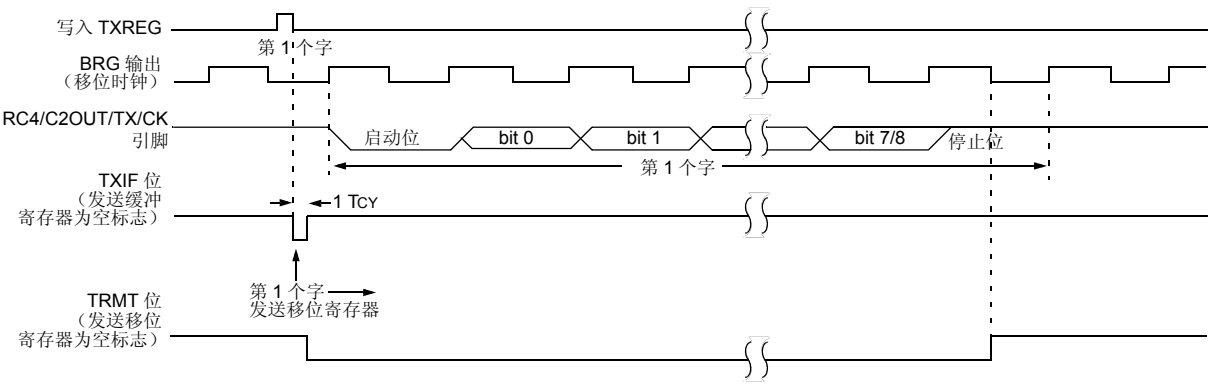
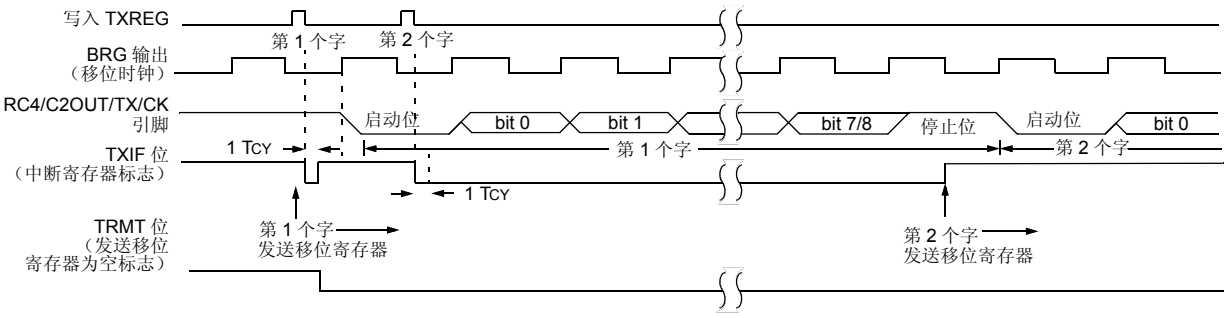


图 10-4： 异步发送（背靠背）



注： 此时序图显示了两次连续的发送。

© 2007 Microchip Technology Inc.

表 10-1：　　与异步发送相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF	0000 000x	0000 000x
PIE1	EEIE	ADIE	RCIE	C2IE	C1IE	OSFIE	TXIE	TMR1IE	0000 0000	0000 0000
PIR1	EEIF	ADIF	RCIF	C2IF	C1IF	OSFIF	TXIF	TMR1IF	0000 0000	0000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISC	—	—	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	--11 1111	--11 1111
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注：　x = 未知，– = 未实现读为 0。异步发送不使用阴影单元。

10.1.2 EUSART 异步接收器

异步模式一般用于 RS-232 系统中。图 10-2 所示为接收器框图。数据在 RX/DT 引脚上接收并驱动数据恢复模块。数据恢复模块实际上是一个高速移位器，工作频率为 16 倍波特率，而串行接收器移位寄存器（Receive Shift Register，RSR）的工作频率为比特率。所有 8 位或 9 位字符移入后被立即传送到双字符的先进先出（First-In-First-Out，FIFO）存储器中。FIFO 缓冲器允许先接收两个完整字符和第三个字符的开始部分后，再启动软件服务 EUSART 接收器。 FIFO 和 RSR 寄存器不能直接用软件访问。通过 RCREG 寄存器访问接收数据。

10.1.2.1 使能接收器

配置以下三个控制位以将 EUSART 接收器使能为异步操作：

- CREN = 1
- SYNC = 0
- SPEN = 1

假定所有其他 EUSART 控制位处于默认状态。

将 RCSTA 寄存器的 CREN 位置 1 可使能 EUSART 的接收器电路。将 TXSTA 寄存器的 SYNC 位清零可将 EUSART 配置为异步操作。将 RCSTA 寄存器的 SPEN 位置 1 可使能 EUSART 并自动将 RX/DT I/O 引脚配置为输入。如果 RX/DT 引脚与模拟外设共用，那么必须通过将相应的 ANSEL 位清零来禁止模拟 I/O 功能。

注：	SPEN 位置 1 时，TX/CK I/O 引脚被自动配置为输出，无论相应 TRIS 位状态如何以及 EUSART 发送器是否使能。 PORT 锁存器与输出驱动器断开，因此不可能将 TX/CK 引脚用作通用输出。

10.1.2.2 接收数据

接收器的数据恢复电路在第一位的下降沿启动字符接收。第一位也称启动（Start）位，始终为零。数据恢复电路计数一个半位时间至启动位的中点并验证该位是否仍为零。如果该位非零则数据恢复电路中止字符接收，不产生错误，并恢复寻找启动位的下降沿。如果启动位被验证为零，则数据恢复电路计数一整个位时间至下一位的中点。该位被一个择多检测电路（majority detect circuit）采样，其结果（0 或 1）移入 RSR。重复此过程直到所有数据位均被采样并移入 RSR。最后一个位时间被测量且其电平被采样。此为停止（Stop）位，始终为 1。如果数据恢复电路在停止位处采样到 0，则产生此字符的帧错误，否则此字符的帧错误被清零。更多有关帧错误的信息请参见**第 10.1.2.4 节 “接收帧错误”**。

数据位和停止位被接收后，RSR 中的字符就被立即传送到 EUSART 接收 FIFO，且 PIR1 寄存器的 RCIF 中断标志位置 1。读取 RCREG 寄存器时，FIFO 中顶部的字符被送出 FIFO。

注：	如果接收 FIFO 溢出，在溢出条件被清除前不会接收更多字符。更多有关溢出错误的信息请参见**第 10.1.2.5 节 “接收溢出错误”**。

10.1.2.3 接收中断

只要 EUSART 接收器被使能且接收 FIFO 中存在未被读取的字符， PIR1 寄存器的 RCIF 中断标志位就置 1。RCIF 中断标志位是只读位，不能用软件置 1 或清零。

将以下位置 1 时可允许 RCIF 中断：

- PIE1 寄存器的 RCIE 中断允许位
- INTCON 寄存器的 PEIE 外设中断允许位
- INTCON 寄存器的 GIE 全局中断允许位

当 FIFO 中存在未被读取的字符时，无论中断允许位的状态如果， RCIF 中断标志位均会被置 1。

© 2007 Microchip Technology Inc.

10.1.2.4 接收帧错误

接收 FIFO 缓冲器中的每个字符都有相应的帧错误状态位。帧错误表明在预期时间内未见到停止位。通过 RCSTA 寄存器的 FERR 位可访问帧错误状态。 FERR 位表示接收 FIFO 中顶部的未读字符的状态。因此，在读取 RCREG 前必须读出 FERR 位。

FERR 是只读位，只用于接收 FIFO 中顶部的未读字符。帧错误 （FERR = 1）不排除接收额外字符。此时不必将 FERR 位清零。从 FIFO 缓冲器读出下一个字符将使 FIFO 进入下一个字符和下一个相应的帧错误。

将 RCSTA 寄存器的 SPEN 位清零可复位 EUSART，这样就可将 FERR 位强制清零。将 RCSTA 寄存器的 CREN 位清零不影响 FERR 位。自身产生的帧错误不会产生中断。

注：	如果接收 FIFO 中的所有接收字符均有帧错误，反复读取 RCREG 不会将 FERR 位清零。

10.1.2.5 接收溢出错误

接收 FIFO 缓冲器可容纳两个字符。在访问 FIFO 前接收到完整的第三个字符时会产生溢出错误。此时，RCSTA 寄存器的 OERR 位置 1。FIFO 缓冲器中已有的字符可被读出，但溢出错误被清除前不能再接收其他字符。将 RCSTA 寄存器的 CREN 位清零或通过将 RCSTA 寄存器中的 SPEN 位清零复位 EUSART 可清除该错误。

10.1.2.6 接收 9 位字符

EUSART 支持接收 9 位字符。RCSTA 寄存器的 RX9 位置 1 时，EUSART 将在接收到每个字符时将 9 个位移入 RSR。 RCSTA 寄存器的 RX9D 位是第九位，也是接收 FIFO 顶部未读字符的最高有效位。从接收 FIFO 缓冲器读取 9 位数据时，在读取 RCREG 的 8 个最低有效位前必须先读取 RX9D 数据位。

10.1.2.7 地址检测

当多个接收器共用同一条发送线时，如在 RS-485 系统中，有一个特殊的地址检测模式可供使用。将 RCSTA 寄存器的 ADDEN 位置 1 可使能地址检测。

地址检测要求接收 9 位字符。使能地址检测时，只有第九个数据位置 1 的字符会被传送到接收 FIFO 缓冲器，并将 RCIF 中断位置 1。所有其他字符均被忽略。

接收到地址字符后，用户软件可决定地址是否与自身匹配。地址匹配时，发生下一个停止位以前，用户软件必须通过清零 ADDEN 位禁止地址检测。当用户软件根据所使用的报文协议检测到报文的末尾时，软件将 ADDEN 位置 1，将接收器重新置于地址检测模式。

10.1.2.8 异步接收的设置

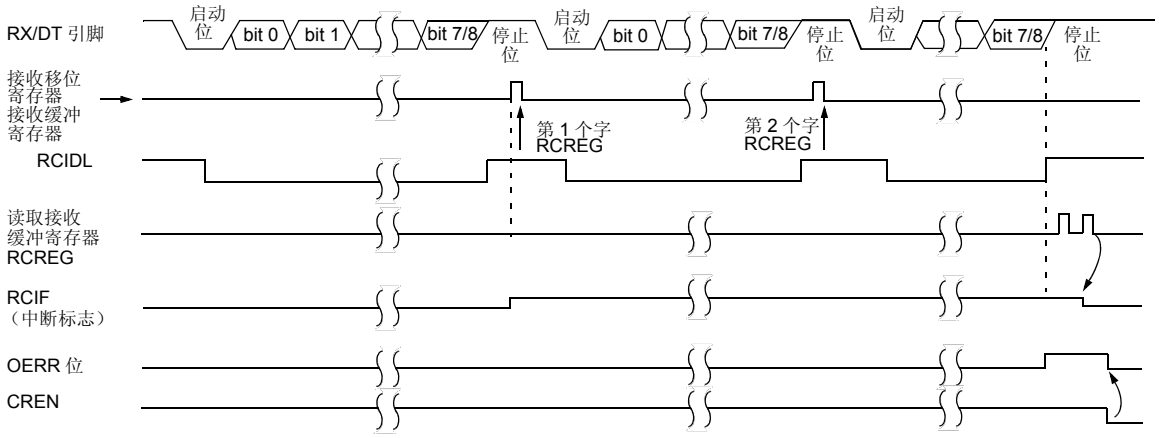
1. 初始化 SPBRGH 和 SPBRG 这对寄存器以及 BRGH 和 BRG16 位获得所需的波特率（见**第 10.3 节“EUSART 波特率发生器（BRG）”**）。
2. 将 SPEN 位置 1 使能串行端口。SYNC 位必须清零才能进行异步操作。
3. 若需中断，将 RCIE 中断允许位置 1，并将 INTCON 寄存器的 GIE 和 PEIE 位置 1。
4. 若需接收 9 位，将 RX9 位置 1。
5. 将 CREN 位置 1 使能接收。
6. 当字符从接收移位寄存器被移入接收缓冲器时，RCIF 中断标志位将被置 1。如果 RCIE 中断允许位也置 1，则产生中断。
7. 读取 RCSTA 寄存器取得错误标志，以及第九个数据位（9 位数据接收使能时）。
8. 读取 RCREG 寄存器从接收缓冲器取得接收的 8 个最低有效位。
9. 发生溢出时，通过清零 CREN 接收器允许位清零 OERR 标志位。

10.1.2.9 9 位地址检测模式的设置

该模式一般用于 RS-485 系统。要设置使能地址检测的异步接收，应：

1. 初始化 SPBRGH 和 SPBRG 这对寄存器以及 BRGH 和 BRG16 位获得所需的波特率（见**第 10.3 节“EUSART 波特率发生器（BRG）”**）。
2. 将 SPEN 位置 1 使能串行端口。SYNC 位必须清零才能进行异步操作。
3. 若需中断，将 RCIE 中断允许位置 1，并将 INTCON 寄存器的 GIE 和 PEIE 位置 1。
4. 将 RX9 位置 1 使能 9 位接收。
5. 将 ADDEN 位置 1 使能地址检测。
6. 将 CREN 位置 1 使能接收。
7. 当字符从接收移位寄存器被移入接收缓冲器时，RCIF 中断标志位将被置 1。如果 RCIE 中断允许位也置 1，则产生中断。
8. 读取 RCSTA 寄存器取得错误标志。第九个数据位将始终置 1。
9. 读取 RCREG 寄存器从接收缓冲器取得接收的 8 个最低有效位。软件将决定此地址是否器件地址。
10. 发生溢出时，通过清零 CREN 接收器允许位清零 OERR 标志位。
11. 若器件被寻址，将 ADDEN 位清零以允许所有接收到的数据被送入接收缓冲器并产生中断。

图 10-5： 异步接收



注： 此时序所示为三个字出现在 RX 输入端。第三个字后读取 RCREG（接收缓冲器），致使 OERR（溢出）位置 1。

© 2007 Microchip Technology Inc.

表 10-2：　　与异步接收相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF	0000 000x	0000 000x
PIE1	EEIE	ADIE	RCIE	C2IE	C1IE	OSFIE	TXIE	TMR1IE	0000 0000	0000 0000
PIR1	EEIF	ADIF	RCIF	C2IF	C1IF	OSFIF	TXIF	TMR1IF	0000 0000	0000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISC	—	—	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	--11 1111	--11 1111
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注：　x = 未知，– = 未实现，读为 0。异步接收不使用阴影单元。

10.2 异步操作的时钟准确性

内部振荡器模式输入（INTOSC）在出厂时做了校准。然而，VDD 或温度变化时 INTOSC 频率有可能漂移，这将直接影响异步波特率。有两种方法可用来调整波特率时钟，但它们都需要某种参考时钟源。

第一种（建议）方法使用OSCTUNE寄存器调整INTOSC输出。调整 OSCTUNE 寄存器的值可对系统时钟源的分辨率进行微调。更多信息请参见**第 3.5 节 “内部时钟模式”**。

另一种方法调整波特率发生器（BRG）的值。自动波特率检测可自动完成这种调整（见**第 10.3.1 节 “自动波特率检测”**）。调整波特率发生器以补偿外设时钟频率的逐渐变化时，可能分辨率精度不够。

寄存器 10-1： TXSTA：发送状态和控制寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN(1)	SYNC	SENDB	BRGH	TRMT	TX9D
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **CSRC**：时钟源选择位
异步模式：
无关位
同步模式：
1 = 主模式（由 BRG 内部产生时钟）
0 = 从模式（时钟源来自外部）

bit 6 **TX9**：9 位发送使能位
1 = 选择 9 位发送
0 = 选择 8 位发送

bit 5 **TXEN**：发送使能位 (1)
1 = 使能发送
0 = 禁止发送

bit 4 **SYNC**：EUSART 模式选择位
1 = 同步模式
0 = 异步模式

bit 3 **SENDB**：发送间断字符位
异步模式：
1 = 下次发送时发出同步间断（完成后由硬件清零）
0 = 同步间断发送完成
同步模式：
无关位

bit 2 **BRGH**：高波特率选择位
异步模式：
1 = 高速
0 = 低速
同步模式：
此模式下未使用

bit 1 **TRMT**：发送移位寄存器状态位
1 = TSR 空
0 = TSR 满

bit 0 **TX9D**：发送数据的第九位
可以是地址 / 数据位或奇偶校验位。

注 1：同步模式下 SREN/CREN 可覆盖 TXEN。

© 2007 Microchip Technology Inc.

寄存器 10-2： RCSTA：接收状态和控制寄存器 (1)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **SPEN**：串行端口使能位
1 = 串行端口使能 （将 RX/DT 和 TX/CK 引脚配置为串行端口引脚）
0 = 禁止串行端口 （保持为复位状态）

bit 6 **RX9**：9 位接收使能位
1 = 选择 9 位接收
0 = 选择 8 位接收

bit 5 **SREN**：单字节接收使能位
异步模式：
无关位
同步模式——主控：
1 = 使能单字节接收
0 = 禁止单字节接收
接收完成后此位被清零。
同步模式——从动
无关位

bit 4 **CREN**：连续接收使能位
异步模式：
1 = 使能接收器
0 = 禁止接收器
同步模式：
1 = 使能连续接收，直到使能位 CREN 清零 （CREN 覆盖 SREN）
0 = 禁止连续接收

bit 3 **ADDEN**：地址检测使能位
9 位异步模式 （RX9 = 1）：
1 = 使能地址检测、允许中断，当 RSR<8> 置 1 时装入接收缓冲器
0 = 禁止地址检测、接收所有字节并且第 9 位可作为奇偶校验位
8 位异步模式 （RX9 = 0）：
无关位

bit 2 **FERR**：帧错误位
1 = 帧错误 （可通过读 RCREG 寄存器刷新该位，并接收下一个有效字节）
0 = 无帧错误

bit 1 **OERR**：溢出错误位
1 = 溢出错误 （可通过清零 CREN 位来清零该位）
0 = 无溢出错误

bit 0 **RX9D**：接收数据的第 9 位
这可以是地址 / 数据位或奇偶校验位，必须由用户固件计算。

寄存器 10-3：　　BAUDCTL：波特率控制寄存器

R-0	R-1	U-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7　**ABDOVF**：自动波特率检测溢出位
异步模式：
1 = 自动波特率定时器溢出
0 = 自动波特率定时器没有溢出
同步模式：
无关位

bit 6　**RCIDL**：接收 IDLE 标志位
异步模式：
1 = 接收器空闲
0 = 已接收到起始位且接收器正在接收
同步模式：
无关位

bit 5　**未实现**：读为 0

bit 4　**SCKP**：同步时钟极性选择位
异步模式：
1 = 传送反向数据到 RB7/TX/CK 引脚
0 = 传送非反向数据到 RB7/TX/CK 引脚
同步模式：
1 = 数据在时钟上升沿同步
0 = 数据在时钟下降沿同步

bit 3　**BRG16**：16 位波特率发生器位
1 = 使用 16 位波特率发生器
0 = 使用 8 位波特率发生器

bit 2　**未实现**：读为 0

bit 1　**WUE**：唤醒使能位
异步模式：
1 = 接收器等待下降沿。不会接收字符。 RCIF 将被置 1。 RCIF 置 1 后 WUE 将被自动清零。
0 = 接收器正常工作
同步模式：
无关位

bit 0　**ABDEN**：自动波特率检测使能位
异步模式：
1 = 使能自动波特率模式 （完成自动波特率后清零）
0 = 禁止自动波特率模式
同步模式：
无关位

© 2007 Microchip Technology Inc.

10.3 EUSART 波特率发生器 （BRG）

波特率发生器 （BRG）是 8 位或 16 位定时器，专用于支持异步或同步 EUSART 操作。默认时， BRG 工作在 8 位模式下。将 BAUDCTL 寄存器的 BRG16 位置 1 可选择 16 位模式。

一对 SPBRGH:SPBRG 寄存器决定自动运行波特率时钟的周期。在异步模式下，波特率周期的乘数由 TXSTA 寄存器的 BRGH 位和 BAUDCTL 寄存器的 BRG16 位决定。在同步模式下， BRGH 位被忽略。

表 10-3 提供了确定波特率的公式。例 10-1 是确定波特率和波特率误差的计算示例。

为便于您使用，各种异步模式的典型波特率和误差值已经计算出来并如表 10-3 所示。使用高波特率 （BRGH = 1），或 16 位 BRG（BRG16 = 1）有助于降低波特率误差。16 位 BRG 模式用于在高速振荡器频率下取得较缓慢的波特率。

将新值写入一对 SPBRGH:SPBRG 寄存器将导致 BRG 定时器复位 （或清零）。这确保了 BRG 不必等待定时器溢出即可输出新的波特率。

如果接收操作有效时系统时钟发生变化，则会产生接收错误或导致数据丢失。为避免这种情况，应检查 RCIDL 位的状态，以确保在改变系统时钟时接收操作处于空闲状态。

例 10-1： 计算波特率误差

若器件的 Fosc 为 16MHz，目标波特率为 9600，异步模式， 8 位 BRG：

$$\text{目标波特率} = \frac{Fosc}{64([SPBRGH:SPBRG] + 1)}$$

求解 SPBRGH:SPBRG：

$$X = \frac{\frac{Fosc}{\text{目标波特率}}}{64} - 1$$

$$= \frac{\frac{16000000}{9600}}{64} - 1$$

$$= [25.042] = 25$$

$$\text{计算波特率} = \frac{16000000}{64(25 + 1)}$$

$$= 9615$$

$$\text{误差} = \frac{\text{计算波特率 - 目标波特率}}{\text{目标波特率}}$$

$$= \frac{(9615 - 9600)}{9600} = 0.16\%$$

表 10-3： 波特率公式

配置位			BRG/EUSART 模式	波特率公式
SYNC	BRG16	BRGH		
0	0	0	8 位 / 异步	Fosc/[64(n+1)]
0	0	1	8 位 / 异步	Fosc/[16(n+1)]
0	1	0	16 位 / 异步	
0	1	1	16 位 / 异步	Fosc/[4(n+1)]
1	0	x	8 位 / 同步	
1	1	x	16 位 / 同步	

图注： x = 无关位， n = SPBRGH:SPBRG 这对寄存器的值

表 10-4： 与波特率发生器相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注： x = 未知， – = 未实现读为 0。波特率发生器不使用阴影单元。

表 10-5： 异步模式的波特率

波特率	SYNC = 0， BRGH = 0， BRG16 = 0											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）
300	—	—	—	—	—	—	—	—	—	—	—	—
1200	1221	1.73	255	1200	0.00	239	1200	0.00	143	1202	0.16	103
2400	2404	0.16	129	2400	0.00	119	2400	0.00	71	2404	0.16	51
9600	9470	-1.36	32	9600	0.00	29	9600	0.00	17	9615	0.16	12
10417	10417	0.00	29	10286	-1.26	27	10165	-2.42	16	10417	0.00	11
19.2k	19.53k	1.73	15	19.20k	0.00	14	19.20k	0.00	8	—	—	—
57.6k	—	—	—	57.60k	0.00	7	57.60k	0.00	2	—	—	—
115.2k	—	—	—	—	—	—	—	—	—	—	—	—

波特率	SYNC = 0， BRGH = 0， BRG16 = 0											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）
300	300	0.16	207	300	0.00	191	300	0.16	103	300	0.16	51
1200	1202	0.16	51	1200	0.00	47	1202	0.16	25	1202	0.16	12
2400	2404	0.16	25	2400	0.00	23	2404	0.16	12	—	—	—
9600	—	—	—	9600	0.00	5	—	—	—	—	—	—
10417	10417	0.00	5	—	—	—	10417	0.00	2	—	—	—
19.2k	—	—	—	19.20k	0.00	2	—	—	—	—	—	—
57.6k	—	—	—	57.60k	0.00	0	—	—	—	—	—	—
115.2k	—	—	—	—	—	—	—	—	—	—	—	—

波特率	SYNC = 0， BRGH = 1， BRG16 = 0											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）
300	—	—	—	—	—	—	—	—	—	—	—	—
1200	—	—	—	—	—	—	—	—	—	—	—	—
2400	—	—	—	—	—	—	—	—	—	2404	0.16	207
9600	9615	0.16	129	9600	0.00	119	9600	0.00	71	9615	0.16	51
10417	10417	0.00	119	10378	-0.37	110	10473	0.53	65	10417	0.00	47
19.2k	19.23k	0.16	64	19.20k	0.00	59	19.20k	0.00	35	19231	0.16	25
57.6k	56.82k	-1.36	21	57.60k	0.00	19	57.60k	0.00	11	55556	-3.55	8
115.2k	113.64k	-1.36	10	115.2k	0.00	9	115.2k	0.00	5	—	—	—

© 2007 Microchip Technology Inc.

表 **10-5：** 异步模式的波特率（续）

波特率	SYNC = 0， BRGH = 1， BRG16 = 0											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）
300	—	—	—	—	—	—	—	—	—	300	0.16	207
1200	1202	0.16	207	1200	0.00	191	1202	0.16	103	1202	0.16	51
2400	2404	0.16	103	2400	0.00	95	2404	0.16	51	2404	0.16	25
9600	9615	0.16	25	9600	0.00	23	9615	0.16	12	—	—	—
10417	10417	0.00	23	10473	0.53	21	10417	0.00	11	10417	0.00	5
19.2k	19.23k	0.16	12	19.2k	0.00	11	—	—	—	—	—	—
57.6k	—	—	—	57.60k	0.00	3	—	—	—	—	—	—
115.2k	—	—	—	115.2k	0.00	1	—	—	—	—	—	—

波特率	SYNC = 0， BRGH = 0， BRG16 = 1											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）
300	300.0	-0.01	4166	300.0	0.00	3839	300.0	0.00	2303	299.9	-0.02	1666
1200	1200	-0.03	1041	1200	0.00	959	1200	0.00	575	1199	-0.08	416
2400	2399	-0.03	520	2400	0.00	479	2400	0.00	287	2404	0.16	207
9600	9615	0.16	129	9600	0.00	119	9600	0.00	71	9615	0.16	51
10417	10417	0.00	119	10378	-0.37	110	10473	0.53	65	10417	0.00	47
19.2k	19.23k	0.16	64	19.20k	0.00	59	19.20k	0.00	35	19.23k	0.16	25
57.6k	56.818	-1.36	21	57.60k	0.00	19	57.60k	0.00	11	55556	-3.55	8
115.2k	113.636	-1.36	10	115.2k	0.00	9	115.2k	0.00	5	—	—	—

波特率	SYNC = 0， BRGH = 0， BRG16 = 1											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）
300	300.1	0.04	832	300.0	0.00	767	299.8	-0.108	416	300.5	0.16	207
1200	1202	0.16	207	1200	0.00	191	1202	0.16	103	1202	0.16	51
2400	2404	0.16	103	2400	0.00	95	2404	0.16	51	2404	0.16	25
9600	9615	0.16	25	9600	0.00	23	9615	0.16	12	—	—	—
10417	10417	0.00	23	10473	0.53	21	10417	0.00	11	10417	0.00	5
19.2k	19.23k	0.16	12	19.20k	0.00	11	—	—	—	—	—	—
57.6k	—	—	—	57.60k	0.00	3	—	—	—	—	—	—
115.2k	—	—	—	115.2k	0.00	1	—	—	—	—	—	—

表 10-5： 异步模式的波特率 （续）

波特率	SYNC = 0， BRGH = 1， BRG16 = 1 或 SYNC = 1， BRG16 = 1											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）
300	300.0	0.00	16665	300.0	0.00	15359	300.0	0.00	9215	300.0	0.00	6666
1200	1200	-0.01	4166	1200	0.00	3839	1200	0.00	2303	1200	-0.02	1666
2400	2400	0.02	2082	2400	0.00	1919	2400	0.00	1151	2401	0.04	832
9600	9597	-0.03	520	9600	0.00	479	9600	0.00	287	9615	0.16	207
10417	10417	0.00	479	10425	0.08	441	10433	0.16	264	10417	0	191
19.2k	19.23k	0.16	259	19.20k	0.00	239	19.20k	0.00	143	19.23k	0.16	103
57.6k	57.47k	-0.22	86	57.60k	0.00	79	57.60k	0.00	47	57.14k	-0.79	34
115.2k	116.3k	0.94	42	115.2k	0.00	39	115.2k	0.00	23	117.6k	2.12	16

波特率	SYNC = 0， BRGH = 1， BRG16 = 1 或 SYNC = 1， BRG16 = 1											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）	实际波特率	% 误差	SPBRG 值（十进制）
300	300.0	0.01	3332	300.0	0.00	3071	299.9	-0.02	1666	300.1	0.04	832
1200	1200	0.04	832	1200	0.00	767	1199	-0.08	416	1202	0.16	207
2400	2398	0.08	416	2400	0.00	383	2404	0.16	207	2404	0.16	103
9600	9615	0.16	103	9600	0.00	95	9615	0.16	51	9615	0.16	25
10417	10417	0.00	95	10473	0.53	87	10417	0.00	47	10417	0.00	23
19.2k	19.23k	0.16	51	19.20k	0.00	47	19.23k	0.16	25	19.23k	0.16	12
57.6k	58.82k	2.12	16	57.60k	0.00	15	55.56k	-3.55	8	—	—	—
115.2k	111.1k	-3.55	8	115.2k	0.00	7	—	—	—	—	—	—

© 2007 Microchip Technology Inc.

10.3.1 自动波特率检测

EUSART 模块支持波特率自动检测和校准。

在自动波特率检测（Auto-Baud Rate Detect，ABD）模式下， BRG 的时钟信号反向。 BRG 并不为进入的 RX 信号提供时钟信号，而是相反由 RX 信号为 BRG 定时。波特率发生器用于为接收的 55h（ASCII “U”）定时，这是 LIN 总线的同步字符。此字符的特殊之处在于它具有包括停止位边沿在内的五个上升沿。

将 BAUDCTL 寄存器的 ABDEN 位置 1 将启动自动波特率校验序列（图 10-6）。发生 ABD 序列的同时，EUSART 状态机保持在空闲状态。在接收线的第一个上升沿（启动位之后），SPBRG 使用 BRG 计数器时钟递增计数，如表 10-6 所示。在第八位周期的末尾将在 RX 引脚上出现上升沿。此时，累计数据即正确的 BRG 周期总数被留在 SPBRGH:SPBRG 这对寄存器内，ABDEN 位被自动清零而 RCIF 中断标志被置 1。RCREG 中的值需被读取以清零 RCIF 中断。 RCREG 的内容应被丢弃。校准不使用 SPBRGH 寄存器的模式时，用户可通过查询 SPBRGH 寄存器中的 00h 验证 SPBRG 寄存器是否未溢出。

BRG 自动波特率时钟由 BRG16 和 BRGH 位决定，如表 10-6 所示。在 ABD 期间， SPBRGH 和 SPBRG 寄存器共同用作 16 位计数器，这与 BRG16 位的设置无关。校准波特率周期时，SPBRGH 和 SPBRG 寄存器的定时频率为 BRG 基时钟频率的 1/8。得到的字节测量结果为全速下的平均位时间。

注 1： 如果 WUE 位和 ABDEN 位都置 1，自动波特率检测将发生在间断字符之后的字节（见**第 10.3.2 节 “遇间断自动唤醒”**）。

2： 输入字符的波特率是否处于所选 BRG 时钟源范围以内由用户决定。某些振荡器和 EUSART 波特率组合不可能实现。

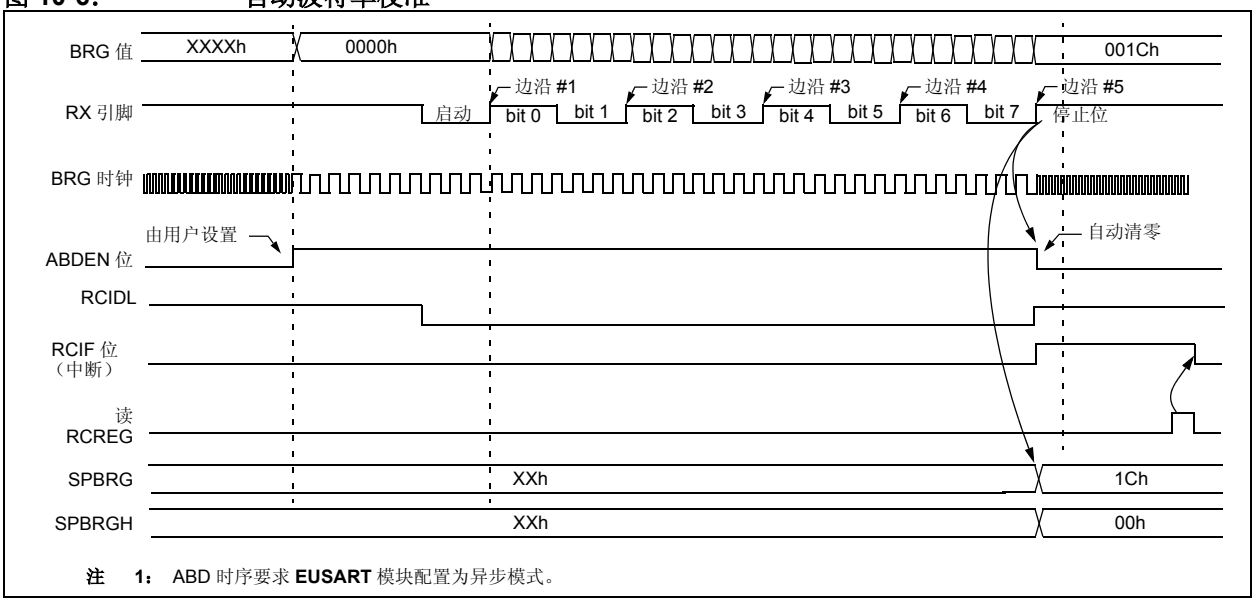
3： 在自动波特率过程中，自动波特率计数器从 1 开始计数。自动波特率序列完成后，为了得到最准确的结果，应从一对 SPBRGH:SPBRG 寄存器的值中减去 1。

表 10-6： BRG 计数器时钟速率

BRG16	BRGH	BRG 基时钟	BRG ABD 时钟
0	0	FOSC/64	FOSC/512
0	1	FOSC/16	FOSC/128
1	0	FOSC/16	FOSC/128
1	1	FOSC/4	FOSC/32

注： 在 ABD 时序期间，SPBRG 和 SPBRGH 寄存器同时用作 16 位计数器，与 BRG16 的设置无关。

图 10-6： 自动波特率校准



注 1： ABD 时序要求 **EUSART** 模块配置为异步模式。

10.3.2 遇间断自动唤醒

休眠模式下， EUSART 的所有时钟均暂停。正因为如此，波特率发生器处于不工作状态，不能正常进行字符接收。自动唤醒功能使控制器可被 RX/DT 线上的活动唤醒。此功能只在异步模式下可用。

自动唤醒功能可通过将 BAUDCTL 寄存器的 WUE 位置 1 来使能。一旦置 1， RX/DT 上的正常接收序列就被禁止， EUSART 保持在空闲状态，监控与 CPU 模式无关的唤醒事件。唤醒事件包含 RX/DT 线上由高至低的跳变（这正好也是同步间断的起始或 LIN 协议的唤醒信号字符）。

EUSART 模块生成的 RCIF 中断与唤醒事件巧合。在正常 CPU 工作模式下，中断产生与 Q 时钟同步 （图 10-7），而器件处于休眠模式时则异步发生 （图 10-8） 。读取 RCREG 寄存器可清除中断条件。

在间断末尾 RX 线由低至高的跳变将自动清零 WUE 位。这向用户表明间断事件结束。此时，EUSART 模块处于空闲模式，等待接收下一个字符。

10.3.2.1 特殊考虑因素

间断字符

在发生唤醒事件期间为了避免字符错误或字符碎片，唤醒字符必须为全零。

唤醒被使能时，其工作与数据流的低电平时间无关。如果 WUE 位置 1 并接收到了有效和非零字符，则从启动位至第一个上升沿的低电平时间将被解读为唤醒事件。字符的其余位将作为碎片字符接收，后续字符有可能产生碎片或出现溢出错误。

因此，发送的首字符必须为全零。这必须持续 10 个或更长的位时间，建议 LIN 总线持续 13 个位时间，而标准 RS-232 器件可为任意个位时间。

振荡器起振时间

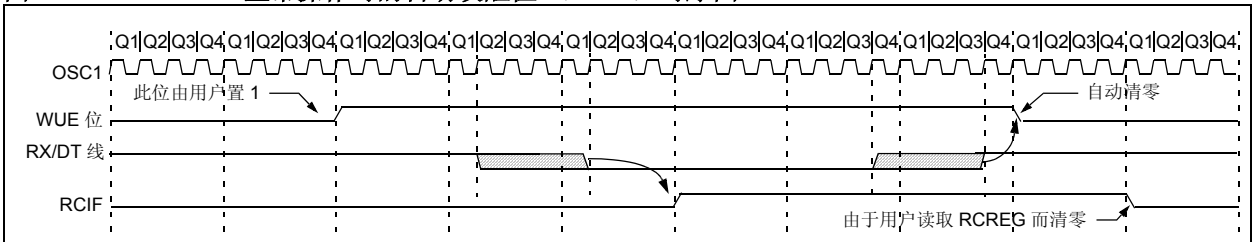
必须考虑振荡器起振时间，特别在使用具有较长起动间隔的振荡器（即 LP、XT 或 HS/PLL 模式）的应用中。同步间断（或唤醒信号）字符必须足够长，并随后有一个足够长的间隔时间，以使所选振荡器有足够的时间起振并向 EUSART 提供适当的初始化。

WUE 位

唤醒事件将导致接收中断，使 RCIF 位置 1。WUE 位在 RX/DT 的上升沿由硬件清零。之后软件通过读取 RCREG 寄存器并丢弃其内容将中断条件清除。

要确保不丢失实际数据，应在将 WUE 位置 1 前检查 RCIDL 位，验证没有接收操作在进行。如果未发生接收操作，可在进入休眠模式前将 WUE 位置 1。

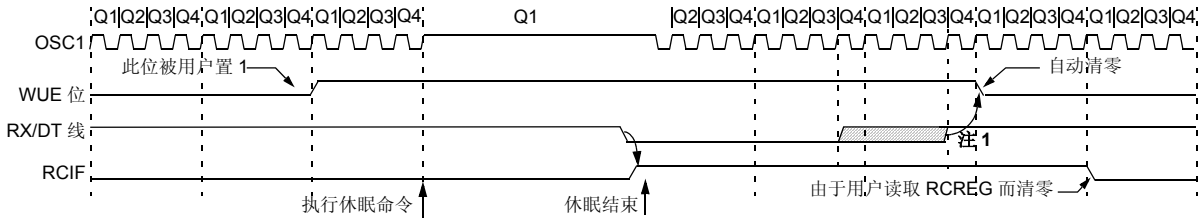
图 10-7： 正常操作时的自动唤醒位 （WUE）时序图



注 1： WUE 位置 1 时 **EUSART** 保持在空闲状态。

© 2007 Microchip Technology Inc.

图 10-8：　　休眠时的自动唤醒位 （WUE）时序图



注　1： 如果唤醒需要一段较长的振荡器预热时间，在 stposc 仍然有效时可能发生 WUE 位自动清零。此序列不应依赖于 Q 时钟的出现。

2： WUE 位置 1 时 **EUSART** 保持在空闲状态。

10.3.3　间断字符序列

EUSART 模块可发出 LIN 总线标准所要求的特殊间断字符序列。间断字符包含一个启动位，随后的 12 个零位以及一个停止位。

要发出间断字符，应将 TXSTA 寄存器的 SENDB 和 TXEN 位置 1。随后对 TXREG 执行写操作可启动间断字符发送。写入TXREG的数据值会被忽略并发送全零。

相应停止位发出后硬件自动将 SENDB 位复位。这使用户可将间断字符后的下一个字节（在 LIN 规范中通常为同步字符）预先装载入发送 FIFO。

TXSTA 寄存器的 TRMT 位表明发送操作何时处于激活或空闲状态，这与正常发送时相同。间断字符序列时序请参见表 10-9。

10.3.3.1　间断和同步发送序列

以下序列将启动报文帧头（header），它由间断和紧随其后的自动波特率同步字符组成。这是 LIN 总线主控的典型序列。

1. 将 EUSART 配置为所需的模式。
2. 将 TXEN 和 SENDB 位置 1 使能间断序列。
3. 向 TXREG 装载一个无效（dummy）字符启动发送 （此值被忽略）。
4. 将 55h 写入 TXREG 以将同步字符装载进发送 FIFO 缓冲器。
5. 发出间断后， SENDB 位被硬件复位，同步字符随后被发送。

如 TXIF 所指明的，当 TXREG 被清空时，可将下一个数据字符写入 TXREG。

10.3.4　接收间断字符

增强型 EUSART 模块接收间断字符有两种方法。

第一种检测间断字符的方法采用 RCSTA 寄存器的 FERR 位和如 RCREG 所指示的接收数据。假定波特率发生器已初始化为所需的波特率。

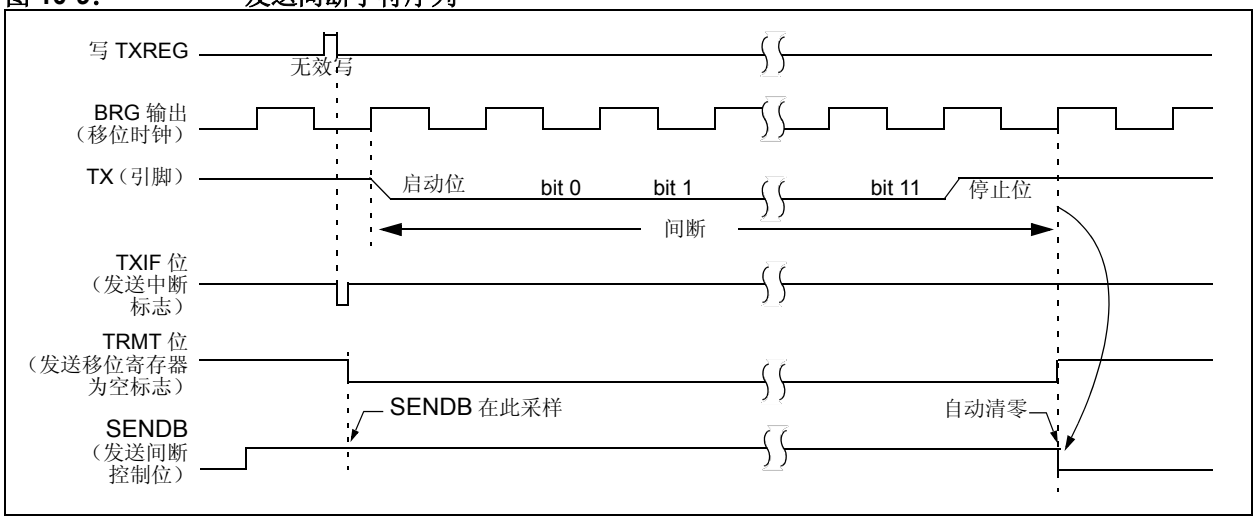
以下成立时，表明接收到间断字符：

- RCIF 位被置 1
- FERR 位被置 1
- RCREG = 00h

第二种方法采用**第 10.3.2 节 “遇间断自动唤醒”**中所述的自动唤醒功能。使能此功能后， EUSART 将采样 RX/DT 上的下两次跳变，产生 RCIF 中断，并接收下一个数据字节并再产生一次中断。

清注意，间断字符后，用户通常想使能自动波特率检测功能。采用这两种方法时，用户均可在将 EUSART 置于休眠模式前将 BAUDCTL 寄存器的 ABDEN 位置 1。

图 10-9：　　发送间断字符序列



© 2007 Microchip Technology Inc.

10.4 EUSART 同步模式

系统使用的同步串行通信通常带有一个主器件和一个或多个从器件。主器件包含波特率发生所需的电路，可将时钟提供给系统中的所有器件。从器件使用主时钟，可不再需要内部时钟发生电路。

同步模式下有两条信号线：双向数据线和时钟线。从器件使用由主器件提供的外部时钟将串行数据移入或移出相应的接收和发送移位寄存器。由于数据线是双向的，同步操作只能是半双工的。半双工指主从器件能够接收和发送数据，但不能同时进行。 EUSART 可作为主器件，也可作为从器件。

同步发送不使用启动位和停止位。

10.4.1 同步主模式

使用以下位将 EUSART 配置为同步主控操作：

- SYNC = 1
- CSRC = 1
- SREN = 0 （发送）； SREN = 1 （接收）
- CREN = 0 （发送）； CREN = 1 （接收）
- SPEN = 1

将 TXSTA 寄存器的 SYNC 位置 1 可将器件配置为同步操作。将 TXSTA 寄存器的 CSRC 位置 1 可将器件配置为主器件。将 RCSTA 寄存器的 SREN 和 CREN 位清零可确保器件处于发送模式，否则器件将被配置为接收。将 RCSTA 寄存器的 SPEN 位置 1 可使能 EUSART。如果 RX/DT 或 TX/CK 引脚与模拟外设共用，必须通过将相应的 ANSEL 位清零禁止模拟 I/O 功能。

10.4.1.1 主时钟

同步数据传送使用独立的时钟线，它与数据同步。配置为主器件的器件将时钟发送到 TX/CK 线上。 EUSART 配置为同步发送操作时，TX/CK 位被自动配置为输出。串行数据位在时钟前沿改变，以确保其在时钟的后续边沿有效。每个数据位都产生一个时钟周期。数据位有多少，就产生多少时钟周期。

10.4.1.2 时钟极性

提供了时钟极性选项以与 Microwire 兼容。时钟极性通过 BAUDCTL 寄存器的 SCKP 位选择。将 SCKP 位置 1 将时钟空闲状态设置为高电平。 SCKP 位置 1 时，数据在每个时钟的下降沿改变。将 SCKP 位清零将时钟空闲状态设置为低电平。 SCKP 位清零时，数据在每个时钟的上升沿改变。

10.4.1.3 同步主发送

数据从器件被传送到 RX/DT 引脚上。 EUSART 配置为同步主发送操作时， RX/DT 和 TX/CK 引脚的输出驱动器被自动使能。

向 TXREG 寄存器写入字符时将启动发送。如果 TSR 仍包含部分或所有的前一字符，则新字符被保留在 TXREG 中直到前一字符的最后一位被发送。如果这是首字符，或前一字符被完全从 TSR 清空，则 TXREG 中的数据将被立即传送到 TSR 中。字符发送在数据从 TXREG 送入 TSR 后立即开始。

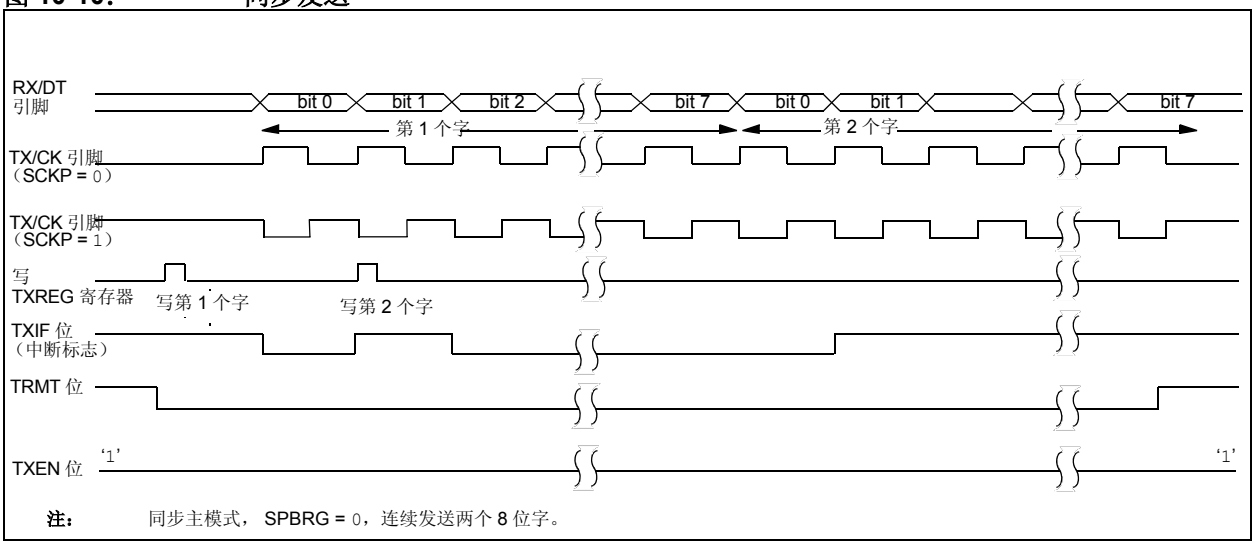
每个数据位在主时钟的时钟前沿改变，并在下一个时钟沿到来前保持有效。

注：	TSR 寄存器不映射到数据存储器，因此用户不能使用它。

10.4.1.4 同步主发送的设置

1. 初始化SPBRGH:SPBRG这对寄存器以及BRGH和 BRG16 位以获得所需的波特率（见**第 10.3 节“EUSART 波特率发生器 （BRG）”**）。
2. 将 SYNC，SPEN 和 CSRC 位置 1 使能同步同串行端口。
3. 将 SREN 和 CREN 清零禁止接收模式。
4. 将 TXEN 位置 1 使能发送模式。
5. 若需发送 9 位，将 TX9 位置 1。
6. 若需中断，将 TXIE、GIE 和 PEIE 中断允许位置 1。
7. 若选定了 9 位发送，应将第九位装进 TX9D 位。
8. 向 TXREG 寄存器装载数据启动发。

图 10-10：　　同步发送



注：　同步主模式， SPBRG = 0，连续发送两个 8 位字。

图 10-11：　　同步发送 （通过 TXEN）

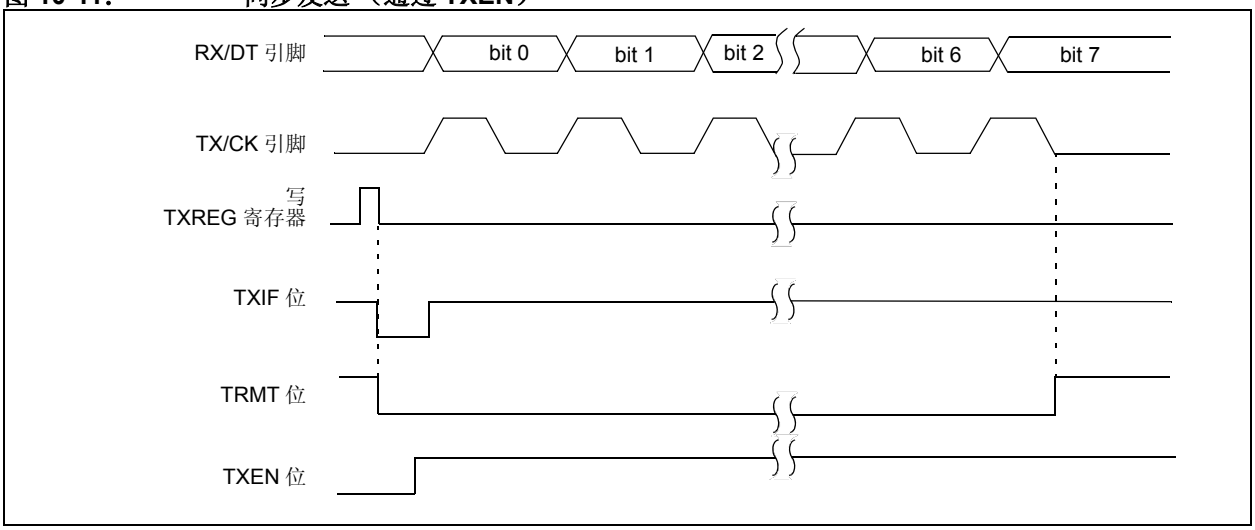


表 10-7：　　与同步主控发送相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISB	TRISB7	TRISB6	TRISB5	TRISB4					1111 ----	1111 ----
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注：　x = 未知， – = 未实现读为 0。同步主控发送不使用阴影单元。

© 2007 Microchip Technology Inc.

10.4.1.5 同步主接收

数据在 RX/DT 引脚上接收。 EUSART 配置为同步主接收操作时， RX/DT 和 TX/CK 引脚的输出驱动器被自动禁止。

在同步模式下，可通过将单字节接收使能 （RCSTA 寄存器的 SREN）位或连续接收使能 （RCSTA 寄存器的 CREN）位置 1 使能接收。

SREN 位置 1 且 CREN 清零时，一个字符中有多少数据位就产生多少时钟周期。一个字符接收完成后 SREN 位被自动清零。CREN置1时，将连续产生时钟直到CREN被清零。如果 CREN 在字符接收过程中被清零，则 CK 时钟立即停止，接收到的部分字符被丢弃。如果 SREN 和 CREN 同时置 1，则首字符接收完成时 SREN 被清零， CREN 优先。

要启动接收，应将 SREN 或 CREN 置 1。在 TX/CK 时钟引脚的后续边沿对RX/DT引脚上的数据进行采样，并移入接收移位寄存器（Receive Shift Register，RSR）。当完整的字符被接收进 RSR 后，RCIF 位置 1 且该字符被自动送入两个字符的接收 FIFO。接收 FIFO 中顶部字符的 8 个最低有效位在 RCREG 中。只要接收 FIFO 中有未读字符， RCIF 位就保持置 1。

10.4.1.6 接收溢出错误

接收 FIFO 缓冲器可容纳两个字符。在 RCREG 被读取以访问 FIFO 前，当第三个字符被完整接收时将产生溢出中断。发生这种情况时， RCSTA 寄存器的 OERR 位置 1。FIFO 内的前一个数据将被覆盖。FIFO 缓冲器中的两个字符可被读取，但在错误被清除前不能再接收其他字符。只有清除了溢出条件才可将 OERR 位清零。如果 SREN 位置 1 且 CREN 位清零时发生溢出错误，则读取 RCREG 可清除错误。如果 CREN 位置 1 时发生溢出，则可通过清零 RCSTA 寄存器的 CREN 位或清零 SPEN 复位 EUSART 清除错误条件。

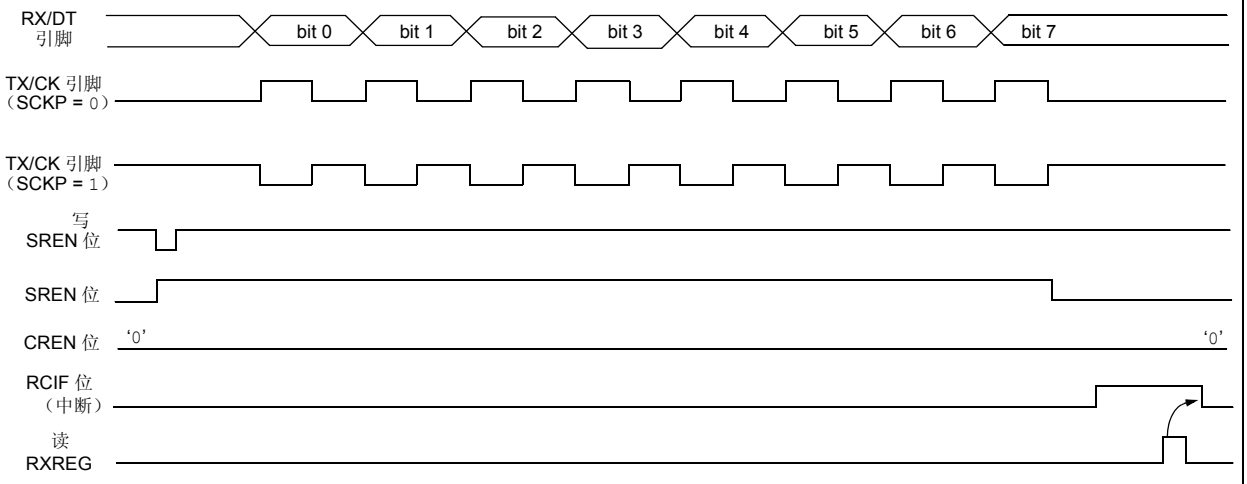
10.4.1.7 接收 9 位字符

EUSART 支持 9 位字符接收。当 RCSTA 寄存器的 RX9 位置 1 时，EUSART 会在接收到每个字符时将 9 个位移入 RSR。 RCSTA 寄存器的 RX9D 位是接收 FIFO 顶部未读字符的第九个数据位，也是最有效数据位。从接收 FIFO 缓冲器中读取 9 位数据时，从 RCREG 中读取 8 个最低有效位前必须读取 RX9D 数据位。

10.4.1.8 同步主接收的设置

1. 初始化SPBRGH:SPBRG这对寄存器以获得适当的波特率。根据要求将 BRGH 和 BRG16 位置 1 或清零，获得适当的波特率。
2. 将 SYNC、SPEN 和 CSRC 位置 1 使能同步主串行端口。
3. 确保 CREN 和 SREN 清零。
4. 若使用中断，将 INTCON 寄存器的 GIE 和 PEIE 位置 1 并将 RCIE 置 1。
5. 若需接收 9 位，将 RX9 位置 1。
6. 将 SREN 位置 1，或连续接收时将 CREN 位置 1，启动接收。
7. 字符接收完成时中断标志位 RCIF 将被置 1。若之前允许 RCIE 位被置 1 则产生中断。
8. 读取 RCSTA 寄存器获得第九位（使能时）并确定接收时是否发生了错误。
9. 通过读取 RCREG 寄存器来读取 8 位接收到的数据。
10. 若发生了溢出错误，可通过清零 RCSTA 寄存器的 CREN 位或清零 SPEN 位将 EUSART 复位清除错误。

图 10-12：　　同步接收 （主模式， SREN）



注： 时序图所示为 SREN = 1 且 BRGH = 0 时的同步主模式。

表 10-8：　　与同步主控接收相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISB	TRISB7	TRISB6	TRISB5	TRISB4					1111 ----	1111 ----
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注： x = 未知， – = 未实现读为 0。同步主控接收不使用阴影单元。

© 2007 Microchip Technology Inc.

10.4.2 同步从模式

使用以下位将 EUSART 配置为同步从动操作：

- SYNC = 1
- CSRC = 0
- SREN = 0 （发送）； SREN = 1 （接收）
- CREN = 0 （发送）； CREN = 1 （接收）
- SPEN = 1

将 TXSTA 寄存器的 SYNC 位置 1 将器件配置为同步操作。将 TXSTA 寄存器的 CSRC 位清零将器件配置为从动器件。将 RCSTA 寄存器的 SREN 和 CREN 位清零可确保器件处于发送模式，否则器件将配置为接收。将 RCSTA 寄存器的 SPEN 位置 1 使能 EUSART。如果 RX/DT 或 TX/CK 引脚与模拟外设共用，则必须通过清零相应的 ANSEL 位禁止模拟 I/O 功能。

10.4.2.1 EUSART 同步从动发送

除休眠模式以外，同步主控和从模式是相同的 （见**第 10.4.1.3 节 “同步主发送”**）。

如果向 TXREG 写入两个字并随后执行 SLEEP 指令，将发生以下情况：

1. 第一个字符将立即传送至 TSR 寄存器并被发送。
2. 第二个字将保留在 TXREG 寄存器中。
3. TXIF 位不会置 1。
4. 第一个字符移出 TSR 后，TXREG 寄存器会将第二个字符传送到 TSR，此时 TXIF 位将置 1。
5. 如果 PEIE 和 TXIE 位均置 1，则发生中断将器件从休眠唤醒，并执行下一条指令。如果 GIE 位也置 1，程序将调用中断服务程序。

10.4.2.2 同步从动发送的设置

1. 将 SYNC 和 SPEN 位置 1 并清零 CSRC 位。
2. 清零 CREN 和 SREN 位。
3. 若使用中断，应确保 INTCON 寄存器的 GIE 和 PEIE 位置 1 并将 TXIE 位置 1。
4. 若需发送 9 位，将 TX9 位置 1。
5. 将 TXEN 位置 1 使能发送。
6. 若选定了 9 位发送，将最高有效位插入 TX9D 位。
7. 将最低有效的 8 个位写入 TXREG 寄存器启动发送。

表 10-9： 与从动发送相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISB	TRISB7	TRISB6	TRISB5	TRISB4					1111 ----	1111 ----
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注： x = 未知， – = 未实现，读为 0。同步从动发送不使用阴影单元。

10.4.2.3 EUSART 同步从动接收

除下列各项外，同步主控和从模式是相同的（**第 10.4.1.5 节 “同步主接收”**）：

- 休眠
- CREN 位始终置 1，因此接收器从不空闲
- SREN 位在从模式下为 “无关位”

进入休眠前将 CREN 位置 1，可在休眠模式下接收一个字符。该字被接收后， RSR 寄存器会将数据传送到 RCREG 寄存器。如果 RCIE 允许位置 1，产生的中断会将器件从休眠唤醒并执行下一条指令。如果 GIE 位也置 1，程序将跳转到中断向量。

10.4.2.4 同步从动接收的设置

1. 将 SYNC 和 SPEN 位置 1 并清零 CSRC 位。
2. 若使用中断，确保INTCON寄存器的GIE和PEIE位置 1，并将 RCIE 位置 1。
3. 若需接收 9 位，将 RX9 位置 1。
4. 将 CREN 位置 1 使能接收。
5. 接收完成时 RCIF 位将被置 1。如果 RCIE 位置 1 则将产生中断。
6. 若使能了 9 位模式，从 RCSTA 寄存器的 RX9D 位取出最高有效位。
7. 读取 RCREG 寄存器，从接收 FIFO 中取出 8 个最低有效位。
8. 若发生溢出，将 RCSTA 寄存器的 CREN 位清零或将 SPEN 位清零复位 EUSART，以清除错误。

表 10-10： 与同步从动接收相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISB	TRISB7	TRISB6	TRISB5	TRISB4					1111 ----	1111 ----
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注： x = 未知， – = 未实现读为 0。同步从动接收不使用阴影单元。

© 2007 Microchip Technology Inc.

11.0 CPU 的特殊功能

PIC16F688 有许多功能，旨在最大限度地提高系统可靠性，通过减少外部元件将成本降至最低，并提供省电工作模式和代码保护功能。

这些功能包括：

- 复位
  - 上电复位 （POR）
  - 上电延时定时器 （PWRT）
  - 振荡器起振定时器 （OST）
  - 欠压复位 （BOR）
- 中断
- 看门狗定时器 （WDT）
- 振荡器选择
- 休眠
- 代码保护
- ID 地址单元
- 在线串行编程

PIC16F688 有两个定时器提供必要的上电延时。一个是振荡器起振定时器 （OST），旨在确保芯片在晶体振荡器达到稳定之前始终处于复位状态。另一个是上电延时定时器 （PWRT），仅在上电时提供 64 ms （标称值）的固定延时，用来确保器件在供电电压稳定之前处于复位状态。还有当器件发生欠压时使器件复位的电路，该电路可使用上电延时定时器，提供至少 64 ms 的复位延时。有了这三种片上功能，绝大多数应用就无需再外接复位电路了。

休眠模式的设计是为了提供了电流极低的掉电模式。用户可通过以下方法将器件从休眠模式唤醒：

- 外部复位
- 看门狗定时器唤醒
- 中断

有几种振荡器模式可供选择，以使器件适应各种应用。选择 INTOSC 可节约系统成本，而选择 LP 晶振可以节能。通过配置位的设定可选择不同选项 （见寄存器 11-1）。

11.1 配置位

可以通过对配置位编程（读为 0）或不编程（读为 1）来选择不同的器件配置，如寄存器 11-1 所示。这些位映射到程序存储器地址单元 2007h 中。

注： 地址2007h超出了用户程序存储器空间范围。它属于特殊配置存储器空间（2000h-3FFFh），只能在编程时对其进行访问。更多信息，请参见“*PIC12F6XX/16F6XX Memory Programming Specification*”（DS41204）。

© 2007 Microchip Technology Inc.

寄存器 11-1： CONFIG：配置字寄存器

保留	保留	FCMEN	IESO	BOREN1(1)	BOREN0(1)	$\overline{CPD}$(2)
bit 13						bit 7

$\overline{CP}$(3)	MCLRE(4)	$\overline{PWRTE}$	WDTE	FOSC2	FOSC1	FOSC0
bit 6						bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程	U = 未实现位，读为 0
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 13-12 **保留：**保留位。不要使用。

bit 11 **FCMEN：**故障保护时钟监控器使能位
1 = 使能故障保护时钟监控器
0 = 禁止故障保护时钟监控器

bit 10 **IESO：**内 / 外部切换位
1 = 使能内 / 外部切换模式
0 = 禁止内 / 外部切换模式

bit 9-8 **BOREN<1:0>：**欠压复位选择位 (1)
11 = 使能 BOR
10 = 运行时使能 BOR，休眠时禁止 BOR
01 = PCON 寄存器的 SBOREN 位控制 BOR
00 = 禁止 BOR

bit 7 **$\overline{CPD}$：**数据代码保护位 (2)
1 = 禁止数据存储器代码保护
0 = 使能数据存储器代码保护

bit 6 **$\overline{CP}$：**代码保护位 (3)
1 = 禁止程序存储器代码保护
0 = 使能程序存储器代码保护

bit 5 **MCLRE：**$\overline{MCLR}$ 引脚功能选择位 (4)
1 = $\overline{MCLR}$ 引脚功能为 MCLR
0 = MCLR 引脚功能为数字输入， $\overline{MCLR}$ 内部连接到 V_{DD}

bit 4 **$\overline{PWRTE}$：**上电延时定时器使能位
1 = 禁止 PWRT
0 = 使能 PWRT

bit 3 **WDTE：**看门狗定时器使能位
1 = 使能 WDT
0 = 禁止 WDT，但可以通过 SWDTEN 位 （WDTCON<0>）使能

bit 2-0 **FOSC<2:0>：**振荡器选择位
111 = RC 振荡器：RA4/OSC2/CLKOUT 引脚为 CLKOUT 功能， RA5/OSC1/CLKIN 引脚上连接 RC
110 = RCIO 振荡器：RA4/OSC2/CLKOUT 引脚为 I/O 功能， RA5/OSC1/CLKIN 引脚上连接 RC
101 = INTOSC 振荡器：RA4/OSC2/CLKOUT 引脚为 CLKOUT 功能， RA5/OSC1/CLKIN 引脚为 I/O 功能
100 = INTOSCIO 振荡器：RA4/OSC2/CLKOUT 引脚为 I/O 功能， RA5/OSC1/CLKIN 引脚为 I/O 功能
011 = EC：RA4/OSC2/CLKOUT 引脚为 I/O 功能， RA5/OSC1/CLKIN 引脚上为 CLKIN
010 = HS 振荡器：RA4/OSC2/CLKOUT 和 RA5/OSC1/CLKIN 引脚上连接高速晶振 / 谐振器
001 = XT 振荡器：RA4/OSC2/CLKOUT 和 RA5/OSC1/CLKIN 引脚上连接晶振 / 谐振器
000 = LP 振荡器：RA4/OSC2/CLKOUT 和 RA5/OSC1/CLKIN 引脚上连接低功耗晶振

注 **1：** 使能欠压复位并不能自动使能上电延时定时器。
2： 当关闭代码保护时，将擦除整个数据 EEPROM 的内容。
3： 当关闭代码保护时，将擦除整个程序存储器的内容。
4： 当 MCLR 在 INTOSC 或 RC 模式下被拉为低电平时，将禁止内部时钟振荡器。

11.2 复位

PIC16F688 有以下几种不同类型的复位：

a) 上电复位 （POR）
b) 正常工作期间的 WDT 复位
c) 休眠期间的 WDT 复位
d) 正常工作期间的 $\overline{\text{MCLR}}$ 复位
e) 休眠期间的 $\overline{\text{MCLR}}$ 复位
f) 欠压复位 （BOR）

有些寄存器不受任何复位的影响；在上电复位时它们的状态未知，而在其他复位时状态不变。大多数寄存器在以下复位时会复位到各自的 “复位状态”：

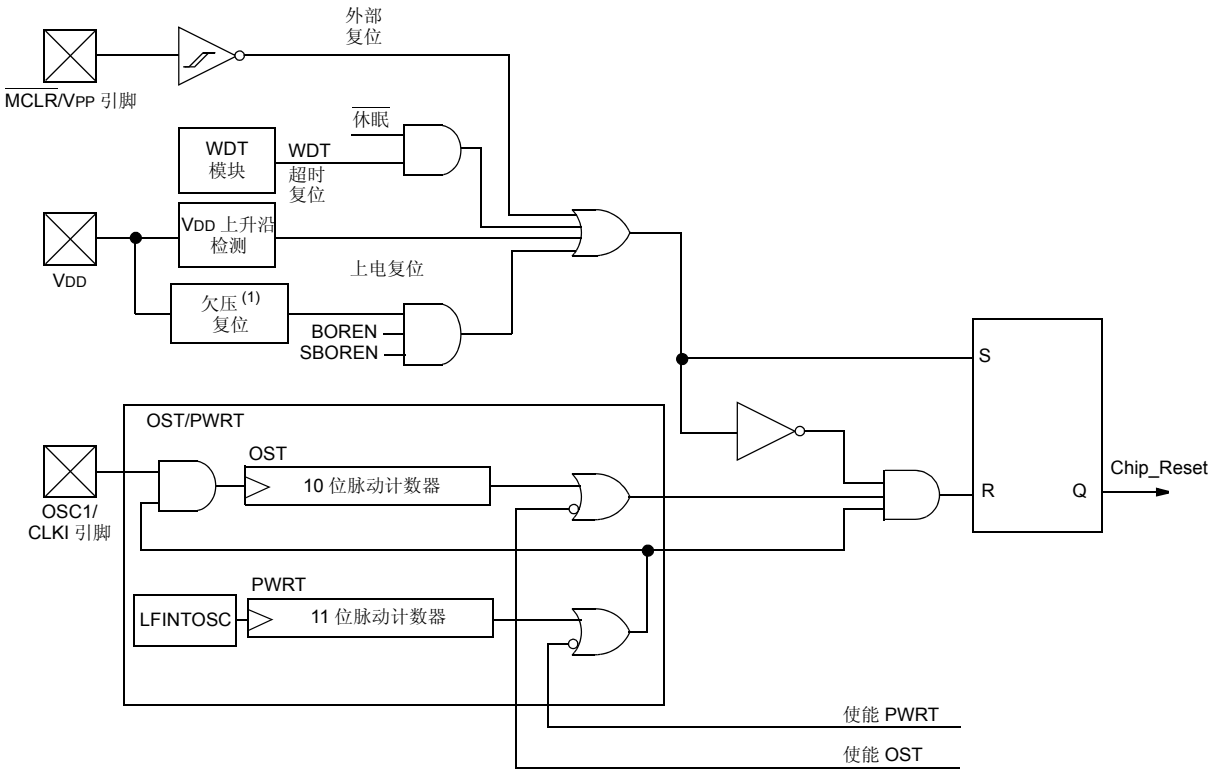
- 上电复位
- $\overline{\text{MCLR}}$ 复位
- 休眠期间的 $\overline{\text{MCLR}}$ 复位
- WDT 复位
- 欠压复位 （BOR）

它们不受 WDT 唤醒的影响，因为这被视为恢复正常工作。如表 11-2 所示， $\overline{\text{TO}}$ 和 $\overline{\text{PD}}$ 位在不同的复位情形下会分别被置 1 或清零。这些位在软件中用于判断复位的性质。关于所有寄存器的复位状态的完整说明，请参见表 11-4。

图 11-1 给出了片上复位电路的简化框图。

$\overline{\text{MCLR}}$ 复位路径上有一个噪声滤波器，用来检测并滤除小脉冲。关于脉冲宽度规范，请参见**第 14.0 节 “电气规范”**。

图 11-1： 片上复位电路的简化框图



注 1： 请参见配置字寄存器 （寄存器 11-1）。

© 2007 Microchip Technology Inc.

11.2.1 上电复位 （POR）

在 VDD 达到足以使器件正常工作的电平之前，片上上电复位电路将使器件保持在复位状态。需要一个最大上升时间才能达到 VDD。详见**第 17.0 节 “电气特性”**。如果使能了欠压复位，那么该最大上升时间规范将不再适用。欠压复位电路将使器件保持在复位状态，直到 VDD 达到 VBOR （见**第 11.2.4 节 “欠压复位 （BOR）”**）。

注：	当 VDD 降低时，上电复位电路不会产生内部复位。要重新使能上电复位， VDD 必须至少保持 100 μs 的 Vss 电压。

当器件开始正常工作（退出复位状态）时，器件的工作参数（即电压、频率和温度等）必须得到满足，以确保其正常工作。如果不满足这些条件，那么器件必须保持在复位状态，直到满足工作条件为止。

更多信息，请参见应用笔记 AN607，*“Power-up Trouble Shooting ”*（DS00607）。

11.2.2 $\overline{\text{MCLR}}$

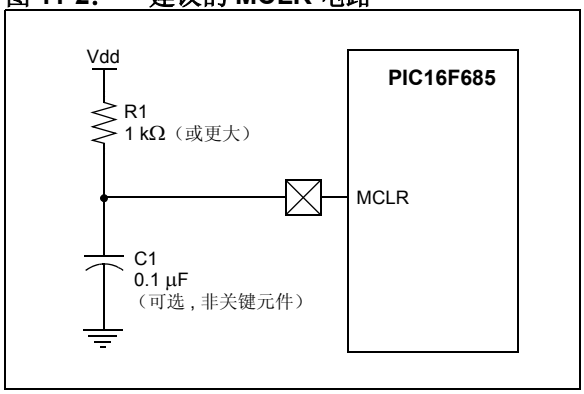
PIC16F688 在 $\overline{\text{MCLR}}$ 复位路径中有一个噪声滤波器。该滤波器检测并滤除小脉冲。

应该注意，WDT 复位不会将 $\overline{\text{MCLR}}$ 引脚驱动为低电平。

$\overline{\text{MCLR}}$ 引脚上 ESD 保护的工作原理与该系列早期器件有所不同。施加在该引脚上的电压超过规范值将导致 MCLR 复位，并且在 ESD 事件中产生的电流也将超过器件的规范值。因此， Microchip 建议不要把 $\overline{\text{MCLR}}$ 引脚直接连接到 VDD。建议使用图 11-3 给出的 RC 网络。

通过清零配置字寄存器中的 MCLRE 位，可使能内部 $\overline{\text{MCLR}}$ 选项。当 $\overline{\text{MCLRE}}$ = 0 时，在内部产生芯片的复位信号。当 $\overline{\text{MCLRE}}$ = 1 时， RA3/$\overline{\text{MCLR}}$ 引脚变成外部复位输入。在这种模式下，RA3/$\overline{\text{MCLR}}$ 引脚具有到 VDD 的弱上拉功能。

图 11-2： 建议的 $\overline{\text{MCLR}}$ 电路



11.2.3 上电延时定时器 （PWRT）

上电延时定时器仅在上电时（上电复位或欠压复位）提供一个 64 ms （标称值）的固定延时。上电延时定时器采用 LFINTOSC 振荡器作为时钟源，工作频率为 31 kHz。更多信息，请参见**第 3.5 节 “内部时钟模式”**。只要 PWRT 处于活动状态，芯片就保持在复位状态。PWRT 延时使 VDD 有足够的时间上升到所需的电平。配置位 PWRTE 可以禁止（如果置 1）或使能（如果清零或被编程）上电延时定时器。虽然不是必需的，但是在使能欠压复位时也应使能上电延时定时器。

由于以下原因不同芯片的上电延时定时器的延时也各不相同：

- VDD 差异
- 温度差异
- 制造工艺差异

详见直流参数 （**第 14.0 节 “电气规范”**）。

注：	$\overline{\text{MCLR}}$ 引脚的低于 Vss 的电压尖峰，包括大于80 mA的电流均可能导致闭锁。因此，向 $\overline{\text{MCLR}}$ 引脚施加 “低” 电平时，应使用一个 50-100Ω 的串联电阻，而非直接将该引脚连接到 Vss。

11.2.4 欠压复位 （BOR）

配置字寄存器中的 BOREN0 和 BOREN1 位用于选择 4 种欠压复位模式中的一种。其中添加了两种允许使用软件或硬件对 BOR 的使能进行控制的模式。当 BOREN<1:0> = 01 时，可由 PCON 寄存器的 SBOREN 位使能 / 禁止 BOR，从而能用软件对其进行控制。通过选择 BOREN<1:0>，可使欠压复位在休眠时被自动禁止，从而节约功耗；而在唤醒后被重新使能。在此模式下，SBOREN 位被禁止。关于配置字的定义，请参见寄存器 11-1。

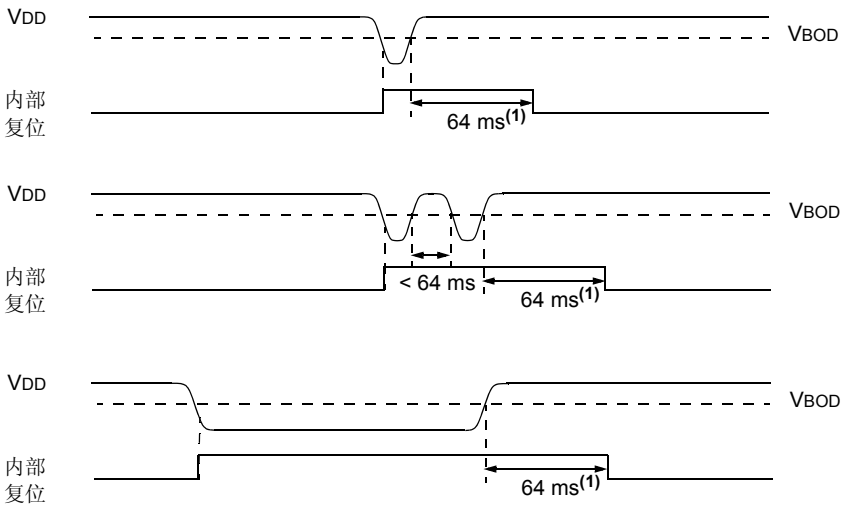
如果 VDD 下降到 VBOR 以下，且持续时间超过参数值（TBOR）（见**第 17.0 节 “电气特性”**），欠压状况将使器件复位。不管 VDD 的变化速率如何，上述情况都会发生。如果 VDD 低于 VBOR 的时间少于参数值 （TBOR），则不一定会发生复位。

任何复位（上电复位、欠压复位或看门狗定时器复位等）都会使芯片保持复位状态，直到 VDD 上升到 VBOR 以上（见图 11-3）。如果使能了上电延时定时器，此时它将启动，并且会使器件保持复位状态的时间延长 64 ms。

注：	配置字寄存器中的 $\overline{\text{PWRTE}}$ 位用于使能上电延时定时器。

如果在上电延时定时器运行过程中， VDD 降低到 VBOR 以下，芯片将重新回到欠压复位状态并且上电延时定时器会恢复为初始状态。一旦 VDD 上升到 VBOR 以上，上电延时定时器将执行一段 64 ms 的复位。

图 11-3： 欠压情形



注 1： 仅在 $\overline{\text{PWRTE}}$ 位被设置为 0 时，才增加 64 ms 延时。

© 2007 Microchip Technology Inc.

11.2.5 延时时序

上电时的延时时序如下：首先，在 POR 延时结束后，施加一段 PWRT 延时，随后振荡器起振。总延时时间取决于振荡器配置和 PWRTE 位的状态。例如，在 EC 模式且 PWRTE 位被擦除（PWRT 禁止）的情况下，根本不会出现延时。图 11-4、图 11-5 和图 11-6 分别给出了各种情形下的延时时序。当振荡器起振后，通过使能双速启动或故障保护监控器，器件将以 INTOSC 作为时钟源来执行代码（见**第 3.7.2 节“双速启动时序”**和**第 3.8 节 “故障保护时钟监控器”**）。

由于延时是由上电复位脉冲触发的，因此如果 MCLR 保持足够长时间的低电平，所有延时都将结束。将 MCLR 电平拉高后，器件将立即开始执行代码（见图 11-5）。这对于测试或同步多个并行工作的 PIC16F688 器件来说是非常有用的。

表 11-5 给出了一些特殊寄存器的复位条件，而表 11-4 给出了所有寄存器的复位条件。

11.2.6 电源控制 （PCON）寄存器

电源控制寄存器 PCON（地址 8Eh）有两个状态位，用于指示上次发生的复位的类型。

Bit 0 是 BOR（欠压复位）标志位。BOR 在上电复位时未知。然后，用户必须将该位置 1，并在随后的复位发生时检查中 BOR 是否为 0，如果是，则表示已发生欠压复位。当禁止欠压复位电路（配置字寄存器中的 BOREN<1:0> = 00）时，BOR 状态位是“无关位”并且不一定预测得到。

Bit 1 是 POR （上电复位）标志位，在上电复位时值为 0，其他情况下不受影响。上电复位后，用户必须对该位写 1。发生后续复位后，如果 POR 为 0，则表示发生了上电复位 （即 VDD 可能已经变为了低电平）。

更多信息，请参见**第 4.2.4 节 “超低功耗唤醒”**和**第 11.2.4 节 “欠压复位 （BOR）”**。

表 11-1： 各种情形下的延时

振荡器配置	上电		欠压复位		从休眠状态唤醒
	PWRTE = 0	PWRTE = 1	PWRTE = 0	PWRTE = 1	
XT， HS， LP	TPWRT + 1024 • TOSC	1024 • TOSC	TPWRT + 1024 • TOSC	1024 • TOSC	1024 • TOSC
LP， T1OSCIN = 1	TPWRT	—	TPWRT	—	—
RC， EC， INTOSC	TPWRT	—	TPWRT	—	—

表 11-2： STATUS/PCON 位及其含义

POR	BOR	TO	PD	条件
0	x	1	1	上电复位
u	0	1	1	欠压复位
u	u	0	u	WDT 复位
u	u	0	0	WDT 唤醒
u	u	u	u	正常工作期间的 MCLR 复位
u	u	1	0	休眠期间的 MCLR 复位

图注： u = 不变， x = 未知

表 11-3： 与欠压有关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值 (1)
PCON	—	—	ULPWUE	SBOREN	—	—	POR	BOR	--01 --qq	--0u --uu
STATUS	IRP	RP1	RPO	TO	PD	Z	DC	C	0001 1xxx	000q quuu

图注： u = 不变， x = 未知， – = 未实现位，读为 0，q = 取值视具体情况而定。 BOR 不使用阴影单元。
注 1： 其他（非上电）复位包括正常工作时的 MCLR 复位和看门狗定时器复位。
2： 所有寄存器位的操作请参见配置字寄存器 （寄存器 11-1）。

图 11-4： 上电时的延时时序（$\overline{\text{MCLR}}$ 延时）

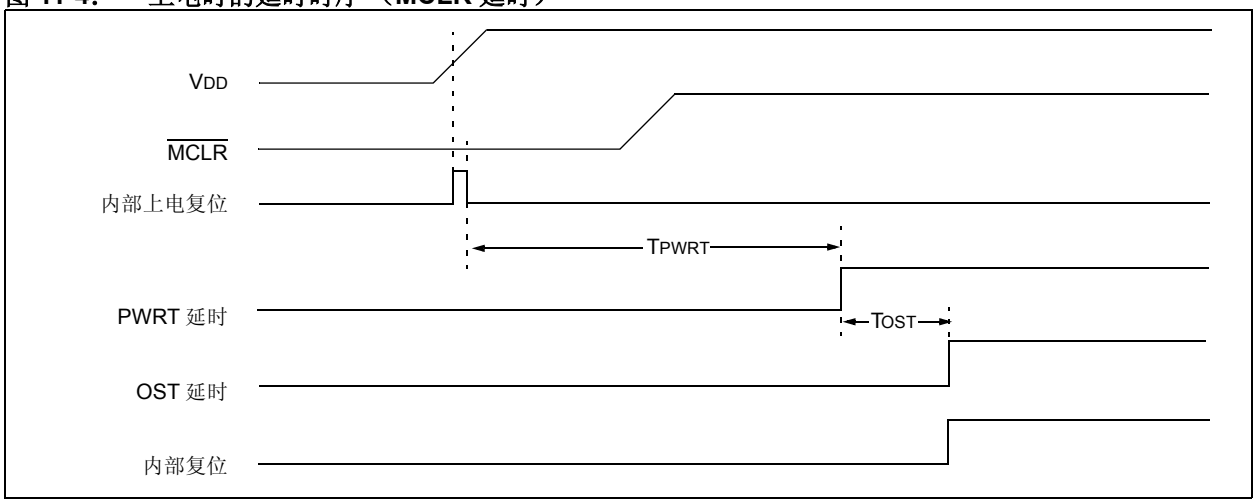


图 11-5： 上电时的延时时序（$\overline{\text{MCLR}}$ 延时）

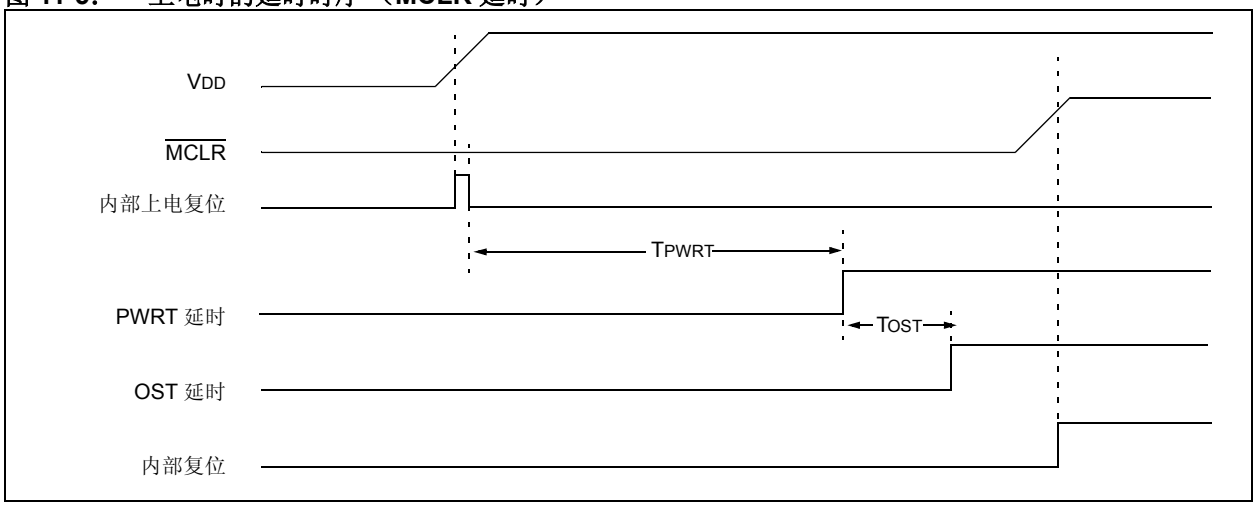
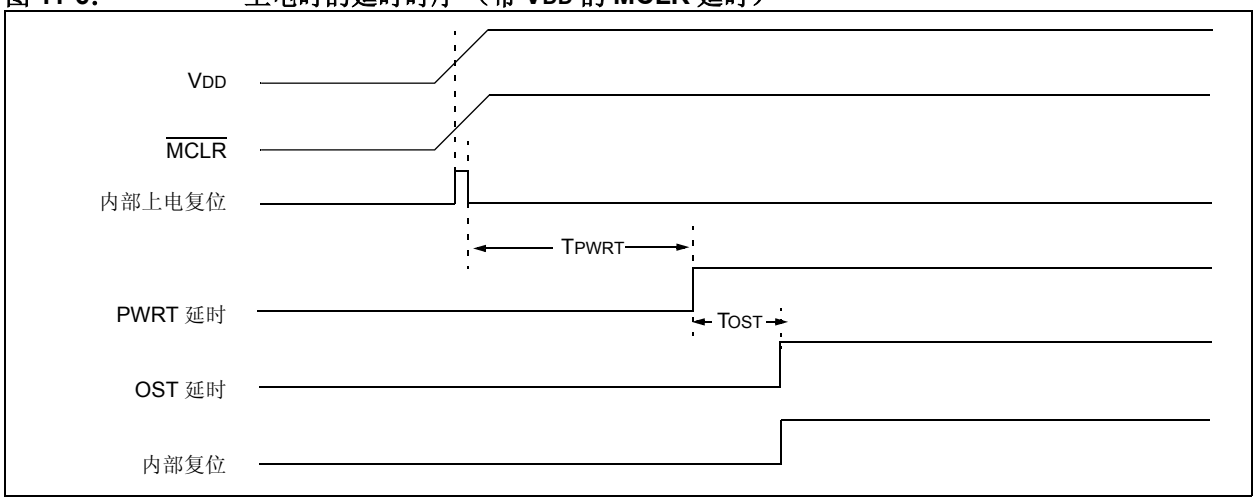


图 11-6： 上电时的延时时序（带 VDD 的 $\overline{\text{MCLR}}$ 延时）



© 2007 Microchip Technology Inc.

表 11-4： 寄存器的初始状态

寄存器	地址	上电复位	$\overline{\text{MCLR}}$ 复位 WDT 复位 欠压复位 (1)	通过中断将器件从休眠状态唤醒 通过 WDT 延时从休眠状态唤醒
W	—	xxxx xxxx	uuuu uuuu	uuuu uuuu
INDF	00h/80h/100h/180h	xxxx xxxx	uuuu uuuu	uuuu uuuu
TMR0	01h/101h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCL	02h/82h/102h/182h	0000 0000	0000 0000	PC + 1(3)
STATUS	03h/83h/103h/183h	0001 1xxx	000q quuu(4)	uuuq quuu(4)
FSR	04h/84h/104h/184h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTA	05h/105h	--x0 x000	--00 0000	--uu uuuu
PORTC	07h/107h	--xx 0000	--00 0000	--uu uuuu
PCLATH	0Ah/8Ah/10Ah/18Ah	---0 0000	---0 0000	---u uuuu
INTCON	0Bh/8Bh/10Bh/18Bh	0000 000x	0000 000x	uuuu uuuu(2)
PIR1	0Ch	0000 0000	0000 0000	uuuu uuuu(2)
TMR1L	0Eh	xxxx xxxx	uuuu uuuu	uuuu uuuu
TMR1H	0Fh	xxxx xxxx	uuuu uuuu	uuuu uuuu
T1CON	10h	0000 0000	uuuu uuuu	-uuu uuuu
BAUDCTL	11h	01-0 0-00	01-0 0-00	uu-u u-uu
SPBRGH	12h	-000 0000	-000 0000	-uuu uuuu
SPBRG	13h	0000 0000	0000 0000	uuuu uuuu
RCREG	14h	0000 0000	0000 0000	uuuu uuuu
TXREG	15h	0000 0000	0000 0000	uuuu uuuu
TXSTA	16h	0000 0010	0000 0010	uuuu uuuu
RCSTA	17h	000x 000x	000x 000x	uuuu uuuu
WDTCON	18h	---0 1000	---0 1000	---u uuuu
CMCON0	19h	0000 0000	0000 0000	uuuu uuuu
CMCON1	1Ah	---- --10	---- --10	---- --uu
ADRESH	1Eh	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADCON0	1Fh	00-0 0000	00-0 0000	uu-u uuuu
OPTION_REG	81h/181h	1111 1111	1111 1111	uuuu uuuu
TRISA	85h/185h	--11 1111	--11 1111	--uu uuuu
TRISC	87h/187h	--11 1111	--11 1111	--uu uuuu
PIE1	8Ch	0000 0000	0000 0000	uuuu uuuu
PCON	8Eh	--01 --0x	--0u --uu(1,5)	--uu --uu

图注： u = 不变， x = 未知， - = 未实现位，读为 0， q = 取值视具体条件而定。

注 1： 如果 VDD 过低，将激活上电复位，寄存器将受到不同的影响。

2： INTCON 和 / 或 PIR1 寄存器中的 1 位或多位会受到影响 （引起唤醒）。

3： 当器件被中断唤醒且 GIE 位置 1 时， PC 装入中断向量 （0004h）。

4： 关于特定条件下的复位值，请参见表 11-5。

5： 如果复位是由于欠压引起的，则 bit 0 = 0。所有其他复位将导致 bit 0 = u。

表 11-4： 寄存器的初始状态 （续）

寄存器	地址	上电复位	$\overline{\text{MCLR}}$ 复位 WDT 复位 （续） 欠压复位 (1)	通过中断将器件从休眠状态唤醒 通过 WDT 延时从休眠状态唤醒
OSCCON	8Fh	-110 q000	-110 q000	-uuu uuuu
OSCTUNE	90h	---0 0000	---u uuuu	---u uuuu
ANSEL	91h	1111 1111	1111 1111	uuuu uuuu
WPUA	95h	--11 -111	--11 -111	uuuu uuuu
IOCA	96h	--00 0000	--00 0000	--uu uuuu
EEDATH	97h	--00 0000	--00 0000	--uu uuuu
EEADRH	98h	---- 0000	---- 0000	---- uuuu
VRCON	99h	0-0- 0000	0-0- 0000	u-u- uuuu
EEDAT	9Ah	0000 0000	0000 0000	uuuu uuuu
EEADR	9Bh	0000 0000	0000 0000	uuuu uuuu
EECON1	9Ch	x--- x000	u--- q000	u--- uuuu
EECON2	9Dh	---- ----	---- ----	---- ----
ADRESL	9Eh	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADCON1	9Fh	-000 ----	-000 ----	-uuu ----

图注： u = 不变， x = 未知， - = 未实现位，读为 0， q = 取值视具体条件而定。

注 1： 如果 VDD 过低，将激活上电复位，寄存器将受到不同的影响。

2： INTCON 和 / 或 PIR1 寄存器中的 1 位或多位会受到影响 （引起唤醒）。

3： 当器件被中断唤醒且 GIE 位置 1 时， PC 装入中断向量 （0004h）。

4： 关于特定条件下的复位值，请参见表 11-5。

5： 如果复位是由于欠压引起的，则 bit 0 = 0。所有其他复位将导致 bit 0 = u。

表 11-5： 特殊寄存器的初始状态

条件	程序计数器	状态寄存器	PCON 寄存器
上电复位	000h	0001 1xxx	--01 --0x
正常工作期间的 $\overline{\text{MCLR}}$ 复位	000h	000u uuuu	--0u --uu
休眠期间的 $\overline{\text{MCLR}}$ 复位	000h	0001 0uuu	--0u --uu
WDT 复位	000h	0000 uuuu	--0u --uu
WDT 唤醒	PC + 1	uuu0 0uuu	--uu --uu
欠压复位	000h	0001 1uuu	--01 --10
通过中断从休眠唤醒	PC + 1(1)	uuu1 0uuu	--uu --uu

图注： u = 不变， x = 未知， – = 未实现位，读为 0。

注 1： 当器件被中断唤醒且全局中断允许位 GIE 位置 1 时，执行 PC+1 后， PC 装入中断向量 （0004h）。

© 2007 Microchip Technology Inc.

11.3 中断

PIC16F688 有以下多种中断源：

- 外部中断 RA2/INT
- TMR0 溢出中断
- PORTA/PORTB 电平变化中断
- 两个比较器中断
- A/D 中断 （除 PIC16F631 外）
- Timer1 溢出中断
- Timer2 匹配中断 （仅限 PIC16F688/DSTEMP）
- EEPROM 数据写中断
- 故障保护时钟监控器中断
- 增强型 CCP 中断 （仅限 PIC16F688/DSTEMP）
- EUSART 接收和发送中断（仅限 16F688-ME/ICD/16F688-ME/DSTEMP）

中断控制寄存器 （INTCON）和外设中断请求寄存器 1（PIR1）在各自的标志位中记录各种中断请求。INTCON 寄存器还包括各个中断允许位和全局中断允许位。

全局中断允许位 GIE （INTCON<7>）在置 1 时允许所有未屏蔽的中断，而在清零时禁止所有中断。可以通过在 INTCON、PIE1 和 PIE2 寄存器中相应的使能位来禁止各个中断。复位时 GIE 被清零。

执行 “从中断返回”指令 RETFIE 退出中断程序并将 GIE 位置 1，从而重新使能未屏蔽的中断。

INTCON 寄存器包含以下中断标志位：

- INT 引脚中断
- PORTA/PORTB 电平变化中断
- TMR0 溢出中断

外设中断标志位在 PIR1 和 PIR2 寄存器中。相应的中断允许位在 PIE1 和 PIE2 寄存器中。

PIR1 寄存器包含以下中断标志位：

- A/D 中断
- EUSART 接收和发送中断
- Timer1 溢出中断
- 同步串行口 （SSP）中断
- 增强型 CCP1 中断
- Timer1 溢出中断
- Timer2 匹配中断

PIR2 寄存器包含以下中断标志位：

- 故障保护时钟监控器中断
- 两个比较器中断
- EEPROM 数据写中断

当响应一个中断时：

- 将 GIE 位清零以禁止其他中断。
- 将返回地址压入堆栈。
- PC 中装入 0004h。

对于外部中断事件，如 INT 引脚或 PORTA/PORTB 电平变化中断，中断响应延时将为 3 到 4 个指令周期。确切的延时时间取决于发生中断事件的时间 （见图 11-8）。对于单周期或双周期指令，中断响应延时完全相同。进入中断服务程序之后，就可以通过查询中断标志位来确定中断源。在重新允许中断前，必须用软件将中断标志位清零，以避免重复响应该中断。

注 1： 各中断标志位的置 1 不受相应的中断屏蔽位或 GIE 位状态的影响。
2： 当执行一条清零 GIE 位的指令后，任何等待在下一周期执行的中断都将被忽略。当 GIE 位被再次置 1 后，被忽略的中断仍会继续等待处理。

关于 Timer1、Timer2、比较器、A/D、数据 EEPROM、EUSART、 SSP 或增强型 CCP 模块的更多信息，请参见相应的外设章节。

11.3.1 RA2/INT 中断

RA2/INT 引脚上的外部中断是边沿触发的；当 INTEDG 位（OPTION_REG<6>）被置 1 时在上升沿触发，而当INTEDG 位被清零时在下降沿触发。当 RA2/INT 引脚上出现有效边沿时， INTF 位（INTCON<1>）置 1。可以通过将 INTE 控制位（INTCON<4>）清零来禁止该中断。在重新使能该中断前，必须在中断服务程序中先用软件将 INTF 位清零。如果 INTE 位在进入休眠状态前被置 1，则 RA2/INT 中断能将处理器从休眠状态唤醒。GIE 位的状态决定处理器在被唤醒后是否会跳转到中断向是（0004h）处执行代码。关于休眠的详细信息，请参见**第 11.6 节“掉电模式（休眠）”**；关于 RA2/INT中断将处理器从休眠状态唤醒的时序，请参见图 11-10。

注：	必须对 ANSEL 和 CM2CON0 寄存器进行初始化，以将模拟通道配置为数字输入。配置为模拟输入的引脚总是读为 0。

11.3.2 TMR0 中断

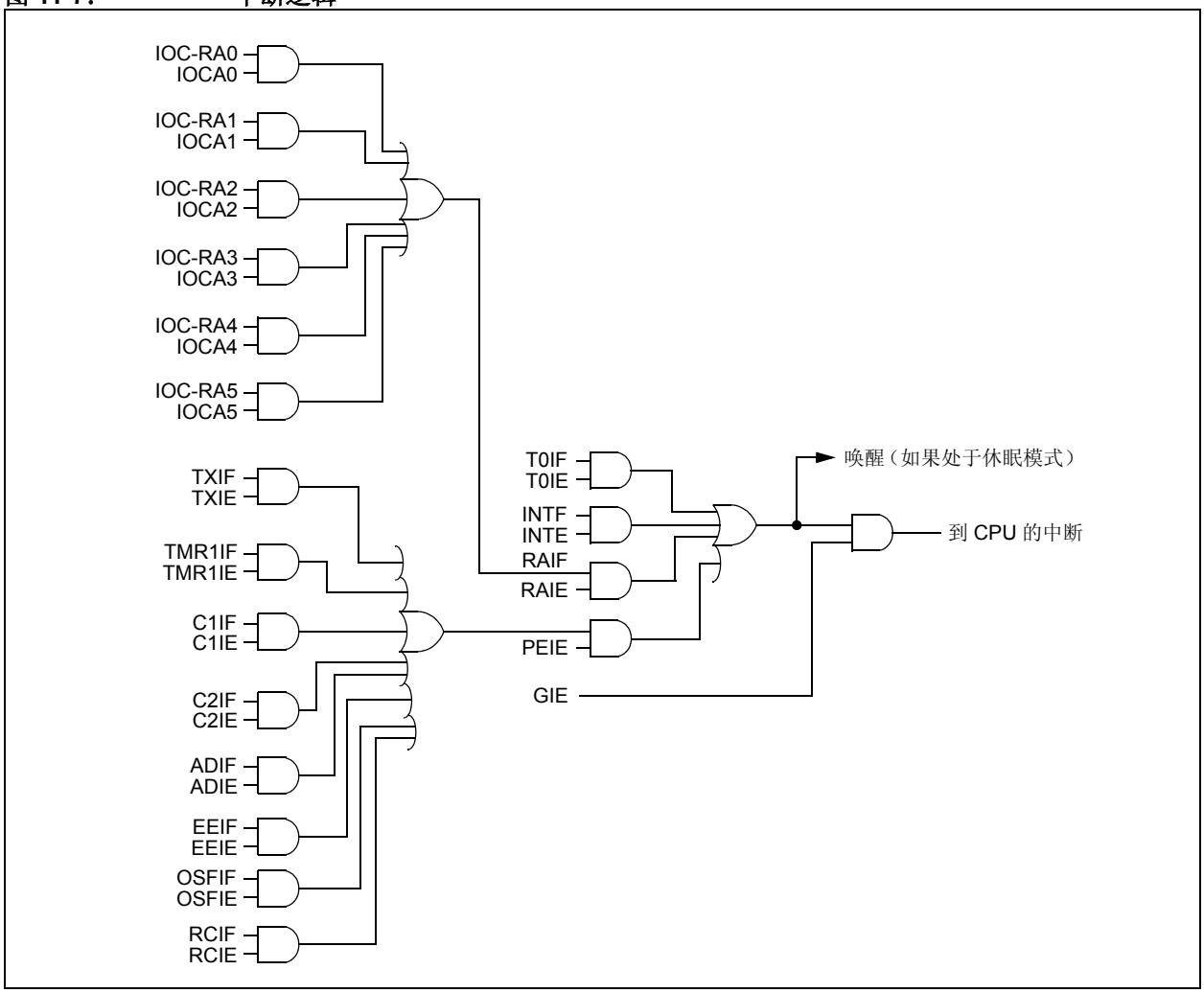
TMR0 寄存器溢出（FFh → 00h）会将 T0IF（INTCON<2>）位置 1。可以通过置 1/ 清零 T0IE（INTCON<5>）位来允许 / 禁止该中断。关于 Timer0 模块的操作，请参见**第 5.0 节 “Timer0 模块”**。

11.3.3 PORTA/PORTB 中断

PORTA 或 PORTB 输入电平的变化会使 RABIF（INTCON<0>）位置 1。可以通过置 1/ 清零 RABIE（INTCON<3>）位来允许 / 禁止该中断。此外，可通过 IOCA 或 IOCB 寄存器对该端口的各个引脚进行配置。

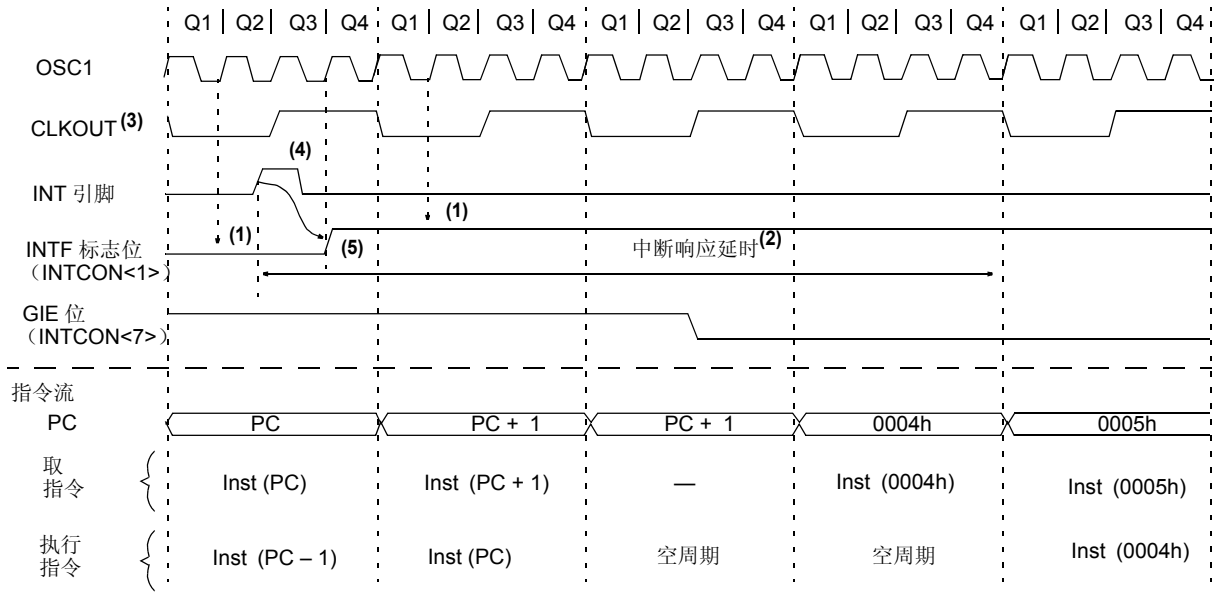
注：	当读操作正在执行时发生了I/O引脚电平变化（Q2 周期的起始时刻），则 RABIF 中断标志位可能不会被置 1。更多信息，请参见**第 4.2.3 节 “电平变化中断”**。

图 11-7： 中断逻辑



© 2007 Microchip Technology Inc.

图 11-8：　　INT 引脚中断时序



注　1： 在此采样 INTF 标志（每个 Q1 周期）。

2： 异步中断响应延时为 3-4 个 TCY。同步中断响应延时为 3 个 TCY，其中 TCY 为一个指令周期。不管 Inst（PC）是单周期还是双周期指令，中断响应延时都是一样的。

3： 只有在 INTOSC 和 RC 振荡器模式下 CLKOUT 才有效。

4： 关于 INT 脉冲的最小宽度，请参见**第 14.0 节 “电气规范”**中的 AC 规范。

5： 允许在 Q4-Q1 周期内的任何时间将 INTF 置 1。

表 11-6：　　中断寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF	0000 000x	0000 000x
PIE1	EEIE	ADIE	RCIE	C2IE	C1IE	OSFIE	TXIE	TMR1IE	0000 0000	0000 0000
PIR1	EEIF	ADIF	RCIF	C2IF	C1IF	OSFIF	TXIF	TMR1IF	0000 0000	0000 0000

图注：　x = 未知，u = 不变，– = 未实现读为 0，q = 取值视具体情况而定。中断模块不使用阴影单元。

11.4 中断的现场保护

在中断期间，仅将返回的 PC 值压入堆栈。通常情况下，用户可能希望在中断期间保存关键寄存器（例如，W 寄存器和状态寄存器）。这必须用软件实现。

由于在 PIC16F688 中，每个存储区的低 16 字节都是公用的（见图 2-2 和 2-3），临时保存寄存器 W_TEMP 和 STATUS_TEMP 都应该放在这里。这 16 个存储单元不需要分区，因此便于现场保护和恢复。与例 11-1 中相同的代码可被用于：

- 保存 W 寄存器
- 保存状态寄存器
- 执行 ISR 代码
- 恢复状态寄存器（和存储区选择位寄存器）
- 恢复 W 寄存器

注： PIC16F688 通常不需要保存 PCLATH。但是，如果要在 ISR 和主程序中使用计算 GOTO，就必须在 ISR 中保存和恢复 PCLATH。

例 11-1： 将状态寄存器和 W 寄存器保存在 RAM 中

```
MOVWF   W_TEMP              ;Copy W to TEMP register
SWAPF   STATUS,W            ;Swap status to be saved into W
                            ;Swaps are used because they do not affect the status bits
MOVWF   STATUS_TEMP         ;Save status to bank zero STATUS_TEMP register
:
:(ISR)                      ;Insert user code here
:
SWAPF   STATUS_TEMP,W       ;Swap STATUS_TEMP register into W
                            ;(sets bank to original state)
MOVWF   STATUS              ;Move W into STATUS register
SWAPF   W_TEMP,F            ;Swap W_TEMP
SWAPF   W_TEMP,W            ;Swap W_TEMP into W
```


© 2007 Microchip Technology Inc.

11.5 看门狗定时器 （WDT）

WDT 具有以下特性：

- 工作于 LFINTOSC （31 kHz）
- 包含 16 位预分频器
- 与 Timer0 共用 8 位预分频器
- 超时周期从 1 ms 至 268 秒
- 配置位和使用软件控制

WDT 在如表 11-7 所述的情况下清零。

11.5.1 WDT 振荡器

WDT 的时基来源于 31 kHz LFINTOSC。 OSCCON 寄存器的 LTS 位不反映 LFINTOSC 是否被使能。

在所有复位时 WDTCON 的值为“---0 1000”。这样标称时基为 16 ms，这与 PIC16F688 的早期器件兼容。

注：	当执行振荡器起振定时器（OST）时，WDT 保持复位状态，因为 OST 使用 WDT 纹波计数器来执行振荡器延时计数。 OST 计数到期后， WDT 将开始计数 （如果使能）。

在 INTRC 和复用器之间的路径上增加了一个新的预分频器，用于为 WDT 选择路径。该预分频器是 16 位的，经过编程后可将 INTRC 进行 32 至 65536 分频，使 WDT 范围在 1 ms 至 268s。

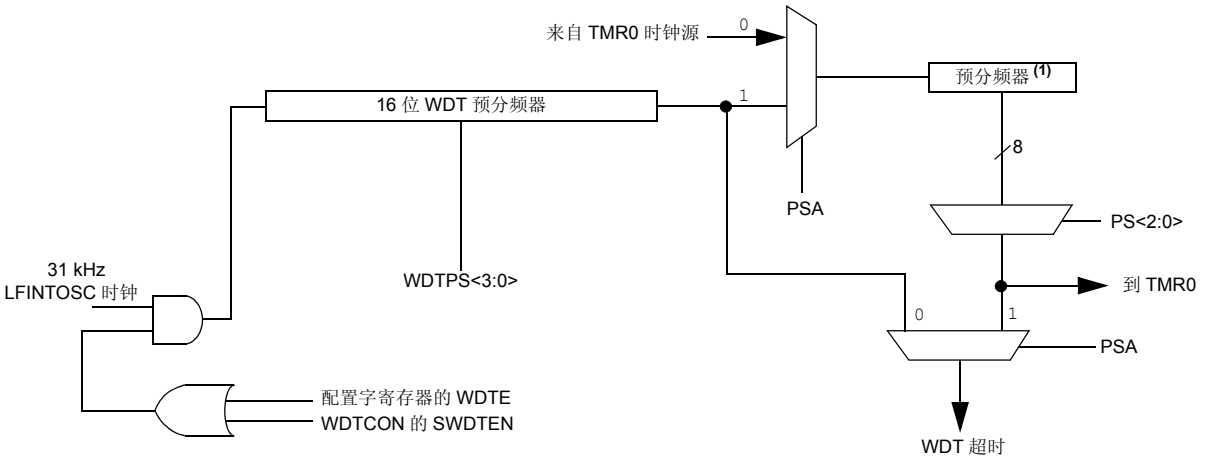
11.5.2 WDT 控制

WDTE 位在配置字寄存器中。该位置 1 时， WDT 连续运行。

配置字寄存器中的 WDTE 位置 1 时，WDTCON 寄存器中的 SWDTEN 位不起作用。如果 WDTE 清零，那么 SWDTEN 位可用于使能和禁止 WDT。该位置 1 使能 WDT，该位清零禁止 WDT。

OPTION 寄存器的 PSA 和 PS<2:0> 位功能与与 PIC16F688 系列单片机的早期版本相同。更多信息请参见**第 5.0 节 “Timer0 模块”**。

图 11-9： 看门狗定时器框图



注 1：这是 Timer0 与 WDT 共用的预分频器。更多信息，请参见**第 5.1.3 节 “软件可编程预分频器”**。

表 11-7： WDT 状态

条件	WDT
WDTE = 0	清零
CLRWDT 指令	
检测到振荡器故障	
退出休眠 + 系统时钟 = T1OSC、 EXTRC、 INTOSC 或 EXTCLK	
退出休眠 + 系统时钟 = XT、 HS 或 LP	清零直到 OST 结束

寄存器 11-2：　　WDTCON：看门狗定时器控制寄存器

U-0	U-0	U-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0
—	—	—	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-5　**未实现：**读为 0

bit 4-1　**WDTPS<3:0>：**看门狗定时器周期选择位
位值 = 预分频比
0000 = 1:32
0001 = 1:64
0010 = 1:128
0011 = 1:256
0100 = 1:512（复位值）
0101 = 1:1024
0110 = 1:2048
0111 = 1:4096
1000 = 1:8192
1001 = 1:16384
1010 = 1:32768
1011 = 1:65536
1100 = 保留
1101 = 保留
1110 = 保留
1111 = 保留

bit 0　**SWDTEN：**软件使能或禁止看门狗定时器位 **(1)**
1 = WDT 开启
0 = WDT 关闭（复位值）

注　1：　如果 WDTE 配置位 = 1，则 WDT 始终被使能，而与该控制位的状态无关。如果 WDTE 配置位 = 0，则可以使用该控制位开启 / 关闭 WDT。

表 11-8：　　看门狗定时器寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
WDTCON	—	—	—	WDTPS3	WDTPS2	WSTPS1	WDTPS0	SWDTEN	---0 1000	---0 1000
OPTION_REG	$\overline{\text{RAPU}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
CONFIG	$\overline{\text{CPD}}$	$\overline{\text{CP}}$	MCLRE	$\overline{\text{PWRTE}}$	WDTE	FOSC2	FOSC1	FOSC0	—	—

图注：　看门狗定时器不使用阴影单元。
注　1：　关于配置字寄存器中所有位的操作，请参见寄存器 11-1。

© 2007 Microchip Technology Inc.

11.6 掉电模式（休眠）

通过执行 SLEEP 指令可进入掉电模式。

如果使能看门狗定时器：

- WDT 将被清零并保持运行。
- 状态寄存器中的 $\overline{PD}$ 位被清零。
- $\overline{TO}$ 位被置 1。
- 关闭振荡器驱动器。
- I/O 端口保持执行 SLEEP 指令之前的状态（驱动为高电平、低电平或高阻状态）。

为使这种模式下的电流消耗降至最低，所有 I/O 引脚都应保持为 VDD 或 VSS，以确保没有外部电路从 I/O 引脚消耗电流，同时应禁止比较器和 CVREF。为了避免输入引脚悬空而引入开关电流，应在外部将高阻输入的I/O引脚拉为高电平或低电平。为使电流消耗降至最低，T0CKI 输入也应保持为 VDD 或 VSS。还应考虑 PORTA 片上上拉的影响。

$\overline{MCLR}$ 引脚必须处于逻辑高电平。

注：	应该注意到WDT超时导致的复位并不会将 $\overline{MCLR}$ 引脚驱动为低电平。

11.6.1 从休眠状态唤醒

可以通过以下任一事件将器件从休眠状态唤醒：

1. $\overline{MCLR}$ 引脚上的外部复位输入。
2. 看门狗定时器唤醒（如果 WDT 使能）。
3. RA2/INT 引脚中断、 PORTA 电平变化中断或外设中断。

第一种事件会导致器件复位。后两种事件被认为是程序执行的继续。状态寄存器中的 $\overline{TO}$ 和 $\overline{PD}$ 位用于确定器件复位的原因。$\overline{PD}$ 位在上电时被置 1，而在执行 SLEEP 指令时被清零。 $\overline{TO}$ 位在发生 WDT 唤醒时被清零。

下列外设中断可以将器件从休眠状态唤醒：

1. TMR1 中断。 Timer1 必须用作异步计数器。
2. ECCP 捕捉模式中断。
3. A/D 转换（当 A/D 时钟源为 FRC 时）。
4. EEPROM 写操作完成。
5. 比较器输出状态变化。
6. 电平变化中断。
7. 来自 INT 引脚的外部中断。
8. EUSART 间隔检测， I^2C 从动。

由于在休眠期间没有片上时钟处于工作状态，因此其他外设不能产生中断。

当执行 SLEEP 指令时，下一条指令（PC + 1）将预先取出。如果希望通过中断事件唤醒器件，则必须将相应的中断允许位置 1（使能）。发生唤醒与 GIE 位的状态无关。如果 GIE 位被清零（禁止），器件将继续执行 SLEEP 指令之后的指令。如果 GIE 位被置 1（使能），器件执行 SLEEP 指令之后的指令，然后跳转到中断地址（0004h）处执行代码。如果不希望执行 SLEEP 指令之后的指令，用户应该在 SLEEP 指令后面放置一条 NOP 指令。

注：	如果禁止了全局中断（GIE 被清零），但有任一中断源将其中断允许位以及相应的中断标志位置 1，器件将立即从休眠状态唤醒。 SLEEP 指令执行完成。

器件从休眠状态唤醒时， WDT 都将被清零，而与唤醒原因无关。

11.6.2 使用中断唤醒

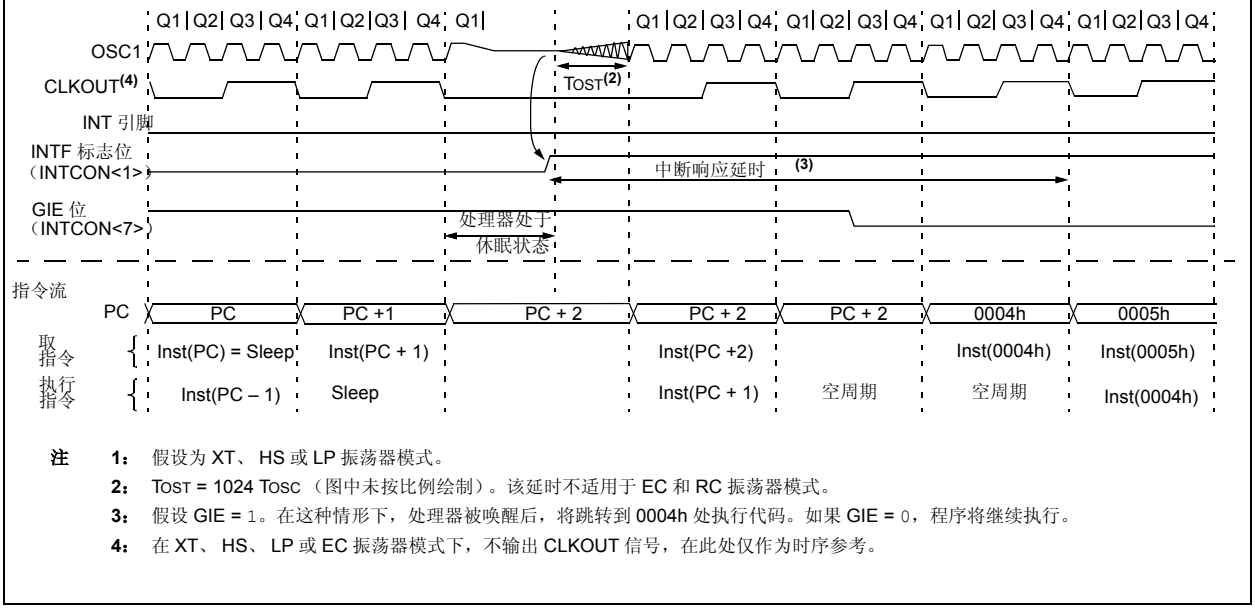
当禁止全局中断（GIE 被清零）时，并且有任一中断源将其中断允许位和中断标志位置 1，将会发生下列事件之一：

- 如果在执行SLEEP**之前**产生了中断，那么SLEEP指令将被作为一条 NOP 指令执行。因此， WDT 及其预分频器和后分频器（如果使能）将不会被清零，并且 $\overline{TO}$ 位将不会被置 1，同时 $\overline{PD}$ 位也不会被清零。
- 如果在执行 SLEEP 指令**期间或之后**产生了中断，那么器件将被立即从休眠状态唤醒。 SLEEP 指令将在唤醒之前执行完毕。因此， WDT 及其预分频器和后分频器（如果使能）将被清零，并且 $\overline{TO}$ 位将被置 1，同时 $\overline{PD}$ 位也将被清零。

即使在执行 SLEEP 指令之前，检查到标志位为 0，它也可能在 SLEEP 指令执行完毕之前被置 1。要确定是否执行了 SLEEP 指令，可测试 $\overline{PD}$ 位。如果 $\overline{PD}$ 位置 1，则说明 SLEEP 指令被当作一条 NOP 指令执行了。

在执行 SLEEP 指令之前，必须先执行一条 CLRWDT 指令，来确保将 WDT 清零。

图 11-10：　　通过中断将器件从休眠状态唤醒



注　**1：** 假设为 XT、 HS 或 LP 振荡器模式。

2： TOST = 1024 TOSC （图中未按比例绘制）。该延时不适用于 EC 和 RC 振荡器模式。

3： 假设 GIE = 1。在这种情形下，处理器被唤醒后，将跳转到 0004h 处执行代码。如果 GIE = 0，程序将继续执行。

4： 在 XT、 HS、 LP 或 EC 振荡器模式下，不输出 CLKOUT 信号，在此处仅作为时序参考。

11.7　代码保护

如果代码保护位未编程，验证时可以通过使用ICSP™将片上程序存储器读出。

注：　当关闭代码保护功能时，将擦除整个数据 EEPROM 和闪存程序存储器的内容。更多信息，请参见“*PIC12F6XX/16F6XX Memory Programming Specification*”（DS41204）。

11.8　ID 地址单元

有 4 个存储器单元（2000h - 2003h）被指定为 ID 地址单元，供用户存储校验和或其他代码标识号。在正常执行过程中不能访问这些单元，但可在编程 / 校验模式下对它们进行读写。只使用了 ID 地址单元的低 7 位。

© 2007 Microchip Technology Inc.

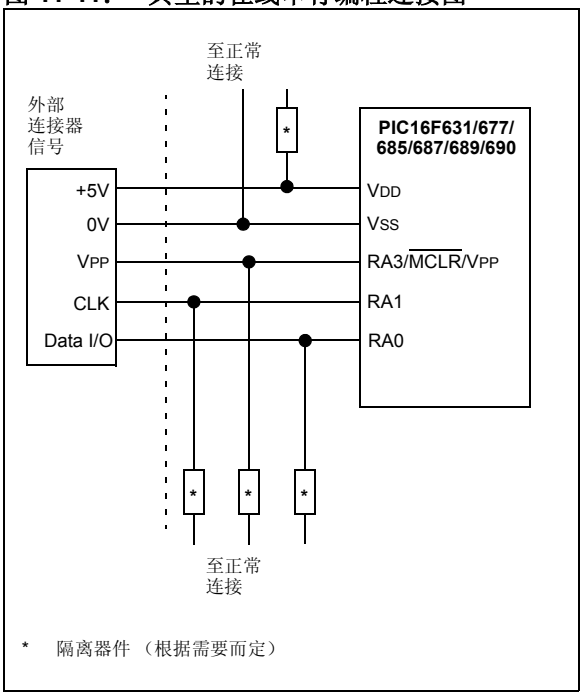
11.9 在线串行编程

这允许用户使用未编程器件制造电路板，而仅在产品交付前才对单片机进行编程。这样还使最新固件或定制固件得以编程到器件中。

通过将RA0和RA1引脚保持为低电平，并同时将$\overline{MCLR}$（VPP）引脚电平从 VIL 升到 VIHH，可将器件置于编程 / 校验模式。更多信息，请参见 *"PIC12F6XX/16F6XX Memory Programming Specification"*（DS41204）。RA0 变成编程数据引脚，而 RA1 变成编程时钟引脚。在此模式下，RA0 和 RA1 均为施密特触发器输入引脚。

图 11-11 给出了典型的在线串行编程连接图。

图 11-11： 典型的在线串行编程连接图



11.10 在线调试

由于在线调试需要访问数据和 $\overline{MCLR}$ 引脚，在实践中无法使用带有 14 引脚器件的 MPLAB® ICD 2 进行开发。我们使用了一枚特殊的 20 引脚 PIC16F688 ICD 器件与 MPLAB ICD 2 配合以提供独立的时钟、数据和 $\overline{MCLR}$ 引脚，并腾出所有通常有的引脚供用户使用。

有一个特殊的调试适配器，可让 ICD 器件替代 PIC16F688 器件。调试适配器是 ICD 器件的惟一资源。

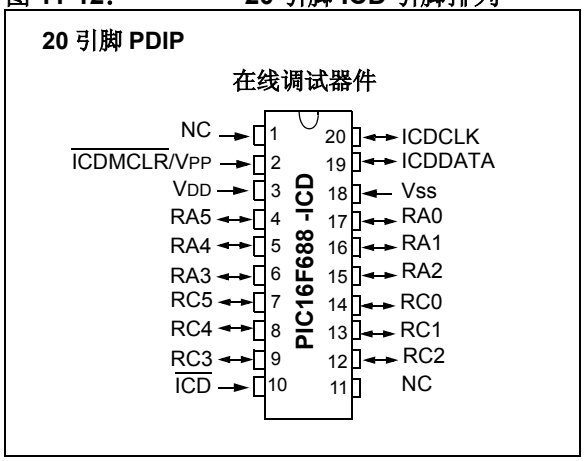
当 PIC16F688 ICD 器件上的 $\overline{ICD}$ 引脚保持为低电平，在线调试功能就被使能。此功能与 MPLAB ICD 2 配合使用时可进行简单的调试。使能单片机的此功能时，有些资源就无法使用了。表 11-9 所示为后台调试器所使用的功能：

表 11-9： 调试器资源

资源	说明
I/O 引脚	ICDCLK 和 ICDDATA
堆栈	1 级
程序存储器	地址 0h 必须为 NOP 700h-7FFh

更多信息，请参见《MPLAB® ICD 2 在线调试器用户指南》（DS51331A_CN），此指南可从 Microchip 网站下载（www.microchip.com）。

图 11-12： 20 引脚 ICD 引脚排列



注：

© 2007 Microchip Technology Inc.

12.0 指令集汇总

PIC16F688 指令集具有高度正交性，由以下三种基本类型的指令组成：

- **字节**操作类指令
- **位**操作类指令
- **立即数和控制**操作类指令

每一条 PIC16 指令字长是 14 位，由说明指令类型的**操作码**和进一步说明指令具体操作的一个或多个**操作数**组成。图 12-1 给出了上述各种类型的指令格式，表 12-1 给出了不同操作码字段的说明。

表 12-1 列出了 MPASM™ 汇编器可识别的指令。

对于**字节**操作类指令，“f”表示文件寄存器标识符，“d”表示目标寄存器标识符。文件寄存器标识符指定了指令使用的文件寄存器。

目标标识符指定了操作结果的存放位置。如果“d”为 0，操作结果存入 W 寄存器。如果“d”为 1，操作结果存入指令指定的文件寄存器。

对于**位**操作类指令，“b”表示位段标识符，它可选择受到操作影响的位，而“f”表示该位所处的文件寄存器地址。

对于**立即数和控制**操作类指令，“k”表示一个 8 位或 11 位的常数或立即数。

每个指令周期由 4 个振荡器周期组成；因此，对于频率为 4 MHz 的振荡器，正常的指令执行时间为 1 µs。除非条件测试为真或指令的结果改变了程序计数器的值，所有的指令在一个指令周期内执行完成。如果条件测试为真或指令的结果改变了程序计数器的值，指令执行需要两个指令周期，在第二个周期内执行一条 NOP 指令。

注：	为了与未来产品向上兼容，请不要使用 OPTION 和 TRIS 指令。

所有指令示例均使用“0xhh”来表示一个十六进制数，其中“h”表示一个十六进制数。

12.1 读－修改－写操作

任何一个将文件寄存器指定为指令的一部分的指令都进行读－修改－写（RMW）操作。读寄存器、修改数据并根据指令或目标标识符“d”存储结果。即使指令写入该寄存器，还是会发生对寄存器的读操作。

例如，CLRF PORTA 指令将读取 PORTA，清除所有数据位，然后把结果写回到 PORTA。这个示例中会产生意外后果，即清除将 RABIF 标志位置 1 的条件。

表 12-1： 操作码字段说明

字段	说明
f	寄存器文件地址（0x00 至 0x7F）
W	工作寄存器（累加器）
b	8 位文件寄存器内的位地址
k	立即数、常数或标号
x	无关位（=0 或 1）。 汇编器将在 x =0 时生成代码。建议使用这种形式，以便与所有 Microchip 软件工具兼容。
d	目标寄存器选择；d = 0：结果存入 W， d = 1：结果存入文件寄存器 f。 缺省值 d = 1。
PC	程序计数器
$\overline{TO}$	超时标志位
C	进位位
DC	半进位位
Z	零标志位
$\overline{PD}$	掉电标志位

图 12-1： 指令的一般格式

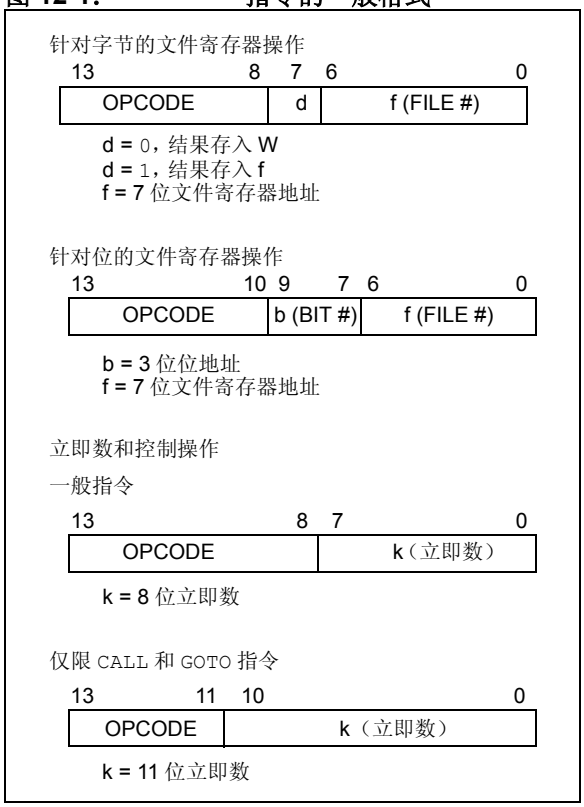


表 12-2： PIC16F688 指令集

助记符，操作数		说明	周期	14 位操作码 MSb LSb	影响的状态位	注释
针对字节的文件寄存器操作						
ADDWF	f, d	W 与 f 相加	1	00 0111 dfff ffff	C, DC, Z	**1, 2**
ANDWF	f, d	W 与 f 相与	1	00 0101 dfff ffff	Z	**1, 2**
CLRF	f	将 f 清零	1	00 0001 lfff ffff	Z	**2**
CLRW	–	将 W 清零	1	00 0001 0xxx xxxx	Z	
COMF	f, d	求 f 的补码	1	00 1001 dfff ffff	Z	**1, 2**
DECF	f, d	f 减 1 操作	1	00 0011 dfff ffff	Z	**1, 2**
DECFSZ	f, d	f 减 1 操作，若为 0 则跳过	1**(2)**	00 1011 dfff ffff		**1, 2, 3**
INCF	f, d	f 加 1 操作	1	00 1010 dfff ffff	Z	**1, 2**
INCFSZ	f, d	f 加 1 操作，若为 0 则跳过	1**(2)**	00 1111 dfff ffff		**1, 2, 3**
IORWF	f, d	W 与 f 同或	1	00 0100 dfff ffff	Z	**1, 2**
MOVF	f, d	传送 f	1	00 1000 dfff ffff	Z	**1, 2**
MOVWF	f	将 W 送至 f	1	00 0000 lfff ffff		
NOP	–	空操作	1	00 0000 0xx0 0000		
RLF	f, d	f 寄存器带进位位左循环	1	00 1101 dfff ffff	C	**1, 2**
RRF	f, d	f 寄存器带进位位右循环	1	00 1100 dfff ffff	C	**1, 2**
SUBWF	f, d	f 减 W	1	00 0010 dfff ffff	C, DC, Z	**1, 2**
SWAPF	f, d	f 半字节交换	1	00 1110 dfff ffff		**1, 2**
XORWF	f, d	W 与 f 异或	1	00 0110 dfff ffff	Z	**1, 2**
针对位的文件寄存器操作						
BCF	f, b	将 f 位清零	1	01 00bb bfff ffff		**1, 2**
BSF	f, b	将 f 位置 1	1	01 01bb bfff ffff		**1, 2**
BTFSC	f, b	测试 f 位，若为 0 则跳过	1 **(2)**	01 10bb bfff ffff		**3**
BTFSS	f, b	测试 f 位，若为 1 则跳过	1 **(2)**	01 11bb bfff ffff		**3**
立即数和控制操作						
ADDLW	k	立即数与 W 相加	1	11 111x kkkk kkkk	C, DC, Z	
ANDLW	k	立即数与 W 相与	1	11 1001 kkkk kkkk	Z	
CALL	k	调用子程序	2	10 0kkk kkkk kkkk		
CLRWDT	–	清零看门狗定时器	1	00 0000 0110 0100	$\overline{TO}$, $\overline{PD}$	
GOTO	k	转移	2	10 1kkk kkkk kkkk		
IORLW	k	立即数与 W 同或	1	11 1000 kkkk kkkk	Z	
MOVLW	k	立即数移至 W	1	11 00xx kkkk kkkk		
RETFIE	–	中断返回	2	00 0000 0000 1001		
RETLW	k	立即数送到 W 中返回	2	11 01xx kkkk kkkk		
RETURN	–	从子程序返回	2	00 0000 0000 1000		
SLEEP	–	进入待机模式	1	00 0000 0110 0011	$\overline{TO}$, $\overline{PD}$	
SUBLW	k	立即数减 W	1	11 110x kkkk kkkk	C, DC, Z	
XORLW	k	立即数与 W 异或	1	11 1010 kkkk kkkk	Z	

注 1： 当 I/O 寄存器作为其自身的函数被修改时 （例如， MOVF GPIO, 1），所使用的值是引脚的当前值。例如，如果在配置为输入的引脚上，数据锁存值为 1，并被外部器件驱动为低电平，那么被写回的数据值将为 0。

2： 如果指令在 TMR0 寄存器上执行 （且适当时 d = 1），分配给 Timer0 模块的预分频器将被清零。

3： 如果程序计数器 （PC）被修改或条件测试为真，则指令的执行需要两个周期。第二个周期执行一条 NOP 指令。

© 2007 Microchip Technology Inc.

12.2 指令说明

ADDLW **立即数与 W 相加**

语法：	[*标号*] ADDLW k
操作数：	0 ≤ k ≤ 255
操作：	(W) + k → (W)
影响的状态位：	C， DC， Z
说明：	将 W 寄存器的内容与 8 位立即数 k 相加，结果存入 W 寄存器。

ADDWF **W 与 f 相加**

语法：	[*标号*] ADDWF f,d
操作数：	0 ≤ f ≤ 127 d ∈ [0,1]
操作：	(W) + (f) →(目标寄存器)
影响的状态位：	C， DC， Z
说明：	将 W 寄存器与 f 寄存器的内容相加。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。

ANDLW **立即数与 W 相与**

语法：	[*标号*] ANDLW k
操作数：	0 ≤ k ≤ 255
操作：	((W) .AND. (k) → (W)
影响的状态位：	Z
说明：	将 W 寄存器的内容与 8 位立即数 k 相与。结果存入 W 寄存器。

ANDWF **W 与 f 相与**

语法：	[*标号*] ANDWF f,d
操作数：	0 ≤ f ≤ 127 d ∈ [0,1]
操作：	(W) .AND. (f) →(目标寄存器)
影响的状态位：	Z
说明：	将 W 寄存器与 f 寄存器的内容相与。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。

BCF **将 f 位清零**

语法：	[*标号*] BCF f,b
操作数：	0 ≤ f ≤ 127 0 ≤ b ≤ 7
操作：	0 → (f<b>)
影响的状态位：	无
说明：	f 寄存器的第 b 位被清零。

BSF **将 f 位置 1**

语法：	[*标号*] BSF f,b
操作数：	0 ≤ f ≤ 127 0 ≤ b ≤ 7
操作：	1 → (f<b>)
影响的状态位：	无
说明：	f 寄存器的第 b 位被置 1。

BTFSC **测试 f 位，若为 0 则跳过**

语法：	[*标号*] BTFSC f,b
操作数：	0 ≤ f ≤ 127 0 ≤ b ≤ 7
操作：	如果 (f<b>) = 0，则跳过
影响的状态位：	无
说明：	如果 f 寄存器的第 b 位为 1，则执行下一条指令。 如果 f 寄存器的第 b 位为 0，则放弃下一条指令，代之执行一条 NOP 指令，使之成为一条双周期指令。

BTFSS **测试 f 位，若为 1 则跳过**

语法：	[*标号*] BTFSS f,b
操作数：	0 ≤ f ≤ 127 0 ≤ b < 7
操作：	如果 (f<b>) = 1，则跳过
影响的状态位：	无
说明：	如果 f 寄存器的第 b 位为 0，则执行下一条指令。 如果 f 寄存器的第 b 位为 1，则放弃下一条指令，代之执行一条 NOP 指令，使之成为一条双周期指令。

CALL **调用子程序**

语法：	[*标号*] CALL k
操作数：	0 ≤ k ≤ 2047
操作：	(PC)+ 1→ TOS， k → PC<10:0>， (PCLATH<4:3>) → PC<12:11>
影响的状态位：	无
说明：	调用子程序。首先，返回的地址值 （PC+1）被压入堆栈。 11 位直接寻址值被载入 PC 的 <10:0> 位。 PC 的高位值从 PCLATH 载入。 CALL 是一条双周期指令。

CLRF **将 f 清零**

语法：	[*标号*] CLRF f
操作数：	0 ≤ f ≤ 127
操作：	00h → (f) 1 → Z
影响的状态位：	Z
说明：	f 寄存器的内容被清零，并且 Z 位被置 1。

CLRW **将 W 清零**

语法：	[*标号*] CLRW
操作数：	无
操作：	00h → (W) 1 → Z
影响的状态位：	Z
说明：	W 寄存器清零。零标志位 （Z）被置 1。

CLRWDT **清零看门狗定时器**

语法：	[*标号*] CLRWDT
操作数：	无
操作：	00h → WDT 0 → WDT 预分频器， 1 → $\overline{TO}$ 1 → $\overline{PD}$
影响的状态位：	$\overline{TO}$， $\overline{PD}$
说明：	CLRWDT 指令将看门狗定时器复位，同时将 WDT 的预分频器复位。 状态位 $\overline{TO}$ 和 $\overline{PD}$ 都被置 1。

COMF **求 f 的补码**

语法：	[*标号*] COMF f,d
操作数：	0 ≤ f ≤ 127 d ∈ [0,1]
操作：	($\bar{f}$) →(目标寄存器)
影响的状态位：	Z
说明：	对 f 寄存器的内容求补。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。

DECF **f 减 1 操作**

语法：	[*标号*] DECF f,d
操作数：	0 ≤ f ≤ 127 d ∈ [0,1]
操作：	(f) - 1 →(目标寄存器)
影响的状态位：	Z
说明：	对 f 寄存器的内容进行减 1 操作。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。

© 2007 Microchip Technology Inc.

DECFSZ **f 减 1 操作，若为 0 则跳过**

语法：	[*标号*] DECFSZ f,d
操作数：	0 ≤ f ≤ 127 d ∈ [0,1]
操作：	(f) - 1 →(目标寄存器) 如果结果 = 0 则跳过
影响的状态位：	无
说明：	对 f 寄存器的内容进行减 1 操作。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。如果结果为 1，执行下一条指令。如果结果为 0，代之执行一条 NOP 指令，使之成为一条双周期指令。

GOTO **无条件转移**

语法：	[*标号*] GOTO k
操作数：	0 ≤ k ≤ 2047
操作：	k → PC<10:0> PCLATH<4:3> → PC<12:11>
影响的状态位：	无
说明：	GOTO 是一条无条件转移指令。 11 位立即值被载入 PC 的 <10:0> 位。 PC 的高位从 PCLATH<4:3> 载入。 GOTO 是一条双周期指令。

INCF **f 加 1 操作**

语法：	[*标号*] INCF f,d
操作数：	0 ≤ f ≤ 127 d ∈ [0,1]
操作：	(f) + 1 →(目标寄存器)
影响的状态位：	Z
说明：	对 f 寄存器的内容进行加 1 操作。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。

INCFSZ **f 加 1 操作，若为 0 则跳过**

语法：	[*标号*] INCFSZ f,d
操作数：	0 ≤ f ≤ 127 d ∈ [0,1]
操作：	(f) + 1 →(目标寄存器)， 如果结果 = 0 则跳过
影响的状态位：	无
说明：	对 f 寄存器的内容进行加 1 操作。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。如果结果为 1，执行下一条指令。如果结果为 0，代之执行一条 NOP 指令，使之成为一条双周期指令。

IORLW **立即数与 W 同或**

语法：	[*标号*] IORLW k
操作数：	0 ≤ k ≤ 255
操作：	(W) .OR. k → (W)
影响的状态位：	Z
说明：	W 寄存器的内容与 8 位立即数 k 进行同或运算。结果存入 W 寄存器。

IORWF **W 与 f 同或**

语法：	[*标号*] IORWF f,d
操作数：	0 ≤ f ≤ 127 d ∈ [0,1]
操作：	(W) .OR. (f) →(目标寄存器)
影响的状态位：	Z
说明：	W 寄存器与 f 寄存器的内容进行同或运算。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。

MOVF **传送 f**

语法： [*标号*] MOVF f,d

操作数： 0 ≤ f ≤ 127
d ∈ [0,1]

操作： (f) →(目标寄存器)

影响的状态位： Z

说明： 根据 d 的状态， f 寄存器的内容被传送到目标寄存器。如果 d = 0，目标寄存器为 W 寄存器。如果 d = 1，目标寄存器为文件寄存器 f 本身。由于状态标志位 Z 要受影响，可用 d = 1 对文件寄存器进行检测。

字： 1

周期： 1

示例
```
MOVF    FSR, 0
```
指令执行后
W = FSR 寄存器的值
Z = 1

MOVWF **将 W 送至 f**

语法： [*标号*] MOVWF f

操作数： 0 ≤ f ≤ 127

操作： (W) → (f)

影响的状态位： 无

说明： 将 W 寄存器的数据送入 f 寄存器。

字： 1

周期： 1

示例
```
MOVW    OPTION
F
```
指令执行前
OPTION = 0xFF
W = 0x4F
指令执行后
OPTION = 0x4F
W = 0x4F

MOVLW **立即数移至 W**

语法： [*标号*] MOVLW k

操作数： 0 ≤ k ≤ 255

操作： k → (W)

影响的状态位： 无

说明： 将 8 位立即数 k 载入 W 寄存器。其余无关位均为 0。

字： 1

周期： 1

示例
```
MOVLW   0x5A
```
指令执行后
W = 0x5A

NOP **空操作**

语法： [*标号*] NOP

操作数： 无

操作： 空操作

影响的状态位： 无

说明： 空操作。

字： 1

周期： 1

示例
```
NOP
```


© 2007 Microchip Technology Inc.

RETFIE **中断返回**

语法： [*标号*] RETFIE

操作数： 无

操作： TOS →PC，
1 → GIE

影响的状态位： 无

说明： 从中断返回。进行出栈操作，栈顶（TOS）载入 PC。通过设置全局中断允许位 GIE（INTCON<7>），允许中断。这是一条双周期指令。

字： 1

周期： 2

示例
```
RETFIE
```
中断后
PC = TOS
GIE = 1

RETLW **立即数送到 W 中返回**

语法： [*标号*] RETLW k

操作数： 0 ≤ k ≤ 255

操作： k → (W)，
TOS → PC

影响的状态位： 无

说明： W 寄存器装入 8 位立即数 k。堆栈的栈顶地址（返回地址）载入程序计数器。这是一条双周期指令。

字： 1

周期： 2

示例
```
CALL TABLE;W contains
       ;table
       ;offset value
TABLE  ;W now has
•      ;table value
•
•
ADDWF PC;W = offset
RETLW k1;Begin table
RETLW k2;
•
•
•
RETLW kn ;End of table
```
中断前
W = 0x07
中断后
W = k8 的值

RETURN **从子程序返回**

语法： [*标号*] RETURN

操作数： 无

操作： TOS → PC

影响的状态位： 无

说明： 从子程序返回。进行出栈操作，栈顶（TOS）载入程序计数器。这是一条双周期指令。

RLF **寄存器带进位位左循环**

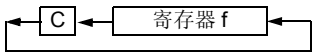
语法： [*标号*] RLF f,d

操作数： 0 ≤ f ≤ 127
d ∈ [0,1]

操作： 见如下说明

影响的状态位： C

说明： f 寄存器的内容带进位标志位向左循环一位。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。



字： 1

周期： 1

示例

```
RLF     REG1,0
```

中断前

```
REG1    =   1110 0110
C       =   0
```

中断后

```
REG1    =   1110 0110
W       =   1100 1100
C       =   1
```

SLEEP **进入休眠模式**

语法： [*标号*] SLEEP

操作数： 无

操作： 00h → WDT，
0 → WDT 预分频器，
1 → $\overline{TO}$，
0 → $\overline{PD}$

影响的状态位： $\overline{TO}$， $\overline{PD}$

说明： 掉电状态位 $\overline{PD}$ 被清零。超时状态位 $\overline{TO}$ 被置 1。看门狗定时器及其预分频器被清零。
振荡器停止工作，处理器进入休眠模式。

RRF **f 寄存器带进位位右循环**

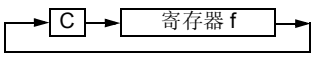
语法： [*标号*] RRF f,d

操作数： 0 ≤ f ≤ 127
d ∈ [0,1]

操作： 见如下说明

影响的状态位： C

说明： f 寄存器的内容带进位标志位向右循环一位。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。



SUBLW **立即数减 W**

语法： [*标号*] SUBLW k

操作数： 0 ≤ k ≤ 255

操作： k - (W) → (W)

影响的状态位： C， DC， Z

说明： 8 位立即数 k 减去 W 寄存器的内容（二进制补码）。结果存入 W 寄存器。

C = 0	W > k
C = 1	W ≤ k
DC = 0	W<3:0> > k<3:0>
DC = 1	W<3:0> ≤ k<3:0>

© 2007 Microchip Technology Inc.

SUBWF **f 减 W**

语法： [*标号*] SUBWF f,d

操作数： 0 ≤ f ≤ 127
d ∈ [0,1]

操作： (f) - (W) → (目标寄存器)

影响的状态位： C， DC， Z

说明： f 寄存器内容减去 W 寄存器 （二进制补码）。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。

C = 0	W > f
C = 1	W ≤ f
DC = 0	W<3:0> > f<3:0>
DC = 1	W<3:0> ≤ f<3:0>

SWAPF **f 半字节交换**

语法： [*标号*] SWAPF f,d

操作数： 0 ≤ f ≤ 127
d ∈ [0,1]

操作： (f<3:0>) → (目标寄存器 <7:4>),
(f<7:4>) → (目标寄存器 <3:0>)

影响的状态位： 无

说明： f 寄存器的高半字节和低半字节相互交换。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。

XORLW **立即数与 W 异或**

语法： [*标号*] XORLW k

操作数： 0 ≤ k ≤ 255

操作： (W) .XOR. k → (W)

影响的状态位： Z

说明： W 寄存器的内容与 8 位立即数 k 进行异或运算。结果存入 W 寄存器。

XORWF **W 与 f 异或**

语法： [*标号*] XORWF f,d

操作数： 0 ≤ f ≤ 127
d ∈ [0,1]

操作： (W) .XOR. (f) → (目标寄存器)

影响的状态位： Z

说明： W 寄存器与 f 寄存器的内容进行异或运算。如果 d 为 0，结果存入 W 寄存器。如果 d 为 1，结果存回 f 寄存器。

注：

© 2007 Microchip Technology Inc.

13.0 开发支持

一系列硬件及软件开发工具对 PIC® 单片机提供支持：

- 集成开发环境
  - MPLAB® IDE 软件
- 汇编器 / 编译器 / 链接器
  - MPASM™ 汇编器
  - MPLAB C18 和 MPLAB C30 C 编译器
  - MPLINK™ 目标链接器 / MPLIB™ 目标库管理器
  - MPLAB ASM30 汇编器 / 链接器 / 库
- 模拟器
  - MPLAB SIM 软件模拟器
- 仿真器
  - MPLAB ICE 2000 在线仿真器
  - MPLAB REAL ICE™ 在线仿真器
- 在线调试器
  - MPLAB ICD 2
- 器件编程器
  - PICSTART® Plus 开发编程器
  - MPLAB PM3 器件编程器
  - PICkit™ 2 开发编程器
- 低成本演示和开发板及评估工具包

13.1 MPLAB 集成开发环境软件

MPLAB IDE 软件为 8/16 位单片机市场提供了前所未有的易于使用的软件开发平台。MPLAB IDE 是基于 Windows® 操作系统的应用软件，包括：

- 一个包含所有调试工具的图形界面
  - 模拟器
  - 编程器 （单独销售）
  - 仿真器 （单独销售）
  - 在线调试器 （单独销售）
- 具有彩色上下文代码显示的全功能编辑器
- 多项目管理器
- 内容可直接编辑的可定制式数据窗口
- 高级源代码调试
- 可视化器件初始化程序，便于进行寄存器的初始化
- 鼠标停留在变量上进行查看的功能
- 通过拖放把变量从源代码窗口拉到观察窗口
- 丰富的在线帮助
- 集成了可选的第三方工具，如 HI-TECH 软件 C 编译器和 IAR C 编译器

MPLAB IDE 可以让您：

- 编辑源文件 （汇编语言或 C 语言）
- 点击一次即可完成汇编 （或编译）并将代码下载到 PIC MCU 仿真器和模拟器工具中 （自动更新所有项目信息）
- 可使用如下各项进行调试：
  - 源文件 （汇编语言或 C 语言）
  - 混合汇编语言和 C 语言
  - 机器码

MPLAB IDE 在单个开发范例中支持使用多种调试工具，包括从成本效益高的模拟器到低成本的在线调试器，再到全功能的仿真器。这样缩短了用户升级到更加灵活而功能更强大的工具时的学习时间。

13.2 MPASM 汇编器

MPASM 汇编器是全功能通用宏汇编器，适用于所有的 PIC MCU。

MPASM 汇编器可生成用于 MPLINK 目标链接器的可重定位目标文件、Intel® 标准 HEX 文件、详细描述存储器使用状况和符号参考的 MAP 文件、包含源代码行及生成机器码的绝对 LST 文件以及用于调试的 COFF 文件。

MPASM 汇编器具有如下特征：

- 集成在 MPLAB IDE 项目中
- 用户定义的宏可简化汇编代码
- 对多用途源文件进行条件汇编
- 允许完全控制汇编过程的指令

13.3 MPLAB C18 和 MPLAB C30 C 编译器

MPLAB C18 和 MPLAB C30 代码开发系统是完全的 ANSI C 编译器，分别适用于 Microchip 的 PIC18 和 PIC24 系列单片机及 dsPIC30F 和 dsPIC33 系列数字信号控制器。这些编译器可提供其他编译器并不具备的强大的集成功能和出众的代码优化能力，且使用方便。

为便于源代码调试，编译器提供了针对 MPLAB IDE 调试器的优化符号信息。

13.4 MPLINK 目标链接器 / MPLIB 目标库管理器

MPLINK 目标链接器包含了由 MPASM 汇编器、MPLAB C18 C 编译器产生的可重定位目标。通过使用链接器脚本中的指令，它还可链接预编译库中的可重定位目标。

MPLIB目标库管理器管理预编译代码库文件的创建和修改。当从源文件调用库中的一段子程序时，只有包含此子程序的模块被链接到应用中。这样可使大型库在许多不同应用中被高效地利用。

目标链接器 / 库管理器具有如下特征：

- 高效地连接单个的库而不是许多小文件
- 通过将相关的模块组合在一起来增强代码的可维护性
- 只要列出、替换、删除和抽取模块，便可灵活地创建库

13.5 MPLAB ASM30 汇编器、链接器和库管理器

MPLAB ASM30 汇编器为 dsPIC30F 器件提供转换自符号汇编语言的可重定位机器码。 MPLAB C30 C 编译器使用该汇编器生成目标文件。汇编器产生可重定位目标文件之后，可将这些目标文件存档，或与其他可重定位目标文件和存档链接以生成可执行文件。该汇编器有如下显著特征：

- 支持整个 dsPIC30F 指令集
- 支持定点数据和浮点数据
- 命令行界面
- 丰富的指令集
- 灵活的宏语言
- MPLAB IDE 兼容性

13.6 MPLAB SIM 软件模拟器

MPLAB SIM软件模拟器在指令级对PIC MCU和dsPIC® DSC 进行模拟，使得用户可以在 PC 主机的环境下进行代码开发。对于任何给定的指令，用户均可对数据区进行检查或修改，并通过各种触发机制来产生激励。可以将各寄存器的情况记录在文件中，以便进行进一步地运行时分析。跟踪缓冲器和逻辑分析器的显示使模拟器还能记录和跟踪程序的执行、 I/O 的动作、大部分的外设及内部寄存器的状况。

MPLAB SIM 软件模拟器完全支持使用 MPLAB C18 和 MPLAB C30 C 编译器以及MPASM和MAPLAB ASM30 汇编器的符号调试。该软件模拟器可用于在硬件实验室环境外灵活地开发和调试代码，是一款完美且经济的软件开发工具。

© 2007 Microchip Technology Inc.

13.7 MPLAB ICE 2000 高性能在线仿真器

MPLAB ICE 2000 在线仿真器旨在为产品开发工程师提供一整套用于 PIC 单片机的设计工具。 MPLAB ICE 2000 在线仿真器的软件控制由 MPLAB 集成开发环境平台提供，它允许在单一环境下进行编辑、编译、下载以及源代码调试。

MPLAB ICE 2000 是全功能仿真器系统，它具有增强的跟踪、触发和数据监控功能。处理器模块可插拔，使系统可轻松进行重新配置以适应各种不同处理器的仿真需要。MPLAB ICE 2000 在线仿真器的架构允许对其进行扩展以支持新的 PIC 单片机。

MPLAB ICE 2000 在线仿真器系统设计为一款实时仿真系统，该仿真系统具备通常只有昂贵的开发工具中才有的高级功能。选择 PC 平台和 Microsoft® Windows® 32 位操作系统可使这些功能在一个简单而统一的应用中得到很好的利用。

13.8 MPLAB REAL ICE 在线仿真器系统

MPLAB REAL ICE在线仿真器系统是Microchip针对其闪存 DSC 和 MCU 器件而推出的新一代高速仿真器。结合 MPLAB 集成开发环境（IDE）所具有的易于使用且功能强大的图形用户界面，该仿真器可对 PIC® 闪存 MCU 和 dsPIC® DSC进行调试和编程。IDE 是随每个工具包一起提供的。

MPLAB REAL ICE 探针通过高速 USB 2.0 接口与设计工程师的 PC 相连，并利用与常用 MPLAB ICD 2 系统兼容的连接器 （RJ11）或新型抗噪声、高速低压差分信号（LVDS）互连电缆 （CAT5）与目标板相连。

可通过 MPLAB IDE 下载将来版本的固件，对 MPLAB REAL ICE 进行现场升级。在即将推出的 MPLAB IDE 版本中，会支持许多新器件，还将增加一些新特性，如软件断点和汇编代码跟踪等。在同类仿真器中， MPLAB REAL ICE 的优势十分明显：低成本、高速仿真、实时变量监视、跟踪分析、复杂断点、耐用的探针接口及较长（长达 3 米）的互连电缆。

13.9 MPLAB ICD 2 在线调试器

Microchip 的在线调试器 MPLAB ICD 2 是一款功能强大而成本低廉的运行时开发工具，通过 RS-232 或高速 USB 接口与 PC 主机相连。该工具基于闪存 PIC MCU，可用于开发本系列及其他 PIC MCU 和 dsPIC DSC。MPLAB ICD 2 使用了闪存器件中内建的在线调试功能。该功能结合 Microchip 的在线串行编程（In-Circuit Serial Programming™， ICSP™）协议，可在 MPLAB 集成开发环境的图形用户界面上提供成本效益很高的在线闪存调试。这使设计人员可通过设置断点、单步运行以及对变量、CPU 状态以及外设寄存器进行监视的方法实现源代码的开发和调试。其全速运行特性可对硬件和应用进行实时测试。 MPLAB ICD 2 还可用作某些 PIC 器件的开发编程器。

13.10 MPLAB PM3 器件编程器

MPLAB PM3 器件编程器是一款通用的、符合 CE 规范的器件编程器，其可编程电压设置在 VDDMIN 和 VDDMAX 之间时可靠性最高。它有一个用来显示菜单和错误信息的大 LCD 显示器（128 x 64），以及一个支持各种封装类型的可拆卸模块化插槽装置。编程器标准配置中带有一根 ICSP™ 电缆。在单机模式下， MPLAB PM3 器件编程器不必与 PC 相连即可对 PIC 器件进行读取、验证和编程。在该模式下它还可设置代码保护。 MPLAB PM3 通过 RS-232 或 USB 电缆连接到 PC 主机上。MPLAB PM3 具备高速通信能力以及优化算法，可对存储器很大的器件进行快速编程，它还采用 SD/MMC 卡用作文件存储及数据安全应用。

13.11 PICSTART Plus 开发编程器

PICSTART Plus开发编程器是一款易于使用而成本低廉的原型编程器。它通过 COM（RS-232）端口与 PC 相连。 MPLAB 集成开发环境软件使得该编程器的使用简便、高效。PICSTART Plus 开发编程器支持采用 DIP 封装的大部分 PIC 器件，其引脚数最多可达 40 个。引脚数更多的器件，如 PIC16C92X 和 PIC17C76X，可通过连接一个转接插槽来获得支持。PICSTART Plus 开发编程器符合 CE 规范。

13.12 PICkit 2 开发编程器

PICkit™ 2 开发编程器是一个低成本编程器；对于某些选定闪存器件，它也是一个调试器，通过其易于使用的接口可对众多 Microchip 的低档、中档和 PIC18F 系列闪存单片机进行编程。 PICkit 2 入门工具包中包含一个有实验布线区的开发板、十二堂系列课程、软件和 HI-TECH 的 PICC™ Lite C 编译器，有助于用户快速掌握 PIC® 单片机的使用。这一工具包为使用 Microchip 功能强大的中档闪存系列单片机进行编程、评估和应用开发，提供了所需的一切。

13.13 演示、开发和评估板

有许多演示、开发和评估板可用于各种 PIC MCU 和 dsPIC DSC，实现对全功能系统的快速应用开发。大多数的演示、开发和评估板都有实验布线区，供用户添加定制电路；还有应用固件和源代码，用于测试和修改。

这些板支持多种功能部件，包括 LED、温度传感器、开关、扬声器、 RS-232 接口、 LCD 显示器、电位计和附加 EEPROM 存储器。

演示和开发板可用于教学环境，在实验布线区设计定制电路，从而掌握各种单片机应用。

除了 PICDEM™ 和 dsPICDEM™ 演示 / 开发板系列电路外， Microchip 还有一系列评估工具包和演示软件，适用于模拟滤波器设计、 KEELOQ® 数据安全产品 IC、CAN、IrDA®、PowerSmart 电池管理、SEEVAL® 评估系统、 Σ–Δ ADC、流速传感器，等等。

有关演示、开发和评估工具包的完整列表，请查阅 Microchip 公司网页 （www.microchip.com）。

© 2007 Microchip Technology Inc.

14.0 电气规范

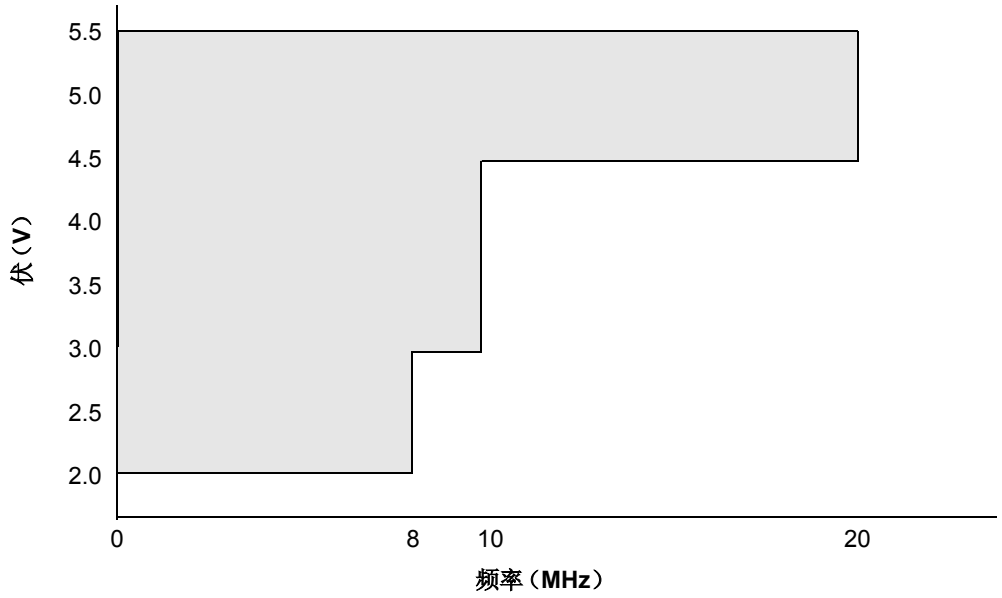
绝对极限参数值 (†)

偏置电压下的环境温度 ..... -40°C 至 +125°C
储存温度 ..... -65°C 至 +150°C
相对于 VSS 的 VDD 引脚电压 ..... -0.3V 至 +6.5V
相对于 Vss 的 $\overline{MCLR}$ 引脚电压 ..... -0.3V 至 +13.5V
相对于 VSS 的所有其他引脚电压 ..... -0.3V 至 (VDD + 0.3V)
总功耗 (1) ..... 800 mW
流出 VSS 引脚的最大电流 ..... 95 mA
流入 VDD 引脚的最大电流 ..... 95 mA
输入钳位电流， IIK （VI < 0 或 VI > VDD） ..... ±20 mA
输出钳位电流， IOK （Vo < 0 或 Vo >VDD） ..... ±20 mA
任一 I/O 引脚的最大输出灌电流 ..... 25 mA
任一 I/O 引脚的最大输出拉电流 ..... 25 mA
PORTA 和 PORTC （联合）最大灌电流 ..... 90 mA
PORTA 和 PORTC （联合）最大拉电流 ..... 90 mA

注 1： 功耗计算公式为：$P_{DIS} = V_{DD} \times \{I_{DD} - \sum I_{OH}\} + \sum \{(V_{DD} - V_{OH}) \times I_{OH}\} + \sum(V_{OL} \times I_{OL})$。

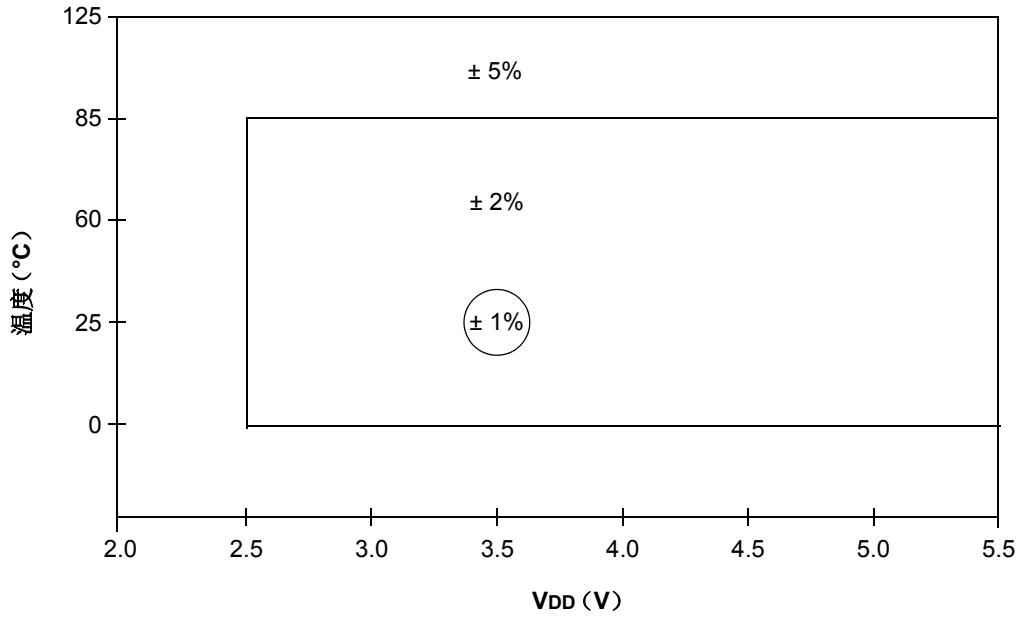
† 注意：如果运行条件超过了上述 “绝对极限参数值”，即可能对器件造成永久性损坏。上述值仅为运行条件的极大值，我们不建议器件运行在该规范范围以外。器件长时间工作在绝对极限参数条件下，其稳定性可能受到影响。

图 14-1：　　PIC16F688 电压－频率图， -40°C ≤TA ≤+125°C



注　1：阴影区域表示允许的电压频率组合。

图 14-2：　　器件 VDD 和温度范围内 HFINTOSC 频率精确度



© 2007 Microchip Technology Inc.

14.1 直流特性：PIC16F688 -I （工业级）， PIC16F688 -E （扩展级）

直流特性			标准运行条件 （除非另外说明） 工作温度 工业级为 -40°C ≤ TA ≤ +85°C 扩展级为 -40°C ≤ TA ≤ +125°C				
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
	VDD	供电电压	2.0	—	5.5	V	FOSC ≤ 8 MHz； HFINTOSC， EC
D001			2.0	—	5.5	V	FOSC ≤ 4 MHz
D001C			3.0	—	5.5	V	FOSC ≤ 10 MHz
D001D			4.5	—	5.5	V	FOSC ≤ 20 MHz
D002*	VDR	**RAM 数据保存电压 (1)**	1.5	—	—	V	器件处于休眠模式
D003	VPOR	确保内部上电复位信号的 **VDD 启动电压**	—	VSS	—	V	详情请参见**第 11.2.1 节 “上电复位（POR）”**。
D004*	SVDD	确保内部上电复位信号的 **VDD 上升速率**	0.05	—	—	V/ms	详情请参见**第 11.2.1 节 “上电复位（POR）”**。

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 这是在不丢失 RAM 数据的前提下，休眠模式中 VDD 所能降到的最小电压值。

14.2 直流特性：PIC16F688-I（工业级），PIC16F688 -E（扩展级）

直流特性		标准运行条件（除非另外说明） 工作温度 工业级为 -40°C ≤ TA ≤ +85°C 扩展级为 -40°C ≤ TA ≤ +125°C					
参数编号	器件特性	最小值	典型值 †	最大值	单位	条件	
						VDD	注
D010	供电电流（IDD）(1, 2)	—	16	23	μA	2.0	FOSC = 32 kHz LP 振荡模式
		—	27	38	μA	3.0	
		—	47	75	μA	5.0	
D011*		—	180	250	μA	2.0	FOSC = 1 MHz XT 振荡模式
		—	290	400	μA	3.0	
		—	490	650	μA	5.0	
D012		—	280	380	μA	2.0	FOSC = 4 MHz XT 振荡模式
		—	480	670	μA	3.0	
		—	0.9	1.4	mA	5.0	
D013*		—	130	220	μA	2.0	FOSC = 1 MHz EC 振荡模式
		—	215	360	μA	3.0	
		—	360	520	μA	5.0	
D014		—	220	340	μA	2.0	FOSC = 4 MHz EC 振荡模式
		—	375	550	μA	3.0	
		—	0.65	1.0	mA	5.0	
D015		—	8	20	μA	2.0	FOSC = 31 kHz INTRC 模式
		—	16	40	μA	3.0	
		—	31	65	μA	5.0	
D016*		—	320	400	μA	2.0	FOSC = 4 MHz INTOSC 模式
		—	490	640	μA	3.0	
		—	0.87	1.2	mA	5.0	
D017		—	0.5	0.7	mA	2.0	FOSC = 8 MHz HFINTOSC 模式
		—	0.78	1	mA	3.0	
		—	1.43	1.8	mA	5.0	
D018		—	340	580	μA	2.0	FOSC = 4 MHz EXTRC 模式
		—	550	950	μA	3.0	
		—	0.92	1.6	mA	5.0	
D019		—	2.9	3.7	mA	4.5	FOSC = 20 MHz HS 振荡模式
		—	3.1	3.8	mA	5.0	

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 上电工作模式下，所有 IDD 测量值的测试条件为：OSC1 = 外部方波，轨到轨摆幅；所有 I/O 引脚为三态引脚，上拉至 VDD； $\overline{MCLR}$ = VDD； WDT 禁止。

2： 供电电流主要受工作电压和频率的影响。其他因素，如 I/O 引脚负载和开关速率、振荡器类型、内部代码执行模式以及温度等，也会对电流消耗产生影响。

3： RC 振荡配置下，不包括流经 REX 的电流。流经该电阻的电流可由下式计算：
IR = VDD/2REXT（mA），REXT 单位为 kΩ。

© 2007 Microchip Technology Inc.

14.3 直流特性：PIC16F688-I（工业级）

直流特性		标准运行条件（除非另外说明） 工作温度 工业级为 -40°C ≤ TA ≤ +85°C					
参数编号	器件特性	最小值	典型值†	最大值	单位	条件	
						VDD	注
D020	掉电基本电流（IPD）(2)	—	0.05	1.2	μA	2.0	WDT、BOD、比较器、VREF 和 T1OSC 均被禁止
		—	0.15	1.5	μA	3.0	
		—	0.35	1.8	μA	5.0	
		—	150	500	nA	3.0	-40°C ≤ TA ≤ +25°C
D021		—	1.0	2.2	μA	2.0	WDT 电流 (1)
		—	2.0	4.0	μA	3.0	
		—	3.0	7.0	μA	5.0	
D022		—	42	60	μA	3.0	BOR 电流 (1)
		—	85	122	μA	5.0	
D023		—	32	45	μA	2.0	比较器电流 (1)，两个比较器均使能
		—	60	78	μA	3.0	
		—	120	160	μA	5.0	
D024		—	30	36	μA	2.0	CVREF 电流 (1)（高电压范围）
		—	45	55	μA	3.0	
		—	75	95	μA	5.0	
D025*		—	39	47	μA	2.0	CVREF 电流 (1)（低电压范围）
		—	59	72	μA	3.0	
		—	98	124	μA	5.0	
D026		—	4.5	7.0	μA	2.0	T1OSC 电流 (1)，32.768 kHz
		—	5.0	8.0	μA	3.0	
		—	6.0	12	μA	5.0	
D027		—	0.30	1.6	μA	3.0	A/D 电流 (1)，不在转换中
		—	0.36	1.9	μA	5.0	

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 外设电流为基本 IDD 或 IPD 与该外设使能时所额外消耗的电流之和。可通过从该极限值中减去基本 IDD 或 IPD，以确定外设 Δ 电流。在计算总电流消耗时应使用最大值。

2： 在休眠模式下，掉电电流并不取决于振荡器的类型。掉电电流的测量条件为器件处于休眠模式，且所有 I/O 引脚处于高阻状态并接至 VDD。

14.4 直流特性：PIC16F688-E（扩展级）

直流特性		标准运行条件（除非另外说明） 工作温度 扩展级，为 -40°C ≤ TA ≤ +125°C					
参数编号	器件特性	最小值	典型值†	最大值	单位	条件	
						VDD	注
D020E	供电电流（IDD）(2)	—	0.05	9	μA	2.0	WDT、BOD、比较器、VREF 和 T1OSC 均被禁止
		—	0.15	11	μA	3.0	
		—	0.35	15	μA	5.0	
D021E		—	1	28	μA	2.0	WDT 电流 (1)
		—	2	30	μA	3.0	
		—	3	35	μA	5.0	
D022E		—	42	65	μA	3.0	BOR 电流 (1)
		—	85	127	μA	5.0	
D023E		—	32	45	μA	2.0	比较器电流 (1)，两个比较器均使能
		—	60	78	μA	3.0	
		—	120	160	μA	5.0	
D024E		—	30	70	μA	2.0	CVREF 电流 (1)（高电压范围）
		—	45	90	μA	3.0	
		—	75	120	μA	5.0	
D025E*		—	39	91	μA	2.0	CVREF 电流 (1)（低电压范围）
		—	59	117	μA	3.0	
		—	98	156	μA	5.0	
D026E		—	4.5	25	μA	2.0	T1OSC 电流 (1)，32.768 kHz
		—	5	30	μA	3.0	
		—	6	40	μA	5.0	
D027E		—	0.30	12	μA	3.0	A/D 电流 (1)，不在转换中
		—	0.36	16	μA	5.0	

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 外设电流为基本 IDD 或 IPD 与该外设使能时所额外消耗的电流之和。可通过从该极限值中减去基本 IDD 或 IPD，以确定外设 Δ 电流。在计算总电流消耗时应使用最大值。

2： 在休眠模式下，掉电电流并不取决于振荡器的类型。掉电电流的测量条件为器件处于休眠模式，且所有 I/O 引脚处于高阻状态并接至 VDD。

© 2007 Microchip Technology Inc.

14.5 直流特性：PIC16F688 -I（工业级），PIC16F688 -E（扩展级）

直流特性			标准运行条件（除非另外说明） 工作温度 工业级，为 -40°C ≤ TA ≤ +85°C 扩展级，为 -40°C ≤ TA ≤ +125°C				
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
	VIL	**输入低电压**					
		I/O 端口：					
D030		带 TTL 缓冲	Vss	—	0.8	V	4.5V ≤ VDD ≤ 5.5V
D030A			Vss	—	0.15 VDD	V	2.0V ≤ VDD ≤ 4.5V
D031		带施密特触发器缓冲	Vss	—	0.2 VDD	V	2.0V ≤ VDD ≤ 5.5V
D032		$\overline{MCLR}$ 和 OSC1（RC 模式）	Vss	—	0.2 VDD	V	
D033		OSC1（XT 和 LP 模式）(1)	Vss	—	0.3	V	
D033A		OSC1（HS 模式）(1)	Vss	—	0.3 VDD	V	
	VIH	**输入高电压**					
		I/O 端口：		—			
D040		带 TTL 缓冲	2.0	—	VDD	V	4.5V ≤ VDD ≤ 5.5V
D040A			0.25 VDD + 0.8	—	VDD	V	2.0V ≤ VDD ≤ 4.5V
D041		带施密特触发器缓冲	0.8 VDD	—	VDD	V	2.0V ≤ VDD ≤ 5.5V
D042		$\overline{MCLR}$	0.8 VDD	—	VDD	V	
D043		OSC1（XT 和 LP 模式）	1.6	—	VDD	V	
D043A		OSC1（HS 模式）	0.7 VDD	—	VDD	V	
D043B		OSC1（RC 模式）	0.9 VDD	—	VDD	V	**（注 1）**
	IIL	**输入泄漏电流 (2)**					
D060		I/O 端口	—	±0.1	± 1	μA	VSS ≤ VPIN ≤ VDD，引脚处于高阻态
D061		$\overline{MCLR}$(3)	—	±0.1	± 5	μA	VSS ≤ VPIN ≤ VDD
D063		OSC1	—	±0.1	± 5	μA	VSS ≤ VPIN ≤ VDD，XT、HS 和 LP 振荡配置
D070*	IPUR	PORTA 弱上拉电流	50	250	400	μA	VDD = 5.0V，VPIN = VSS
	VOL	输出低电压 (5)					
D080		I/O 端口	—	—	0.6	V	IOL = 8.5 mA，VDD = 4.5V（工业级）
	VOH	输出高电压 (5)					
D090		I/O 端口	VDD – 0.7	—	—	V	IOH = -3.0 mA，VDD = 4.5V（工业级）

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 在 RC 振荡器配置中，OSC1/CLKIN 引脚是施密特触发器输入。不推荐在 RC 模式下使用外部时钟。

2： 负电流定义引脚拉电流。

3： $\overline{MCLR}$ 引脚上泄漏电流主要取决于所施加电平。规定的电压等级表示正常的运行条件。在不同的输入电压条件下，可能会测得更大的泄漏电流。

4： 更多信息请参见**第 9.0 节 “数据 EEPROM 和闪存程序存储器控制”**。

5： 包括 CLKOUT 模式中的 OSC2。

14.5 直流特性：PIC16F688 -I（工业级），PIC16F688 -E（扩展级）（续）

直流特性			标准运行条件（除非另外说明） 工作温度 工业级，为 -40°C ≤ TA ≤ +85°C 扩展级，为 -40°C ≤ TA ≤ +125°C				
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
D100	IULP	**超低功耗唤醒电流**	—	200	—	nA	请参见应用笔记 AN879，“*Using the Microchip Ultra Low-Power Wake-up Module*”（DS00879）
		输出引脚上容性负载规范					
D101*	COSC2	OSC2 引脚	—	—	15	pF	在 XT、HS 和 LP 模式下，当外部时钟用来驱动 OSC1 时
D101A*	CIO	所有 I/O 引脚	—	—	50	pF	
		数据 EEPROM 存储器					
D120	ED	字节擦写次数	100K	1M	—	E/W	-40°C ≤ TA ≤ +85°C
D120A	ED	字节擦写次数	10K	100K	—	E/W	+85°C ≤ TA ≤ +125°C
D121	VDRW	用于读 / 写的 VDD	VMIN	—	5.5	V	使用 EECON1 读 / 写 VMIN = 最小工作电压
D122	TDEW	擦除 / 写周期时间	—	5	6	ms	
D123	TRETD	特性保存期	40	—	—	Year	不违反其他规范的前提下
D124	TREF	刷新之前，总擦除 / 写周期数(4)	1M	10M	—	E/W	-40°C ≤ TA ≤ +85°C
		程序闪存					
D130	EP	单元擦写次数	10K	100K	—	E/W	-40°C ≤ TA ≤ +85°C
D130A	ED	单元擦写次数	1K	10K	—	E/W	+85°C ≤ TA ≤ +125°C
D131	VPR	用于读取的 VDD	VMIN	—	5.5	V	VMIN = 最小工作电压
D132	VPEW	用于擦除 / 写的 VDD	4.5	—	5.5	V	
D133	TPEW	擦除 / 写周期时间	—	2	2.5	ms	
D134	TRETD	特性保存期	40	—	—	年	不违反其他规范的前提下

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 在 RC 振荡器配置中， OSC1/CLKIN 引脚是施密特触发器输入。不推荐在 RC 模式下使用外部时钟。

2： 负电流定义引脚拉电流。

3： MCLR 引脚上泄漏电流主要取决于所施加电平。规定的电压等级表示正常的运行条件。在不同的输入电压条件下，可能会测得更大的泄漏电流。

4： 更多信息请参见**第 9.0 节 “数据 EEPROM 和闪存程序存储器控制”**。

5： 包括 CLKOUT 模式中的 OSC2。

© 2007 Microchip Technology Inc.

14.6 散热考虑

标准工作条件（除非另外说明） 工作温度 -40°C ≤ TA ≤ +125°C					
参数编号	**符号**	**特性**	**典型值**	**单位**	**条件**
TH01	θJA	结点到环境的热阻	69.8	C/W	14 引脚 PDIP 封装
			85.0	C/W	14 引脚 SOIC 封装
			100.4	C/W	14 引脚 TSSOP 封装
			46.3	C/W	16 引脚 QFN 4x0.9 mm 封装
TH02	θJC	结点到外壳的热阻	32.5	C/W	14 引脚 PDIP 封装
			31.0	C/W	14 引脚 SOIC 封装
			31.7	C/W	14 引脚 TSSOP 封装
			2.6	C/W	16 引脚 QFN 4x0.9 mm 封装
TH03	TJ	结点温度	150	C	用于计算减额功耗
TH04	PD	功耗	—	W	PD = PINTERNAL + PI/O
TH05	PINTERNAL	内部功耗	—	W	PINTERNAL = IDD x VDD **（注 1）**
TH06	PI/O	I/O 功耗	—	W	PI/O = Σ (IOL * VOL) + Σ (IOH * (VDD - VOH))
TH07	PDER	减额功耗	—	W	PDER = (TJ - TA)/θJA **（注 2，注 3）**

注 1： IDD 为输出引脚上不连接任何负载时使芯片本身运行的电流。

2： TA = 环境温度。

3： 最大允许功耗是绝对最大总功耗和减额功耗（PDER）两者中较低的值。

14.7 时序参数符号体系

时序参数符号采用以下格式之一进行创建：

1. TppS2ppS
2. TppS

T			
F	频率	T	时间

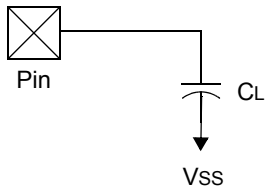
小写字母（pp）及其含义：

pp			
cc	CCP1	osc	OSC1
ck	CLKOUT	rd	$\overline{RD}$
cs	$\overline{CS}$	rw	$\overline{RD}$ 或 $\overline{WR}$
di	SDI	sc	SCK
do	SDO	ss	$\overline{SS}$
dt	数据输入	t0	T0CKI
io	I/O 端口	t1	T1CKI
mc	$\overline{MCLR}$	wr	$\overline{WR}$

大写字母及其含义：

S			
F	下降	P	周期
H	高	R	上升
I	无效（高阻）	V	有效
L	低	Z	高阻

图 14-3：　　负载条件



图注： C_L = 50 pF，所有引脚
15 pF， OSC2 输出

© 2007 Microchip Technology Inc.

14.8 交流特性：PIC16F688 （工业级，扩展级）

图 14-4： 时钟时序

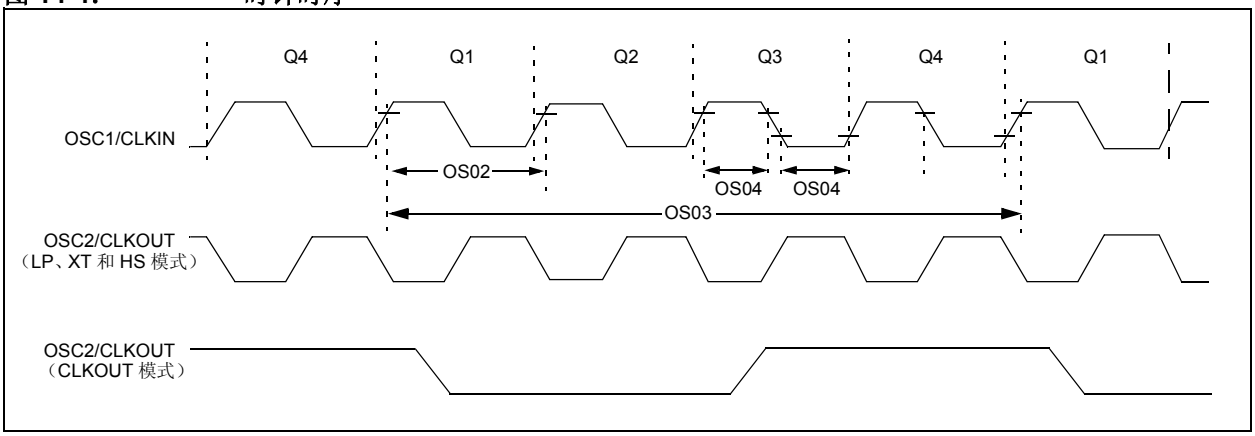


表 14-1： 时钟振荡器时序要求

标准运行条件 （除非另外说明）
工作温度 -40°C ≤ TA ≤ +125°C

参数编号	符号	特性	最小值	典型值 †	最大值	单位	条件
OS01	FOSC	外部 CLKIN 周期 (1)	DC	—	37	kHz	LP 振荡模式
			DC	—	4	MHz	XT 振荡模式
			DC	—	20	MHz	HS 振荡模式
			DC	—	20	MHz	EC 振荡模式
		振荡器频率 (1)	—	32.768	—	kHz	LP 振荡模式
			0.1	—	4	MHz	XT 振荡模式
			1	—	20	MHz	HS 振荡模式
			DC	—	4	MHz	RC 振荡模式
OS02	TOSC	外部 CLKIN 周期 (1)	27	—	•	μs	LP 振荡模式
			250	—	•	ns	XT 振荡模式
			50	—	•	ns	HS 振荡模式
			50	—	•	ns	EC 振荡模式
		振荡器周期 (1)	—	30.5	—	μs	LP 振荡模式
			250	—	10,000	ns	XT 振荡模式
			50	—	1,000	ns	HS 振荡模式
			250	—	—	ns	RC 振荡模式
OS03	TCY	指令周期时间 (1)	200	TCY	DC	ns	TCY = 4/FOSC
OS04*	TosH, TosL	外部 CLKIN 高电平，外部 CLKIN 低电平	2	—	—	μs	LP 振荡器
			100	—	—	ns	XT 振荡器
			20	—	—	ns	HS 振荡器
OS05*	TosR, TosF	外部 CLKIN 上升时间，外部 CLKIN 下降时间	0	—	•	ns	LP 振荡器
			0	—	•	ns	XT 振荡器
			0	—	•	ns	HS 振荡器

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 指令循环周期 （TCY）等于输入振荡器时基周期的四倍。所有规定值都是基于特定振荡器类型的特性数据，并在特定振荡器处于标准运行条件下且器件在代码执行阶段。超出这些规定的限定值，可能导致振荡器运行不稳定和 / 或导致电流消耗超出预期值。所有器件的测试都是在 “最小”值条件下进行的，且外部时钟加载在 OSC1 引脚。对于所有器件，当采用外部时钟输入时，“最大”周期时间极限为 “DC”（无时钟）。

表 14-2： 振荡器参数

标准运行条件 （除非另外说明） 工作温度 -40°C ≤ TA ≤ +125°C								
参数编号	**符号**	**特性**	**频率容差**	**最小值**	**典型值†**	**最大值**	**单位**	**条件**
OS06	TWARM	运行时内部振荡器开关时间 (3)	—	—	—	2	TOSC	最慢时钟
OS07	TSC	故障保护采样时钟周期 (1)	—	—	21	—	ms	LFINTOSC/64
OS08	HFOSC	内部校准的 HFINTOSC 频率 (2)	±1%	7.92	8.0	8.08	MHz	VDD = 3.5V， 25°C
			±2%	7.84	8.0	8.16	MHz	2.5V ≤ VDD ≤ 5.5V， 0°C ≤ TA ≤ +85°C
			±5%	7.60	8.0	8.40	MHz	2.0V ≤ VDD ≤ 5.5V， -40°C ≤ TA ≤ +85°C （工业级）， -40°C ≤ TA ≤ +125°C （扩展级）
OS09*	LFOSC	内部未校准的 HFINTOSC 频率	—	15	31	45	kHz	
OS10*	TIOSC ST	HFINTOSC 振荡器从休眠唤醒后的起振时间	—	5.5	12	24	µs	VDD = 2.0V， -40°C 至 +85°C
			—	3.5	7	14	µs	VDD = 3.0V， -40°C 至 +85°C
			—	3	6	11	µs	VDD = 5.0V， -40°C 至 +85°C

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 指令循环周期 （TCY）等于输入振荡器时基周期的四倍。所有规定值都是基于特定振荡器类型的特性数据，并在特定振荡器处于标准运行条件下且器件在代码执行阶段。超出这些规定的限定值，可能导致振荡器运行不稳定和 / 或导致电流消耗超出预期值。所有器件的测试都是在 “最小”值条件下进行的，且外部时钟加载在 OSC1 引脚。对于所有器件，当采用外部时钟输入时，“最大”周期时间极限为 “DC”（无时钟）。

2： 为确保这些持荡器的频率容差，VDD 和 VSS 必须尽量靠近器件并进行容性解耦。建议使用 0.1 µF 和 0.01 µF 并联电容。

3： 设计值。

© 2007 Microchip Technology Inc.

图 14-5： CLKOUT 和 I/O 时序

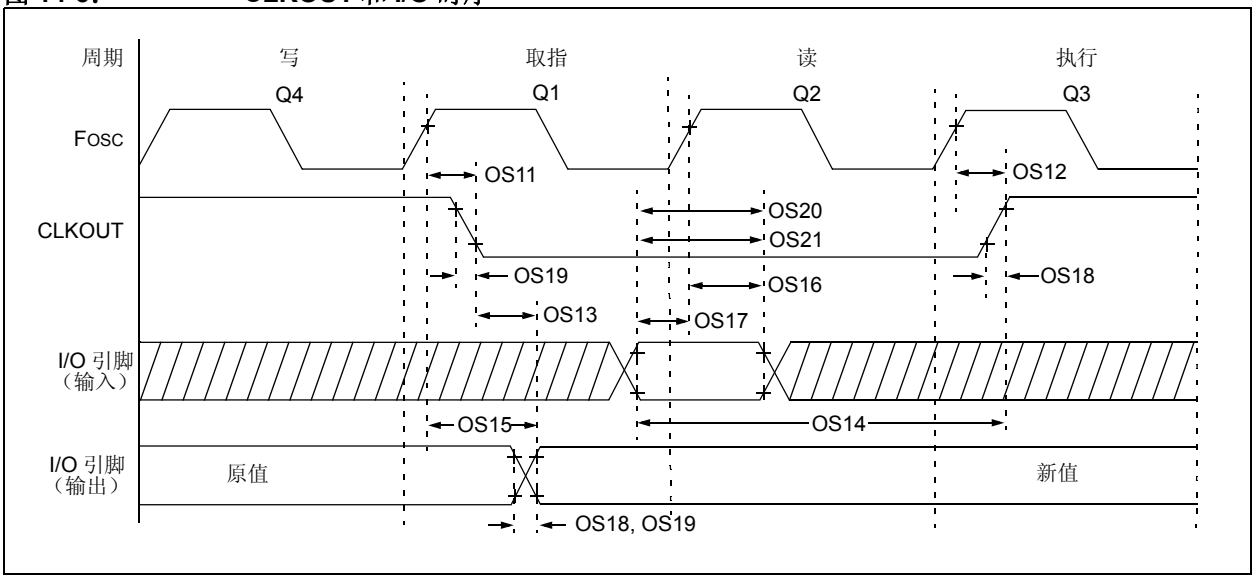


表 14-3： CLKOUT 和 I/O 时序参数

标准运行条件（除非另外说明） 工作温度 -40°C ≤ TA ≤ +125°C							
参数编号	**符号**	**特性**		**最小值**	**典型值†**	**最大值**	**单位**
OS11	TOSH2CKL	FOSC↑ 至 CLKOUT↓ (1)	—	—	70	ns	VDD = 5.0V
OS12	TOSH2CKH	FOSC↑ 至 CLKOUT↑ (1)	—	—	72	ns	VDD = 5.0V
OS13	TCKL2IOV	CLKOUT↓ 至端口输出有效 (1)	—	—	20	ns	
OS14	TIOV2CKH	CLKOUT↑ 前端口输入有效 (1)	TOSC + 200 ns	—	—	ns	
OS15*	TOSH2IOV	FOSC↑（Q1 周期）至端口输出有效	—	50	70	ns	VDD = 5.0V
OS16	TOSH2IOI	FOSC↑（Q2 周期）至端口输入有效（I/O 保持时间）	50	—	—	ns	VDD = 5.0V
OS17	TIOV2OSH	端口输入有效至 FOSC↑（Q2 周期）（I/O 建立时间）	20	—	—	ns	
OS18	TIOR	端口输出上升时间 (2)	— —	15 40	72 32	ns	VDD = 2.0V VDD = 5.0V
OS19	TIOF	端口输出下降时间 (2)	— —	28 15	55 30	ns	VDD = 2.0V VDD = 5.0V
OS20*	TINP	INT 引脚输入高或低电平时间	25	—	—	ns	
OS21*	TRAP	PORTA 电平变化中断新输入电平时间	TCY	—	—	ns	

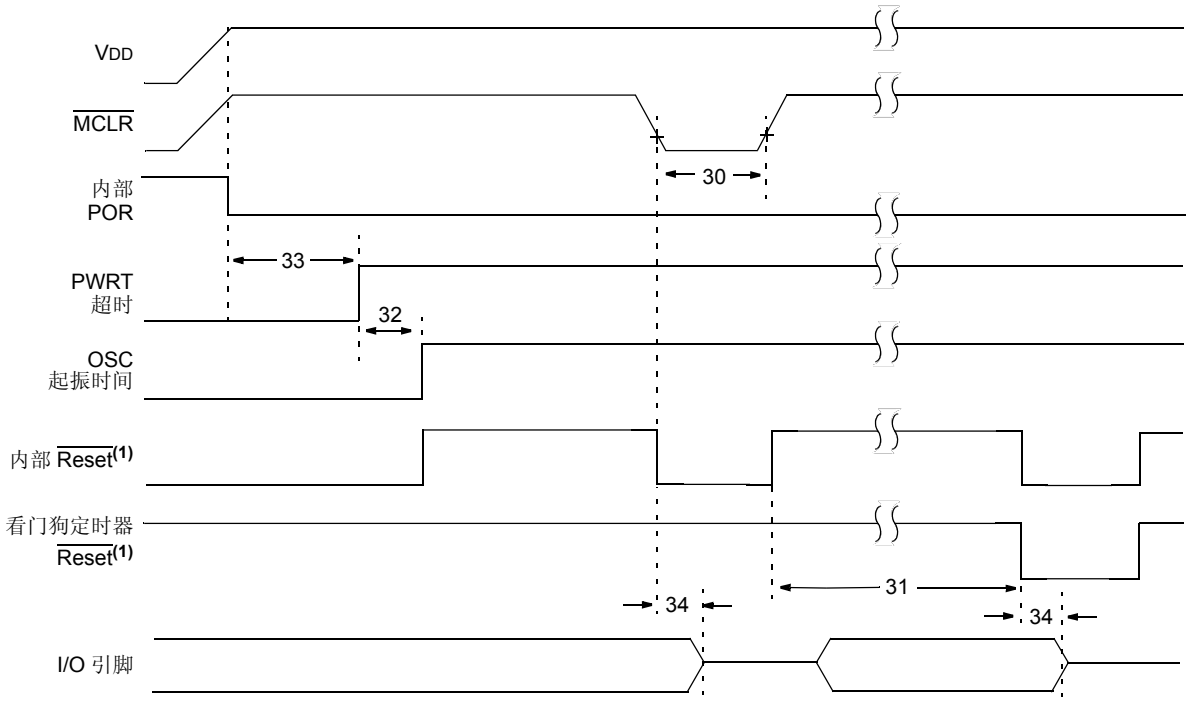
* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。

注 1： 测量在 RC 模式下进行， CLKOUT 输出为 4 x TOSC。

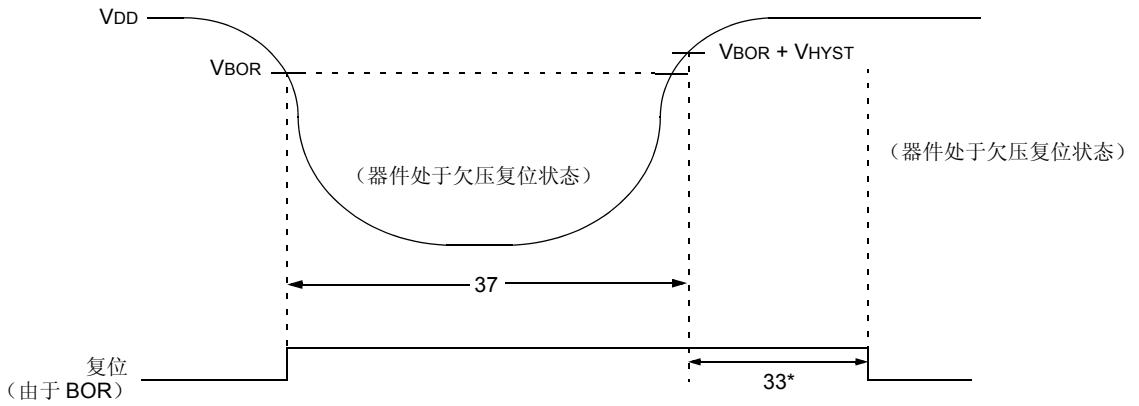
2： 包括 CLKOUT 模式的 OSC2。

图 14-6：　　复位、看门狗定时器、振荡器起振定时器和上电延时定时器时序



注　1： 低电平有效。

图 14-7：　　欠压复位时序和特性



*　如果配置字寄存器中的 $\overline{\text{PWRTE}}$ 位编程为 0 则仅有 64 ms 延时。

© 2007 Microchip Technology Inc.

表 14-4： 复位、看门狗定时器、振荡器起振定时器、上电延时定时器和欠压检测参数

标准运行条件 （除非另外说明） 工作温度 -40°C ≤ TA ≤ +125°C							
参数编号	**符号**	**特性**	**最小值**	**典型值 †**	**最大值**	**单位**	**条件**
30	TMCL	$\overline{\text{MCLR}}$ 脉冲宽度 （低电平）	2 5	— —	— —	μs μs	VDD = 5V， -40°C 至 +85°C VDD = 5V
31	TWDT	看门狗定时器超时周期 （无预分频器）	10 10	16 16	29 31	ms ms	VDD = 5V， -40°C 至 +85°C VDD = 5V
32	TOST	振荡器起振定时器周期 **(1,2)**	—	1024	—	TOSC	**（注 3）**
33*	TPWRT	上电延时定时器周期	40	65	140	ms	
34*	TIOZ	$\overline{\text{MCLR}}$ 低电平或看门狗定时器复位时， I/O 处于高阻状态的时间	—	—	2.0	μs	
35	VBOR	欠压复位电压	2.0	—	2.2	V	**（注 4）**
36*	VHYST	欠压复位迟滞	—	50	—	mV	
37*	TBOR	欠压复位最小检测周期	100	—	—	μs	VDD ≤ VBOR

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 指令循环周期 （TCY）等于输入振荡器时基周期的四倍。所有规定值都是基于特定振荡器类型的特性数据，并在特定振荡器处于标准运行条件下且器件在代码执行阶段。超出这些规定的限定值，可能导致振荡器运行不稳定和 / 或导致电流消耗超出预期值。所有器件的测试都是在 “最小”值条件下进行的，且外部时钟加载在 OSC1 引脚。对于所有器件，当采用外部时钟输入时，“最大”周期时间极限为 “DC”（无时钟）。

2： 设计值。

3： 较慢时钟的周期。

4： 为确保这些振荡器的频率容差，VDD 和 VSS 必须尽量靠近器件并进行容性解耦。建议使用 0.1 μF 和 0.01 μF 并联电容。

图 14-8： TIMER0 和 TIMER1 外部时钟时序

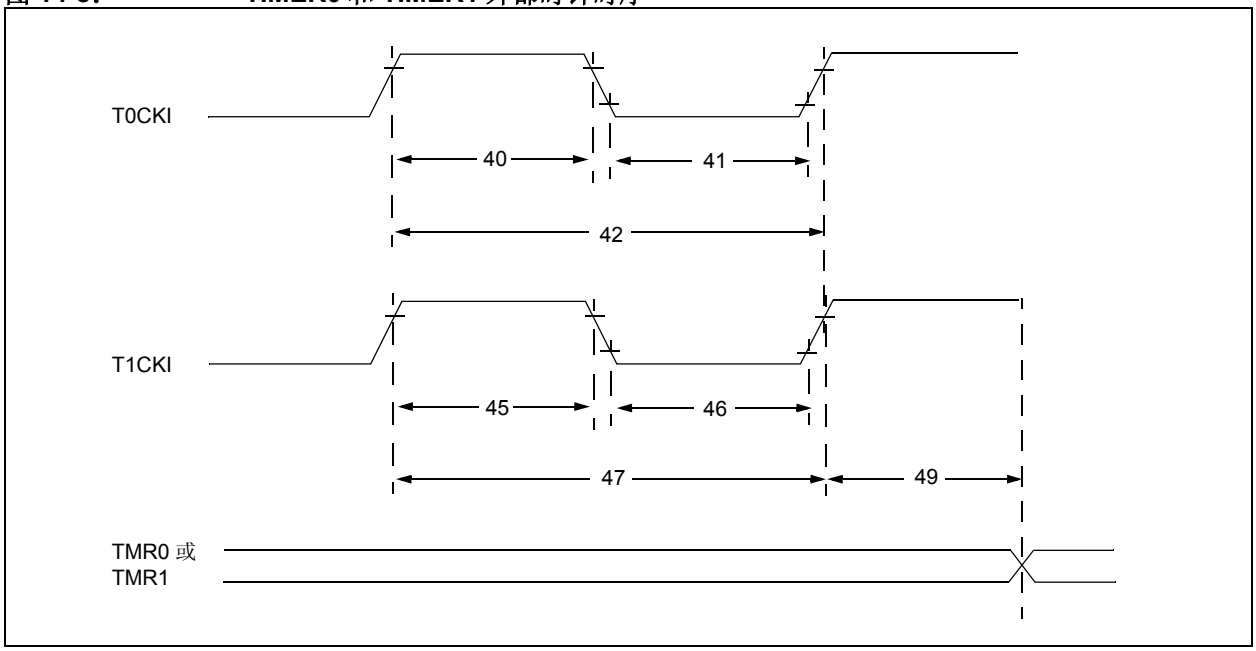


表 14-5： TIMER0 和 TIMER1 外部时钟要求

标准工作条件（除非另外说明）： 工作温度 -40°C ≤ TA ≤ +125°C								
参数编号	**符号**	**特性**		**最小值**	**典型值†**	**最大值**	**单位**	**条件**
40*	TT0H	T0CKI 高电平脉冲宽度	无预分频器	0.5 TCY + 20	—	—	ns	
			带预分频器	10	—	—	ns	
41*	TT0L	T0CKI 低电平脉冲宽度	无预分频器	0.5 TCY + 20	—	—	ns	
			带预分频器	10	—	—	ns	
42*	TT0P	T0CKI 周期		取较大值： 20 或 TCY + 40 N	—	—	ns	N = 预分频值 （2, 4, ..., 256）
45*	TT1H	T1CKI 高电平时间	同步，无预分频器	0.5 TCY + 20	—	—	ns	
			同步，带预分频器	15	—	—	ns	
			异步	30	—	—	ns	
46*	TT1L	T1CKI 低电平时间	同步，无预分频器	0.5 TCY + 20	—	—	ns	
			同步，带预分频器	15	—	—	ns	
			异步	30	—	—	ns	
47*	TT1P	T1CKI 输入周期	同步	取较大值： 30 或 TCY + 40 N	—	—	ns	N = 预分频值 （1, 2, 4, 8）
			异步	60	—	—	ns	
48	FT1	Timer1 振荡器输入频率范围 （通过将 T1OSCEN 位置 1，使能振荡器）		—	32.768	—	kHz	
49*	TCKEZTMR1	从外部时钟边沿到定时器递增的延时		2 TOSC	—	7 TOSC	—	定时器处于同步模式

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

© 2007 Microchip Technology Inc.

表 14-6： 比较器规范

标准运行条件 （除非另外说明） 工作温度 -40°C ≤ TA ≤ +125°C								
参数编号	**符号**	**特性**		**最小值**	**典型值 †**	**最大值**	**单位**	**说明**
CM01	VOS	输入失调电压		—	± 5.0	± 10	mV	(VDD - 1.5)/2
CM02	VCM	输入共模电压		0	—	VDD – 1.5	V	
CM03*	CMRR	共模抑制比		+55	—	—	dB	
CM04*	TRT	响应时间	下降	—	150	600	ns	（注 1）
		比较器模式变为输出有效	上升	—	200	1000	ns	
CM05*	TMC2COV	输入失调电压		—	—	10	µs	

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 响应时间的测量条件是：一个比较器输入为 (VDD - 1.5)/2 至 (VDD -1.5)/2+20mV。

表 14-7： 比较器参考电压 （CVREF）规范

标准运行条件 （除非另外说明） 工作温度 -40°C ≤ TA ≤ +125°C							
参数编号	**符号**	**特性**	**最小值**	**典型值 †**	**最大值**	**单位**	**说明**
CV01*	CLSB	步长值 (2)	— —	VDD/24 VDD/32	— —	V V	低量程 （VRR = 1） 高量程 （VRR = 0）
CV02*	CACC	绝对准确度	— —	— —	± 1/2 ± 1/2	LSb LSb	低量程 （VRR = 1） 高量程 （VRR = 0）
CV03*	CR	单位电阻值 （R）	—	2k	—	Ω	
CV04*	CST	稳定时间 (1)	—	—	10	µs	

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则 “典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： 稳定时间是在 VRR = 1 且 VR<3:0> 的状态从 0000 跃变至 1111 时测量的。

2： 更多信息请参见**第 7.10 节 “比较器参考电压”**。

表 14-8： PIC16F688 A/D 转换器 （ADC）特性

标准运行条件 （除非另外说明） 工作温度 -40°C ≤ TA ≤ +125°C							
参数编号	**符号**	**特性**	**最小值**	**典型值 †**	**最大值**	**单位**	**条件**
AD01	NR	分辨率	—	—	10 位	bit	
AD02	EIL	积分误差	—	—	±1	LSb	VREF = 5.12V
AD03	EDL	差分误差	—	—	±1	LSb	至 10 位无代码丢失 VREF = 5.12V
AD04	EOFF	失调误差	—	—	±1	LSb	VREF = 5.12V
AD07	EGN	增益误差	—	—	±1	LSb	VREF = 5.12V
AD06 AD06A	VREF	参考电压 (1)	2.2 2.7	—	— VDD	V	 绝对最小值以确保 1 LSb 准确度
AD07	VAIN	满量程	VSS	—	VREF	V	
AD08	ZAIN	模拟电压源的建议阻抗	—	—	10	kΩ	
AD09*	IREF	VREF 输入电流 (1)	10	—	1000	μA	在 VAIN 采集期间。 基于 VHOLD 与 VAIN 之差。
			—	—	50	μA	在 A/D 转换周期期间。

* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： ADC 的 VREF 来自 VREF 或 VDD 引脚，取决于选择了哪个引脚作为参考输入引脚。

© 2007 Microchip Technology Inc.

表 14-9： PIC16F688 A/D 转换要求

标准运行条件 （除非另外说明） 工作温度 -40°C ≤ TA ≤ +125°C							
参数编号	**符号**	**特性**	**最小值**	**典型值 †**	**最大值**	**单位**	**条件**
AD130*	TAD	A/D 时钟周期	1.6	—	9.0	µs	基于 TOSC， VREF ≥ 3.0V
			3.0	—	9.0	µs	基于 TOSC， VREF 满量程
		A/D 内部 RC 振荡周期	3.0	6.0	9.0	µs	ADCS<1:0> = 11 （ADRC 模式） VDD = 2.5V 时
			1.6	4.0	6.0	µs	At VDD = 5.0V
AD131	TCNV	转换时间 （不包括采集时间） **(1)**	—	11	—	TAD	将 GO/$\overline{\text{DONE}}$ 位置于 A/D 结果寄存器中的新值
AD132*	TACQ	采集时间		11.5	—	µs	
AD133*	TAMP	放大器稳定时间	—	—	5	µs	
AD134	TGO	Q4 至 A/D 时钟启动	—	TOSC/2	—	—	
			—	TOSC/2 + TCY	—	—	如果选择 RC 作为 A/D 时钟源，在 A/D 时钟启动前要加上一个 TCY 时间，用以执行 SLEEP 指令。

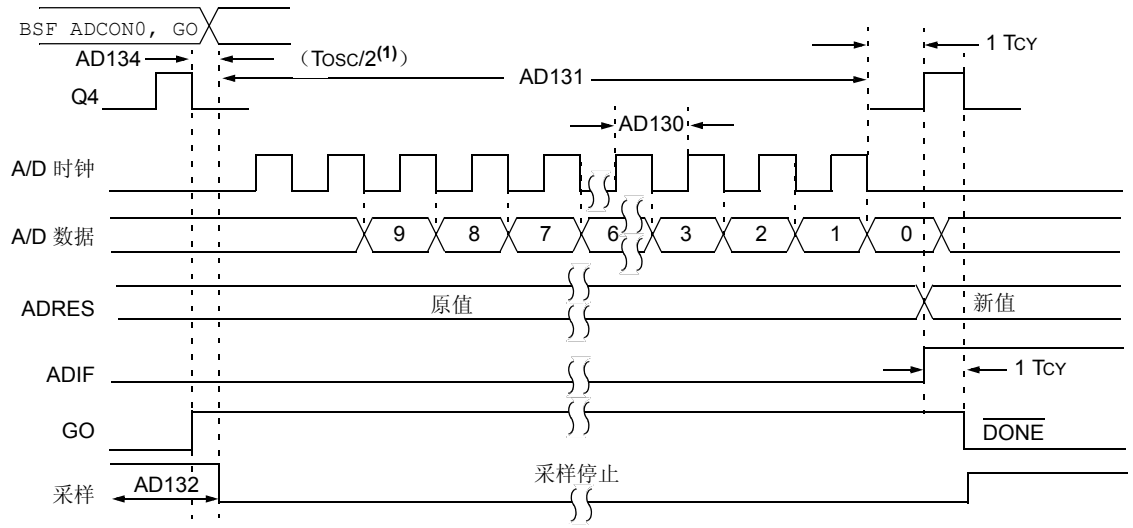
* 这些参数为特性值，但未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

注 1： ADRESH 和 ADRESL 寄存器可在下一个 TCY 周期读取。

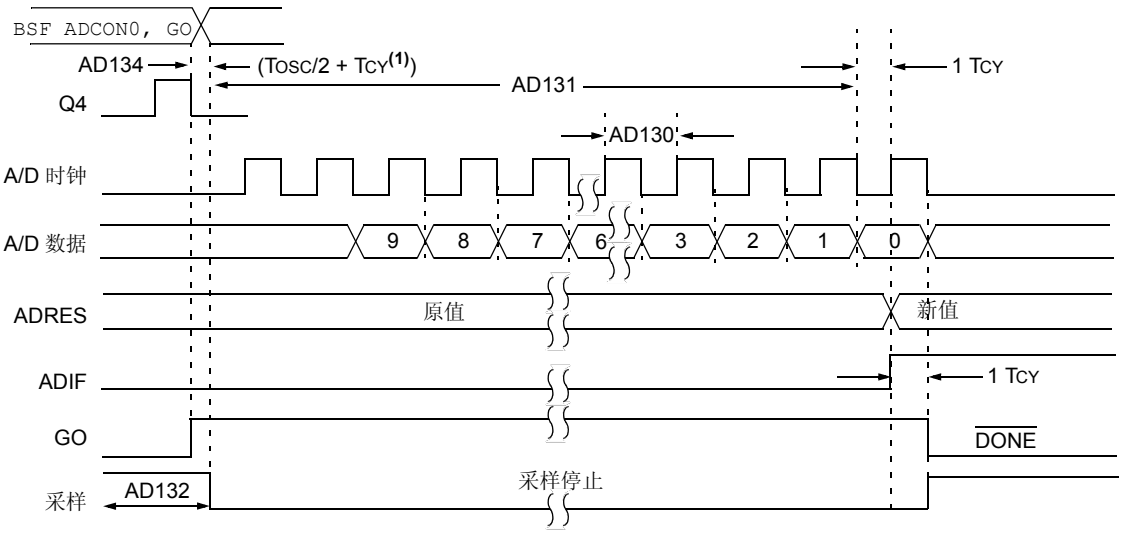
2： 更多信息请参见**第 8.3 节 “A/D 采集要求”**。

图 14-9： PIC16F688 A/D 转换时序 （正常模式）



注 1： 如果选择 RC 为 A/D 时钟源，在 A/D 时钟启动前要加上一个 TCY 时间，用以执行 SLEEP 指令。

图 14-10： PIC16F688 A/D 转换时序 （休眠模式）



注 1： 如果选择 RC 作为 A/D 时钟源，在 A/D 时钟启动前要加上一个 TCY 时间，用以执行 SLEEP 指令。

© 2007 Microchip Technology Inc.

15.0 直流和交流特性图表

本节提供的图表**仅供设计参考**并且**未经测试**。

有些图表中的数据**超出了规定的工作范围**（例如超出了规定的 VDD 范围）。这些图表**仅供参考**，器件只有工作在规定范围内才可确保正常工作。

注：	本注释以下所提供的图表均为基于有限数量样本的统计汇总，仅供参考。此处列出的特性未经测试，不作保证。有些图表中的数据超出了规定的工作范围（例如：超出了规定的电源范围），因此不在担保范围内。

“典型值”表示 25°C 时的平均分布。“最大值”或“最小值”分别表示 (平均值 + 3σ) 和 (平均值 - 3σ)，其中 σ 为各温度范围内的标准公差。

图 15-1： 不同 VDD 时典型 IDD—FOSC 曲线 （EC 模式）

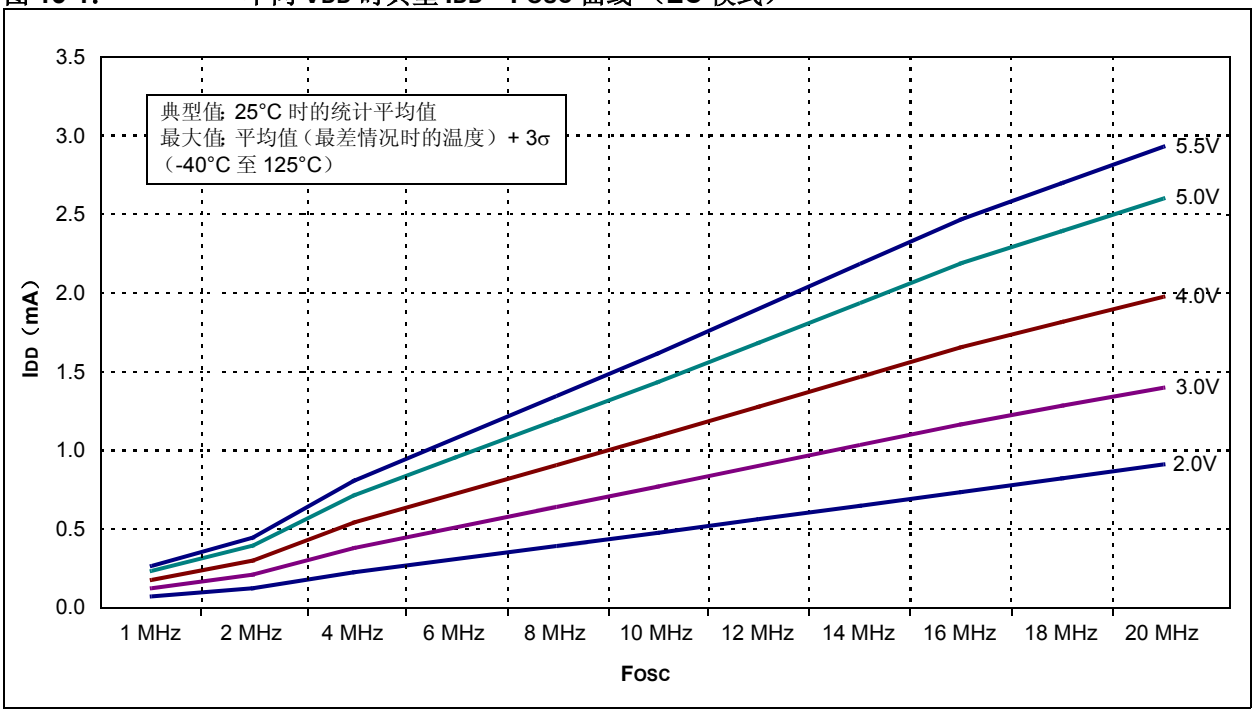


图 15-2： 不同 VDD 时最大 IDD—FOSC 曲线 （EC 模式）

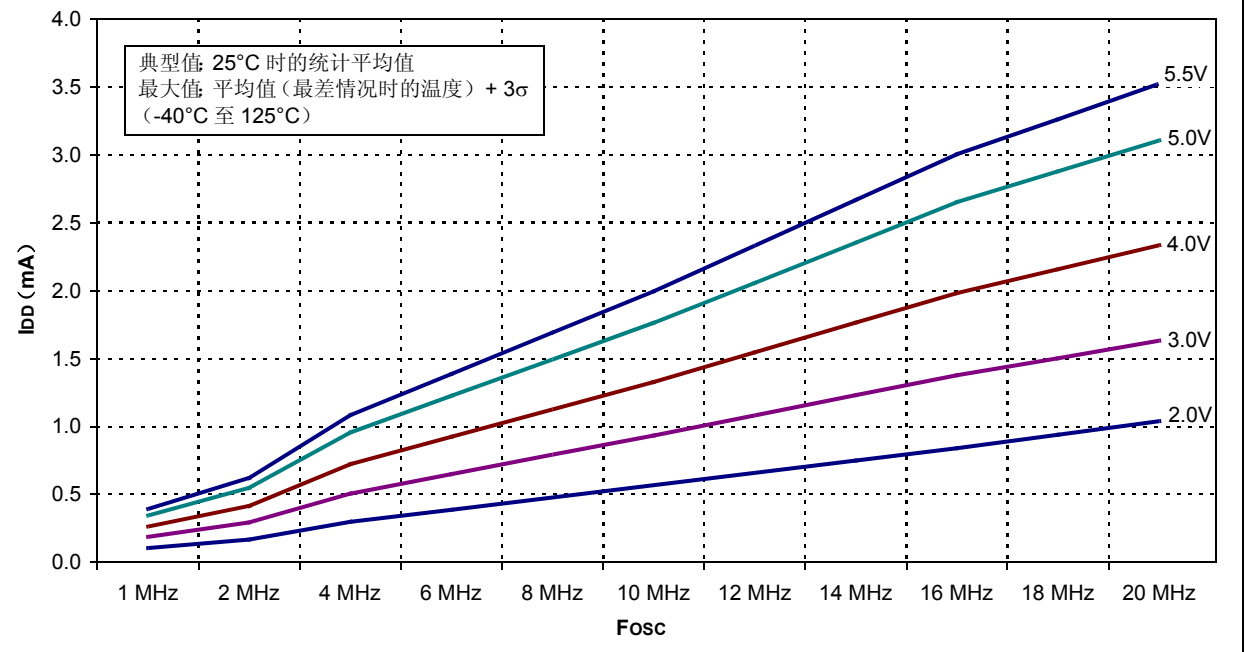
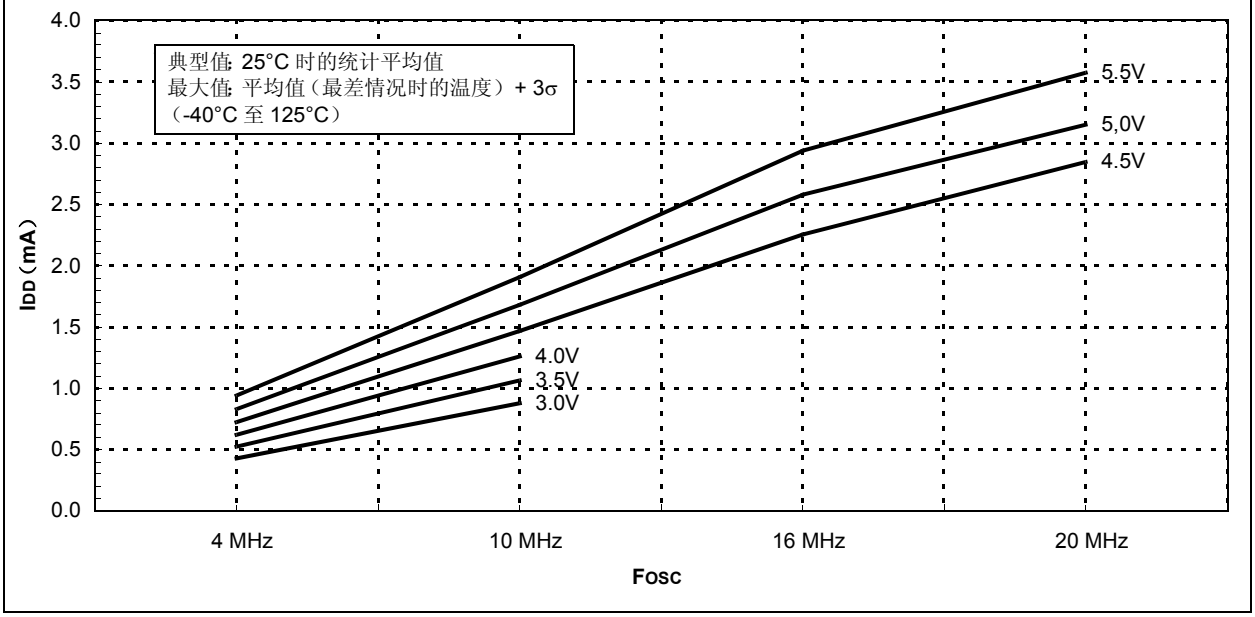


图 15-3： 不同 VDD 时典型 IDD—FOSC 关系曲线 （HS 模式）



© 2007 Microchip Technology Inc.

图 15-4： 不同 FOSC 时最大 IDD—VDD 关系曲线 （HS 模式）

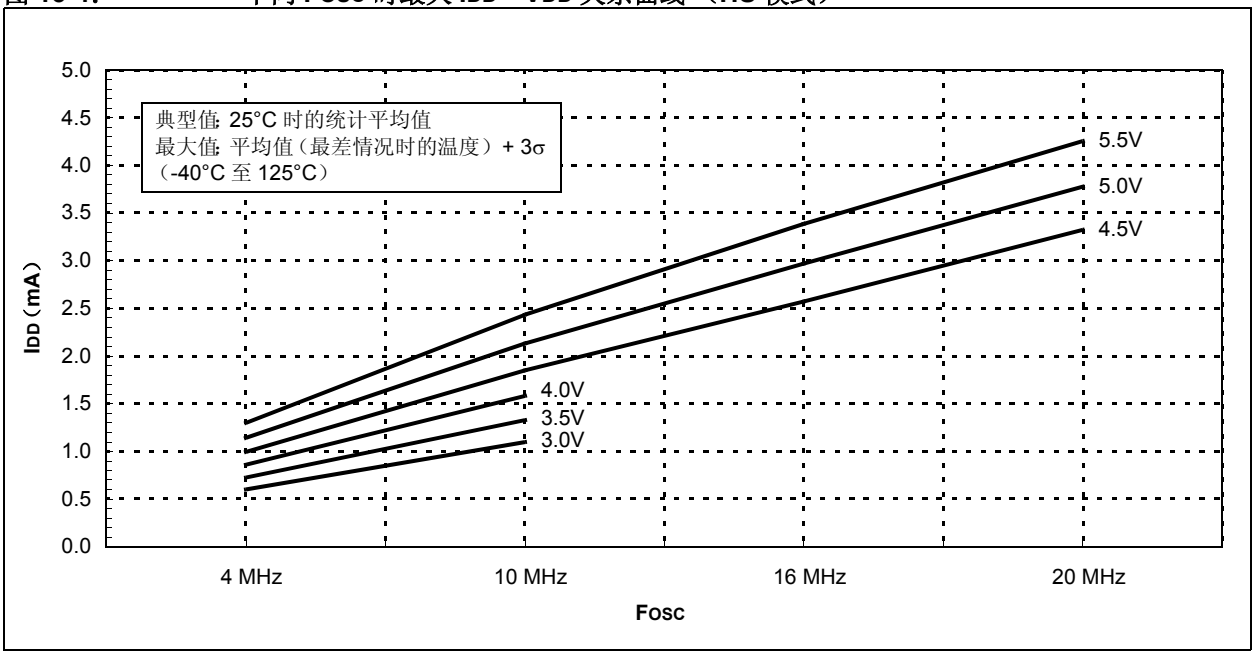


图 15-5： 不同 FOSC 时典型 IDD—VDD 关系曲线 （XT 模式）

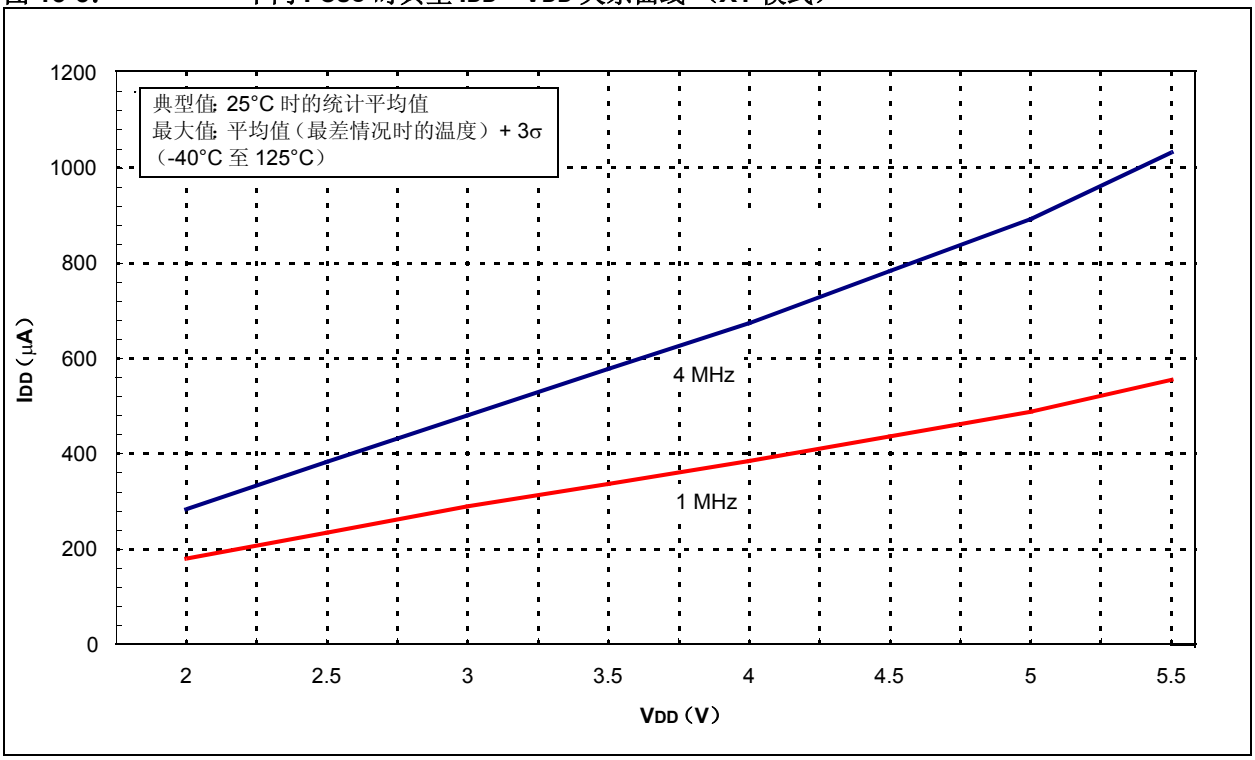


图 15-6：　　不同 FOSC 时最大 IDD—VDD 关系曲线 （XT 模式）

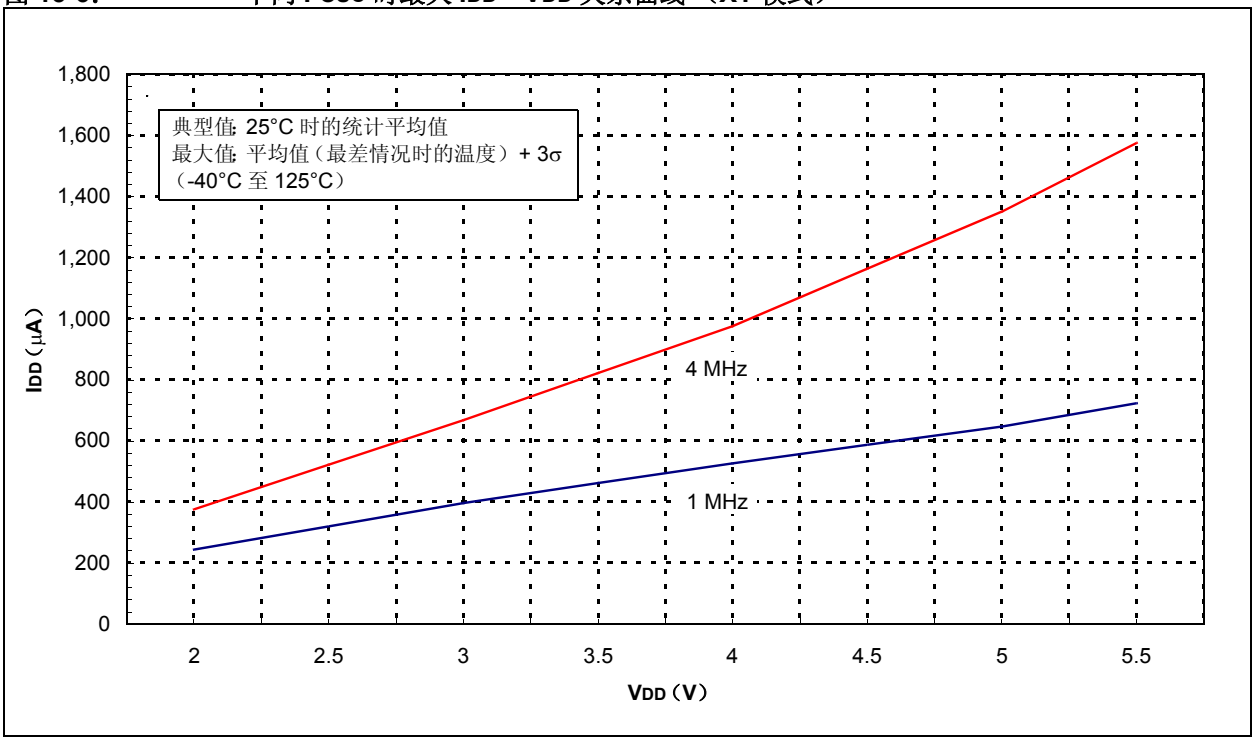
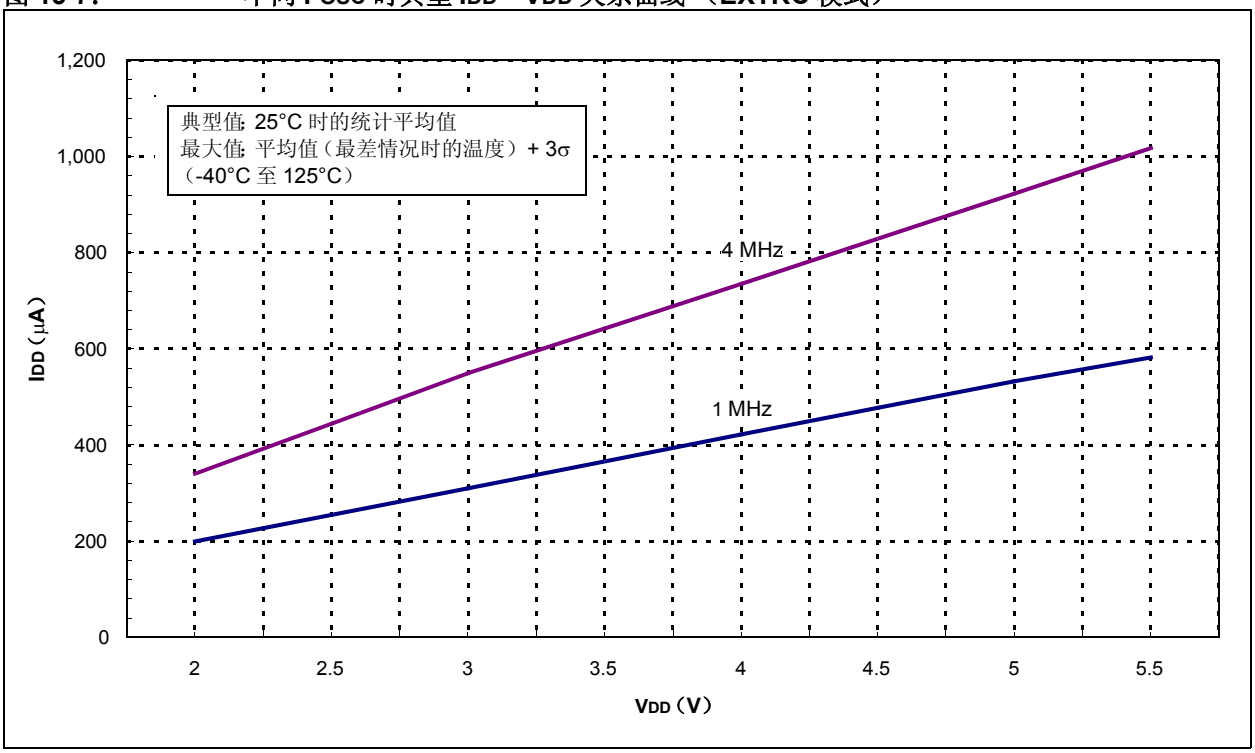


图 15-7：　　不同 FOSC 时典型 IDD—VDD 关系曲线 （EXTRC 模式）



© 2007 Microchip Technology Inc.

图 15-8：　　最大 IDD—VDD 关系曲线 （EXTRC 模式）

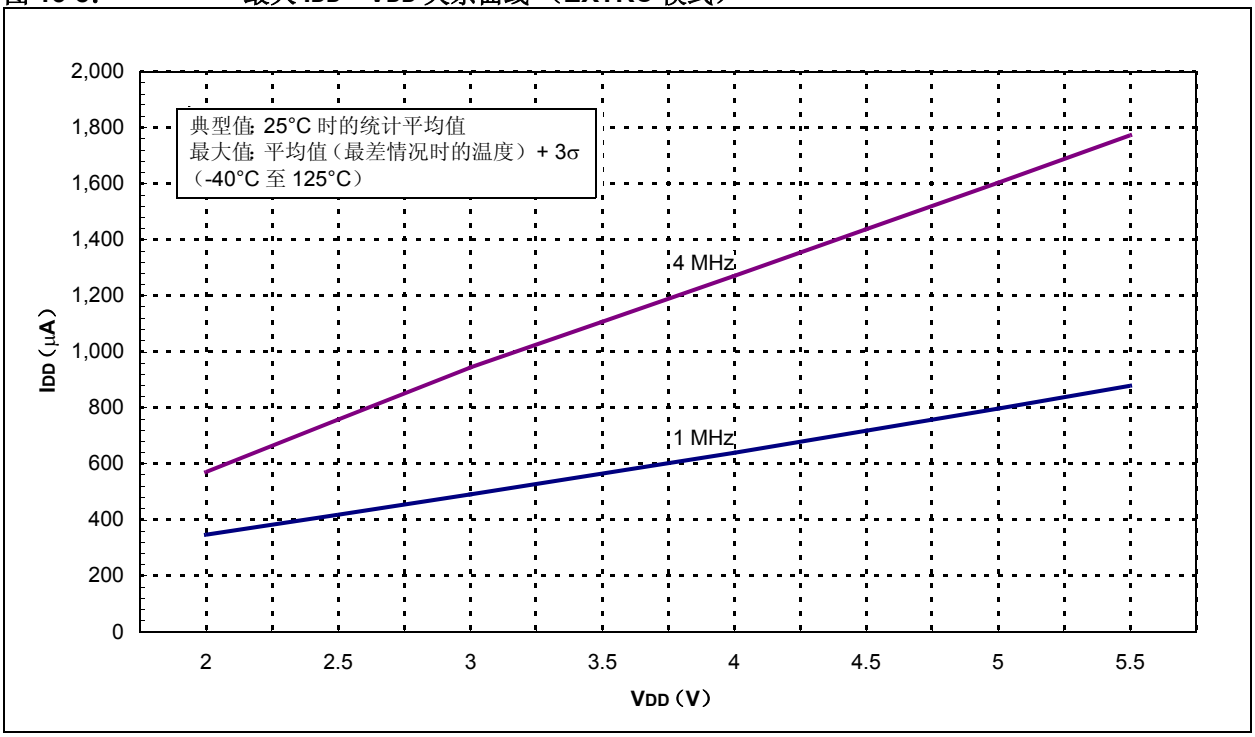


图 15-9：　　不同 FOSC 时 IDD—VDD 关系曲线 （LFINTOSC 模式， 31 kHz）

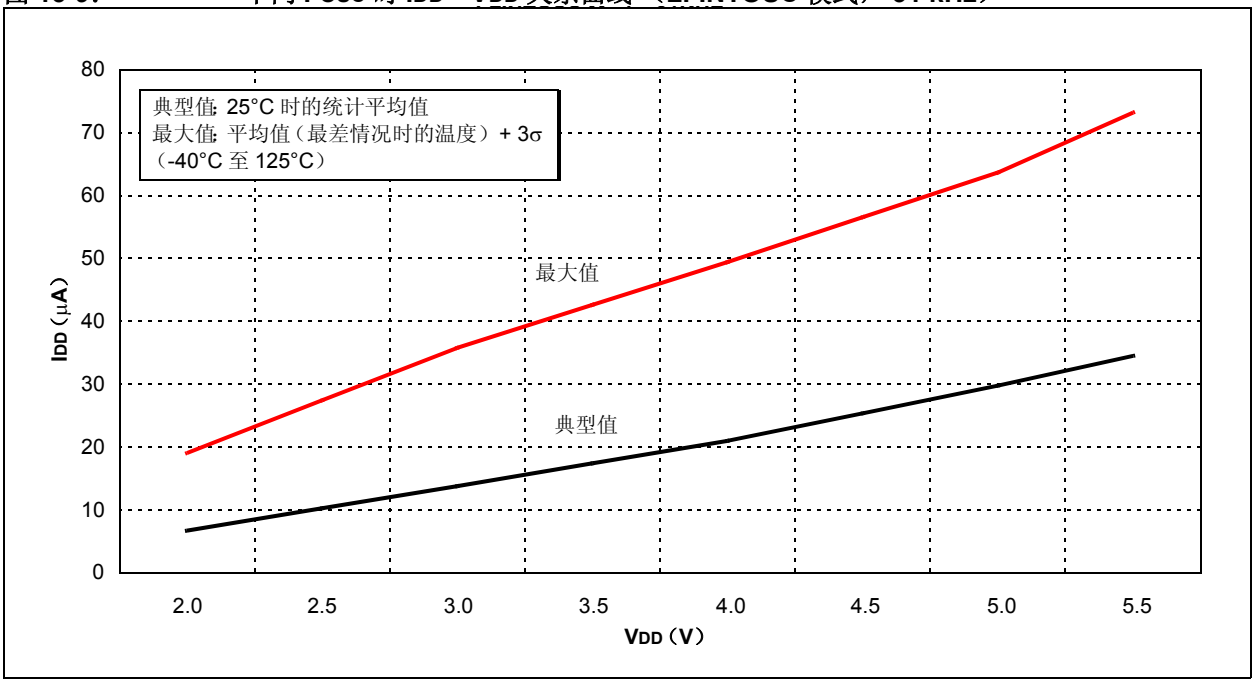


图 15-10： IDD—VDD 关系曲线 （LP 模式）

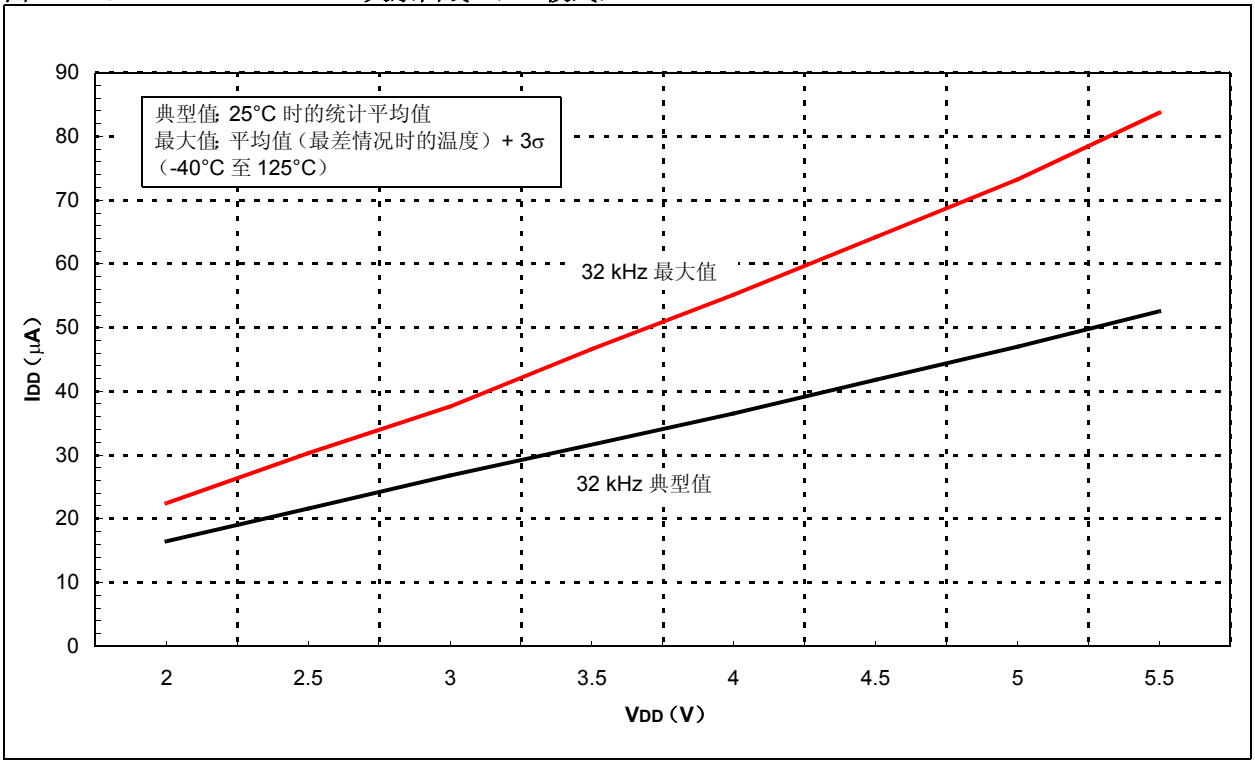
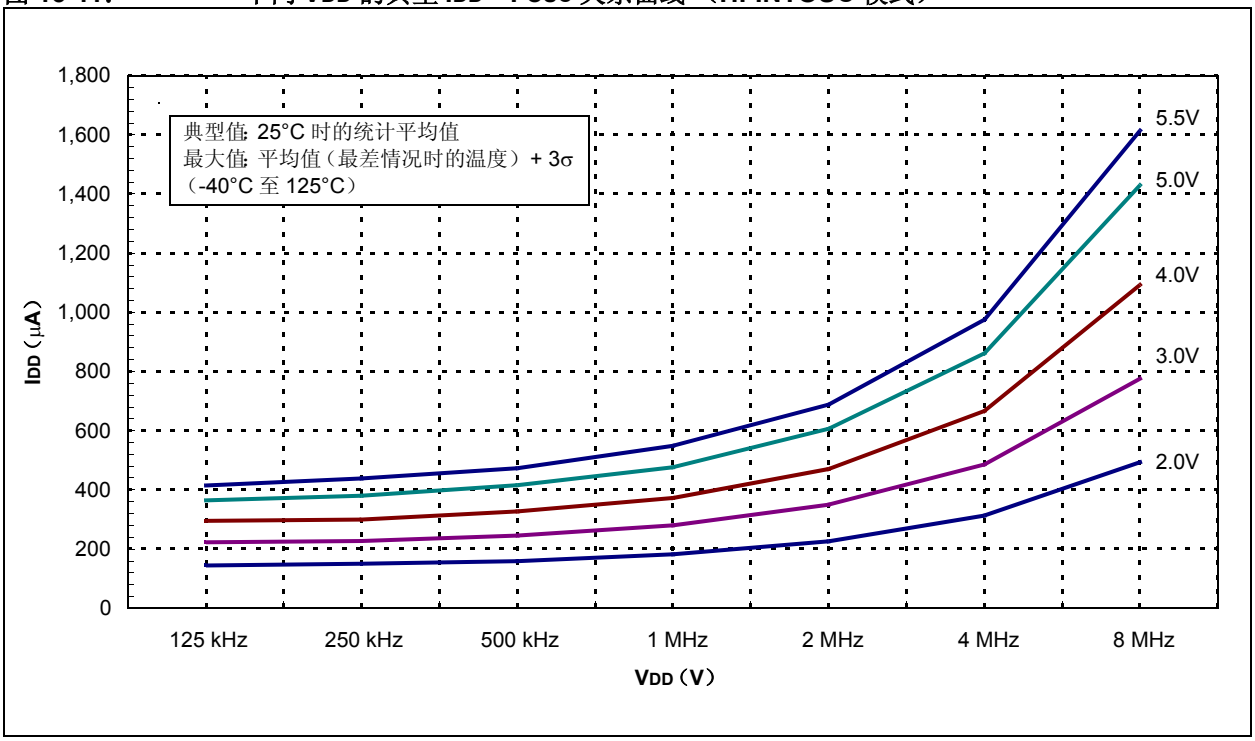


图 15-11： 不同 VDD 的典型 IDD—FOSC 关系曲线 （HFINTOSC 模式）



© 2007 Microchip Technology Inc.

图 15-12： 不同温度时最大 IDD—FOSC 关系曲线 （HFINTOSC 模式）

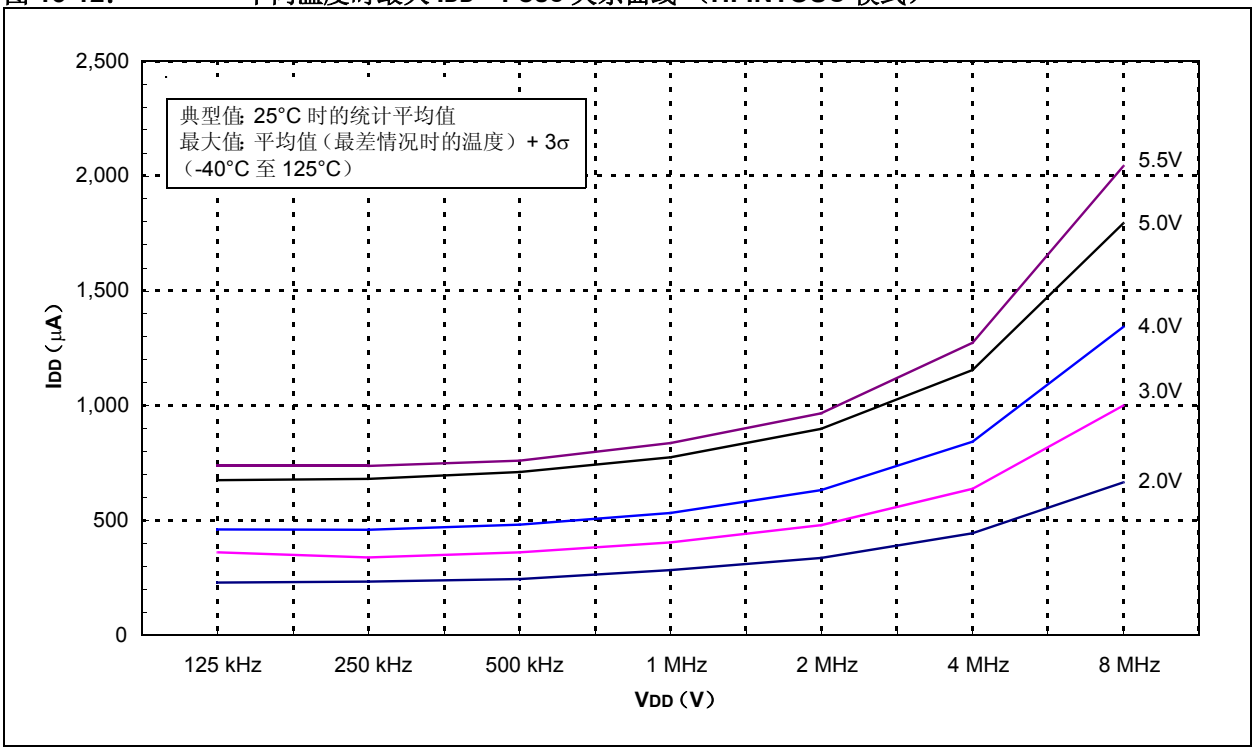


图 15-13： 典型 IPD—VDD （休眠模式，禁止所有外设）

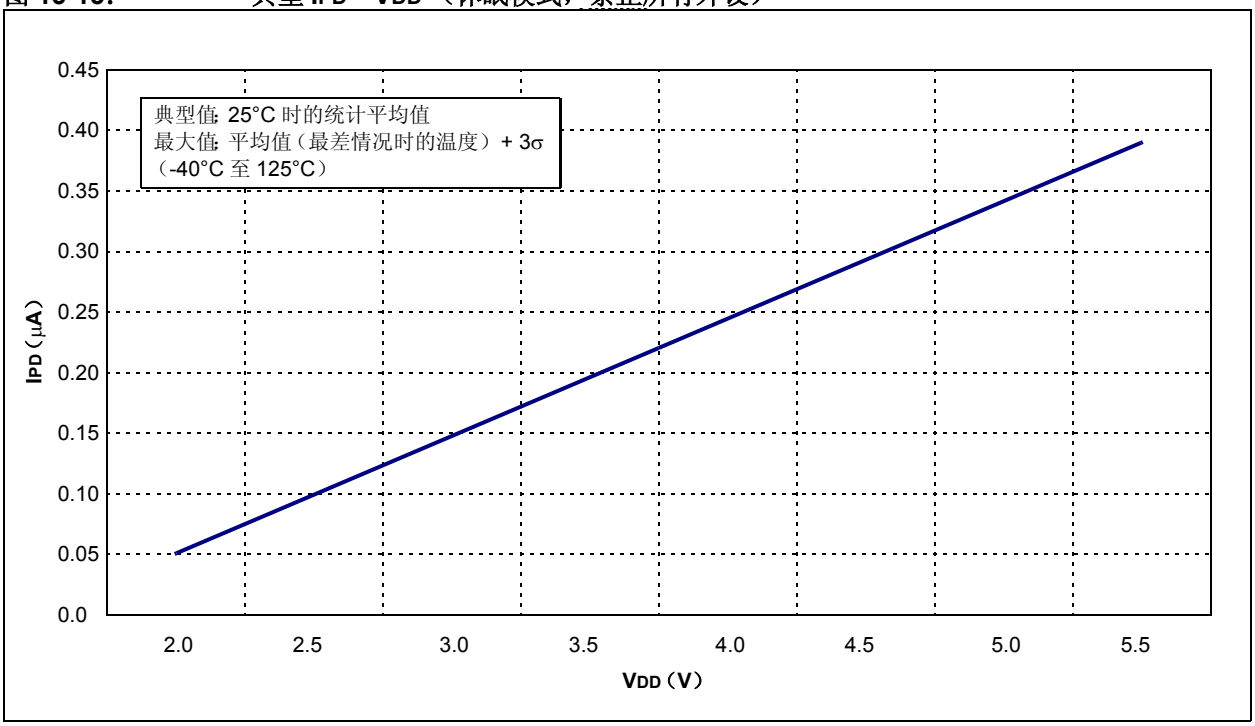


图 15-14：　　最大 IPD—VDD 关系曲线 （休眠模式，禁止所有外设）

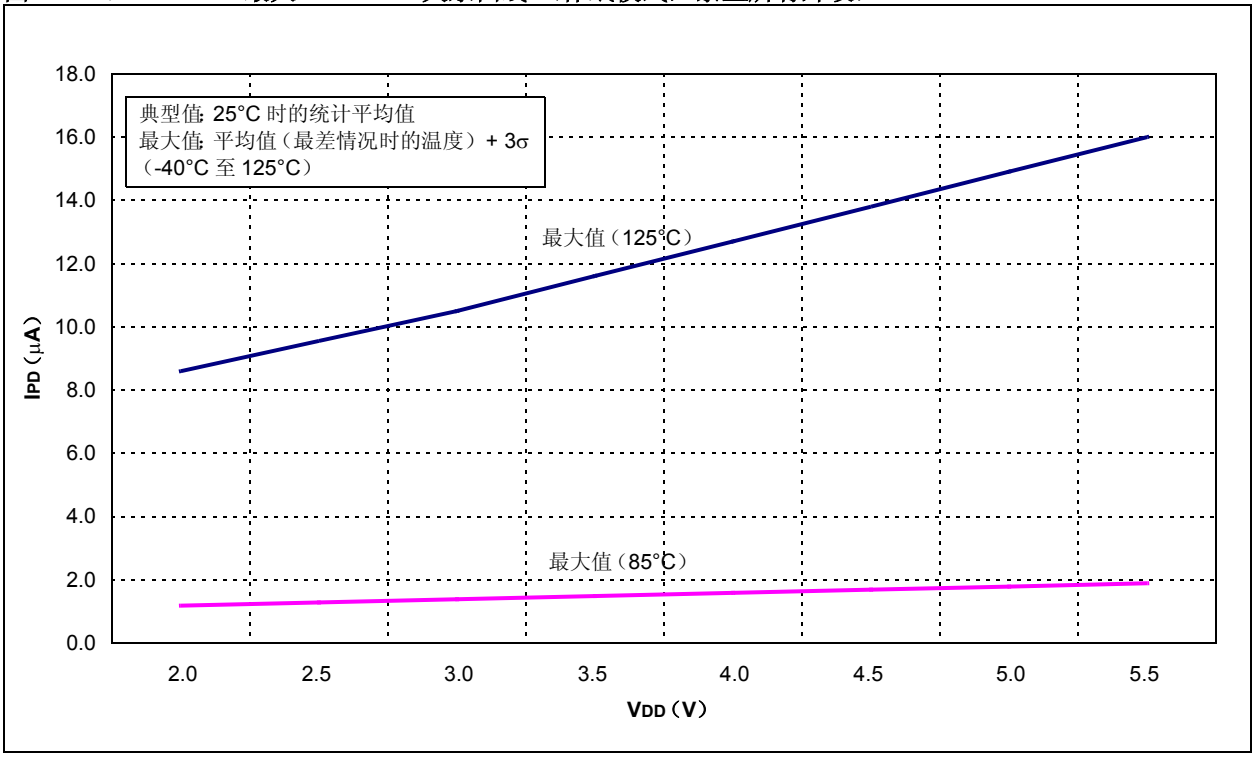
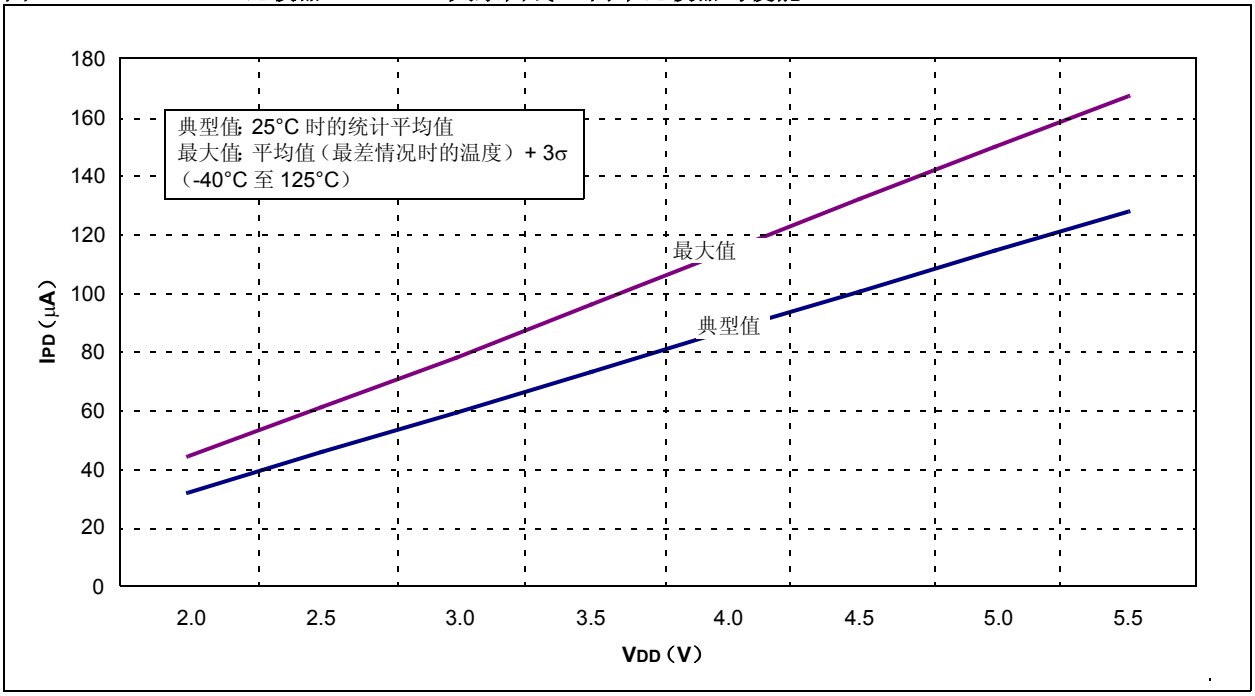


图 15-15：　　比较器 IPD—VDD 关系曲线 （两个比较器均使能）



© 2007 Microchip Technology Inc.

图 15-16： 不同温度时 BOR IPD—VDD 关系曲线

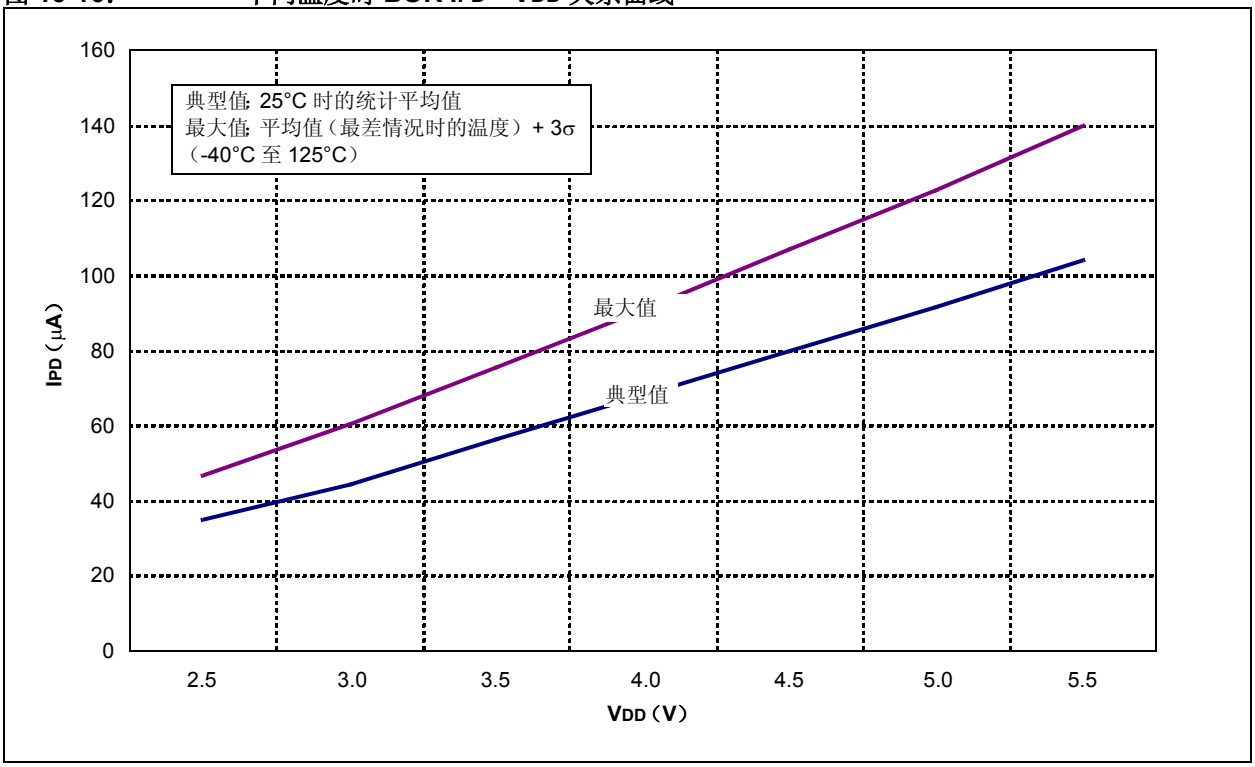


图 15-17： 典型 WDT IPD—VDD 关系曲线 （25°C）

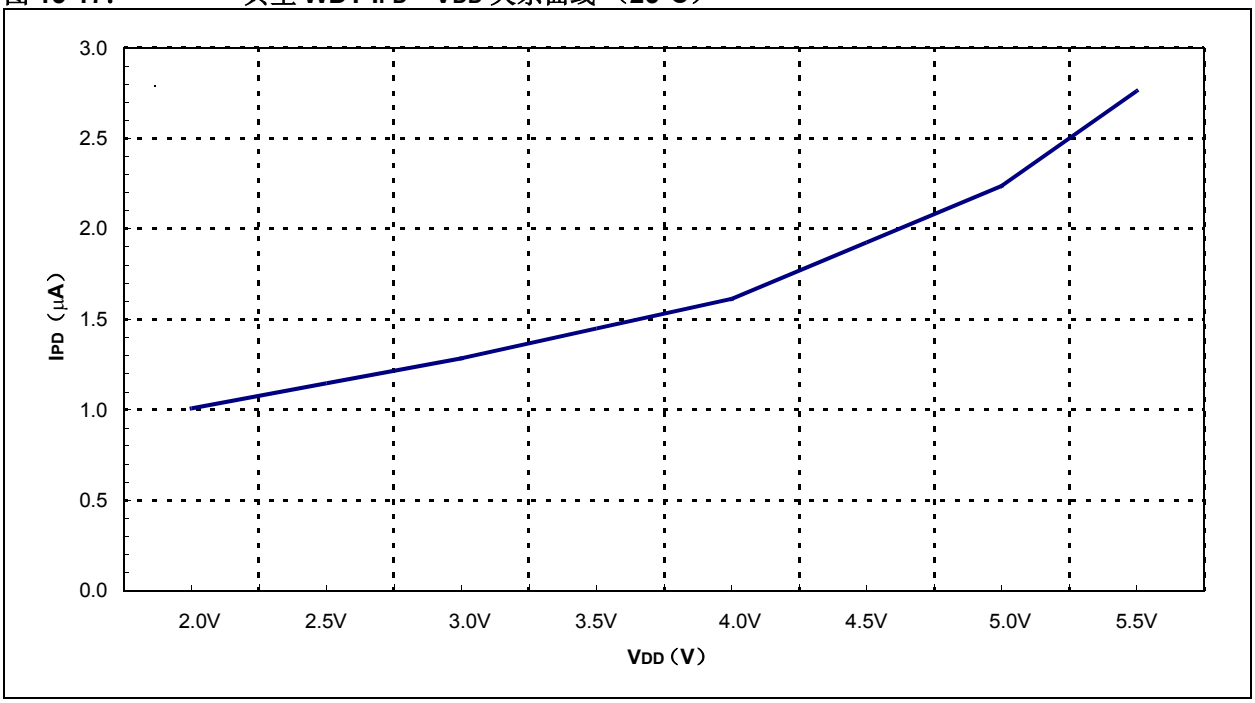


图 15-18：　　不同温度时最大 WDT IPD—VDD 关系曲线

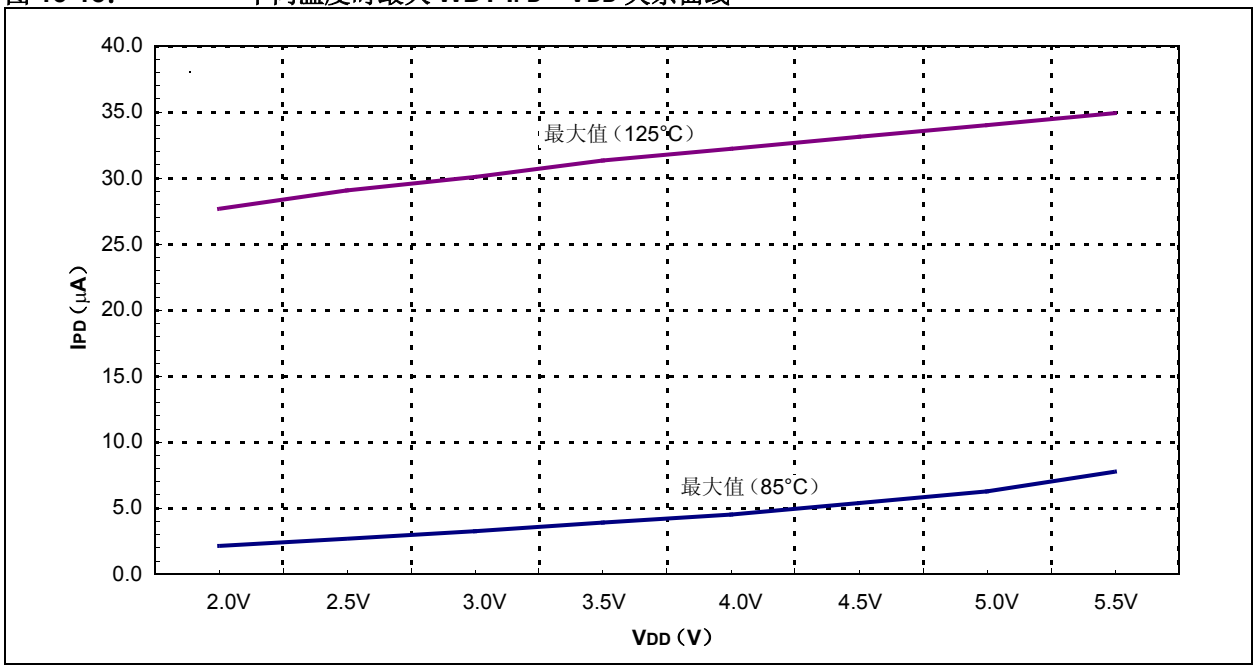
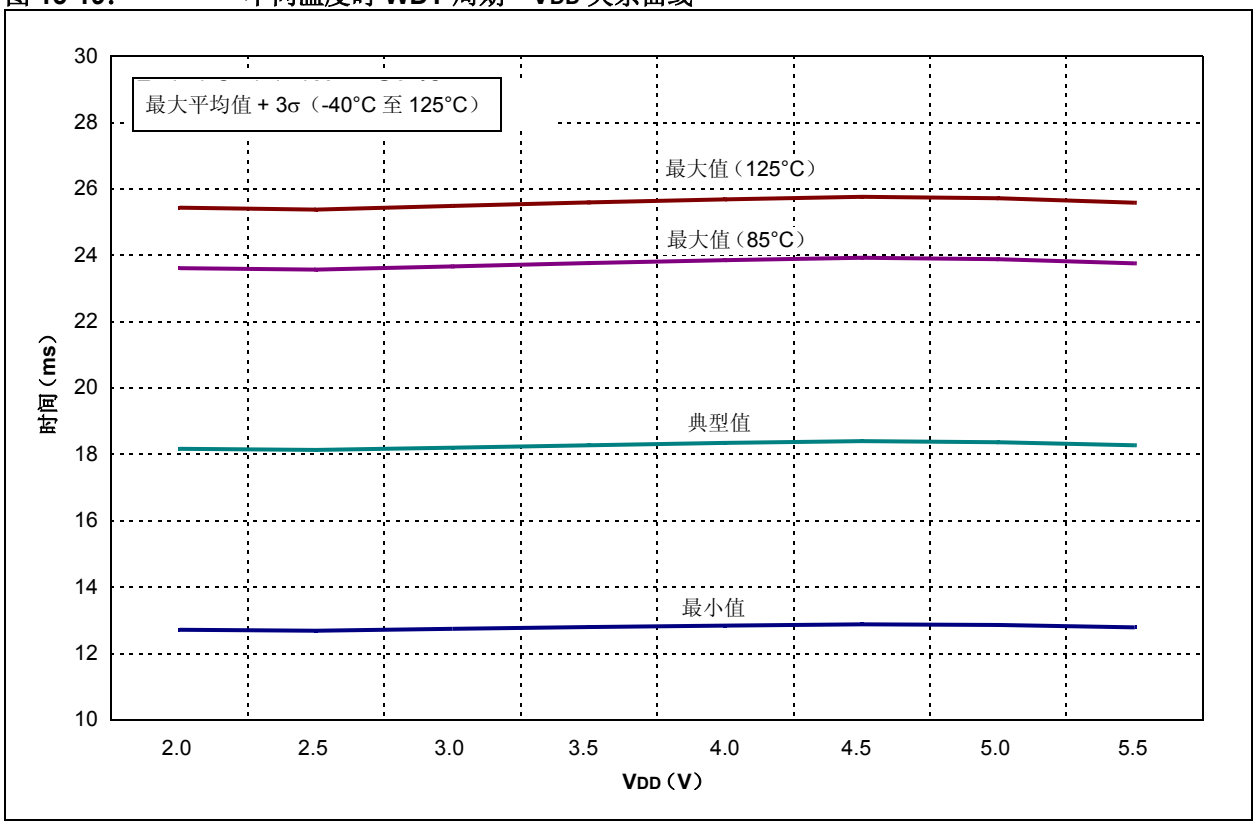


图 15-19：　　不同温度时 WDT 周期—VDD 关系曲线



© 2007 Microchip Technology Inc.

图 15-20：　　WDT 周期—温度关系曲线

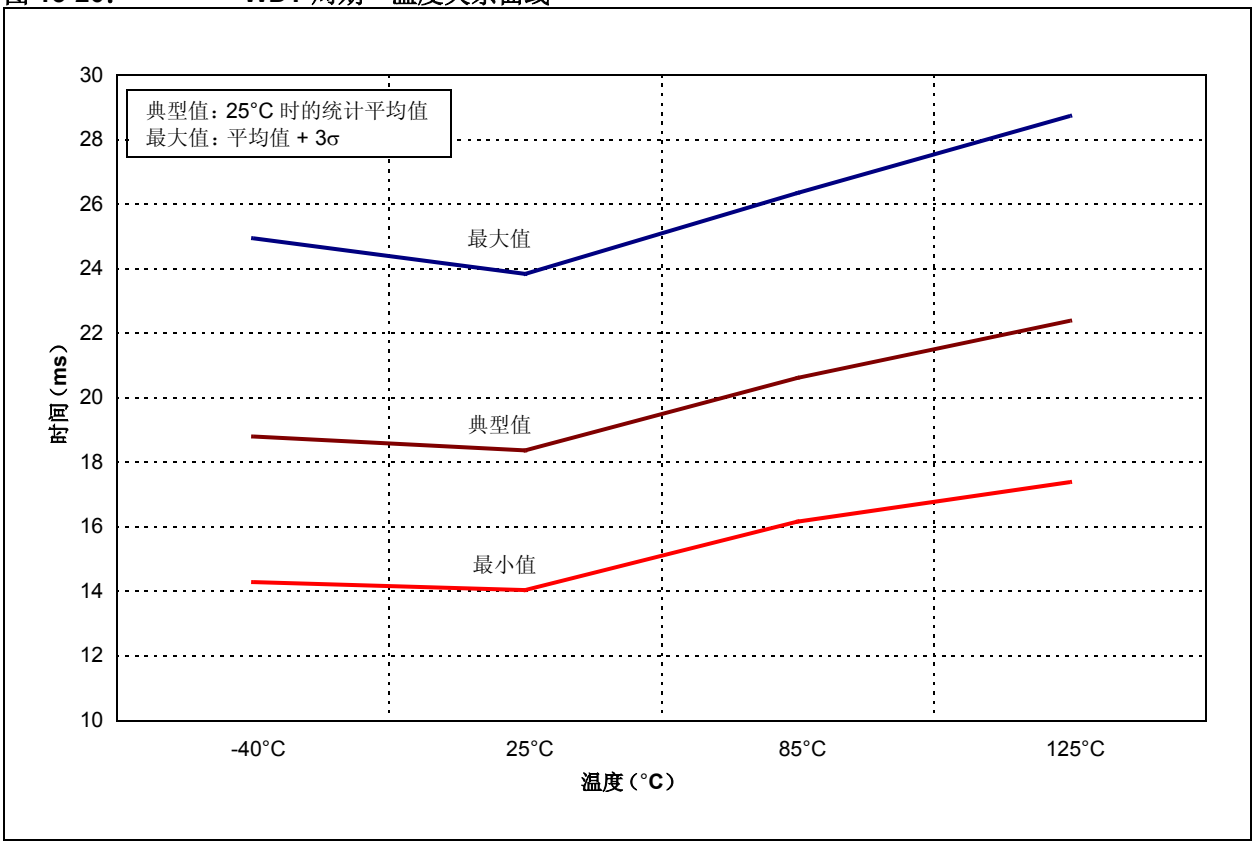


图 15-21：　　不同温度时 CVREF IPD—VDD 关系曲线 （高电压范围）

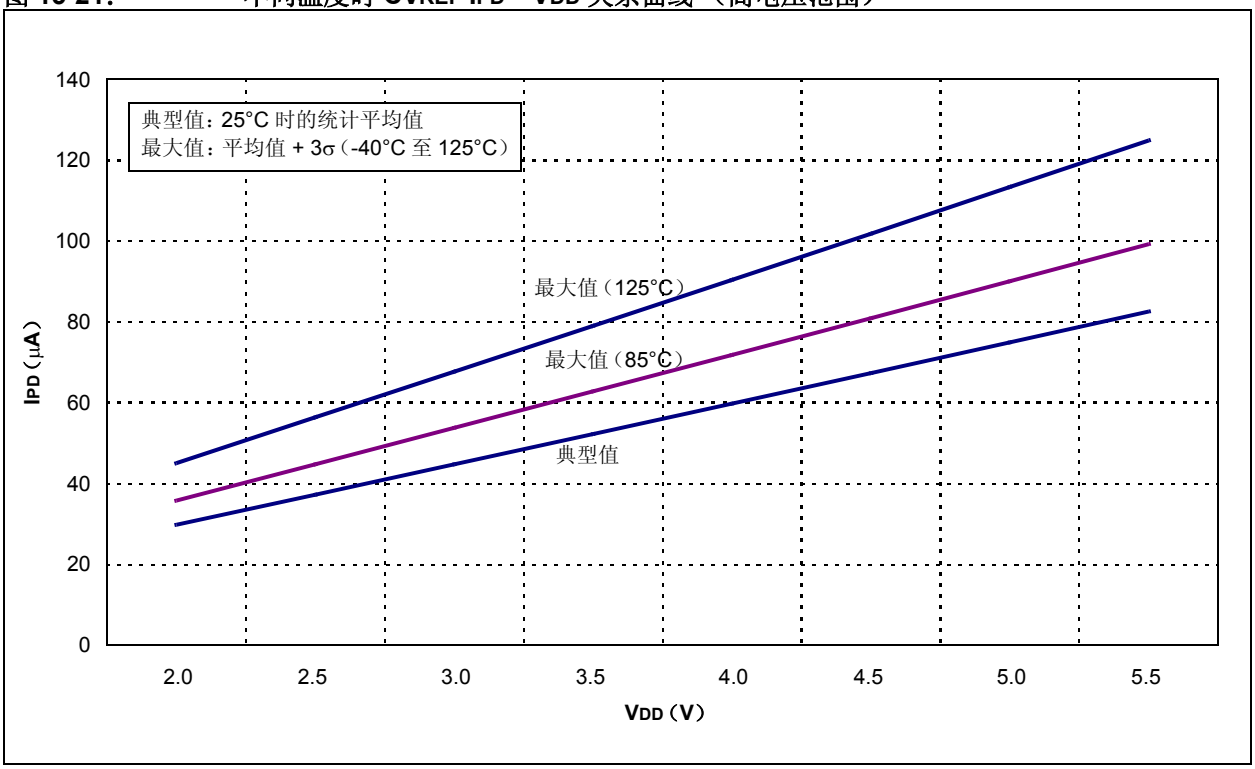


图 15-22：　　不同温度时 CVREF IPD—VDD 关系曲线 （低电压范围）

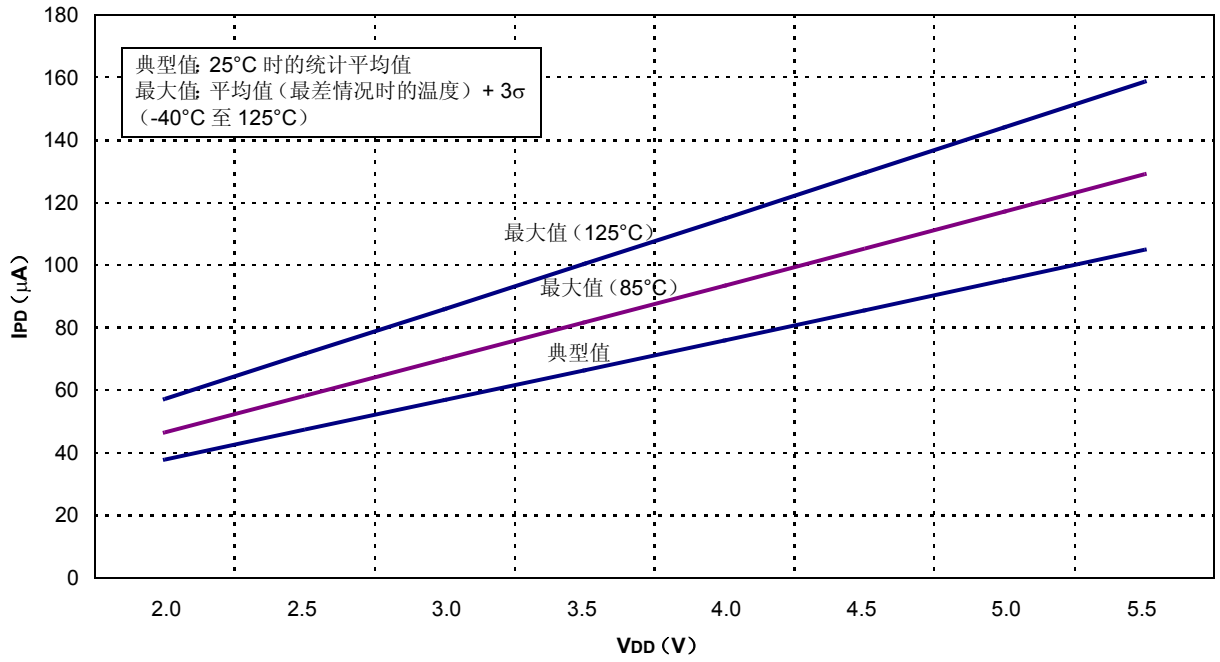
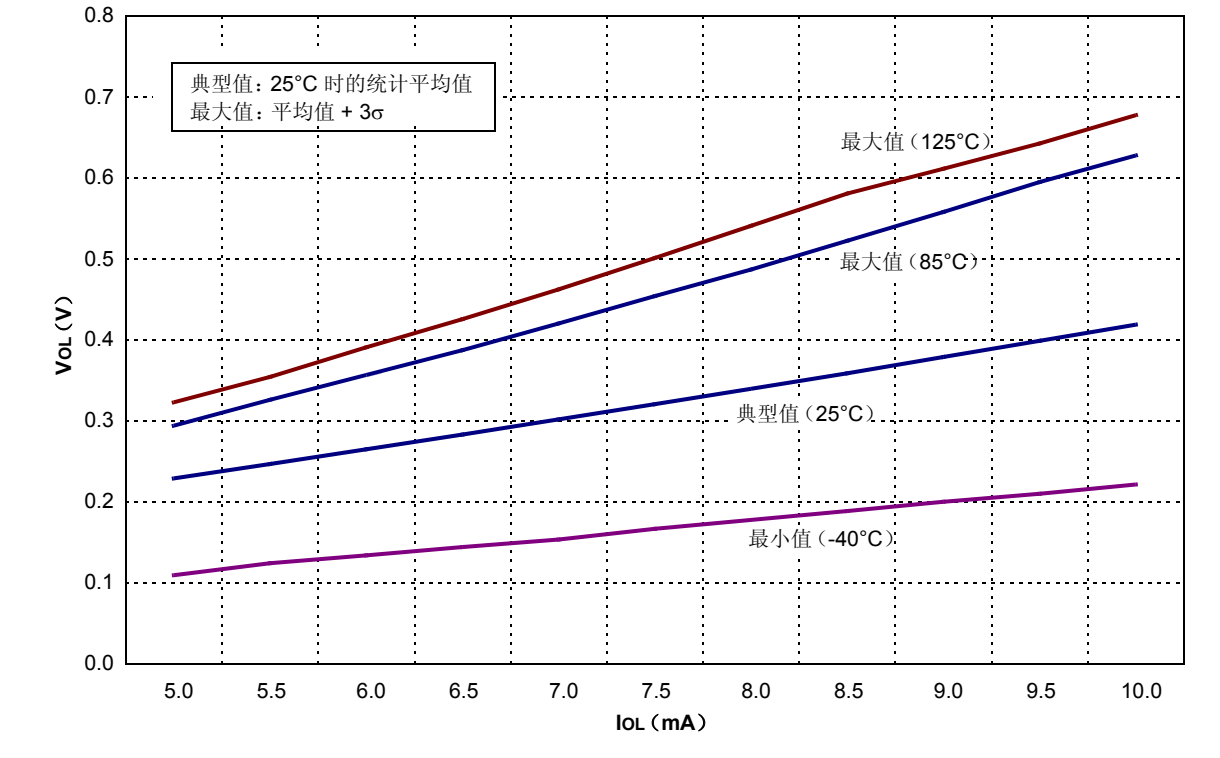


图 15-23：　　不同温度时 VOL—IOL 关系曲线 （VDD = 3.0V）



© 2007 Microchip Technology Inc.

图 15-24：　　不同温度时 VOL—IOL 关系曲线 （VDD = 5.0V）

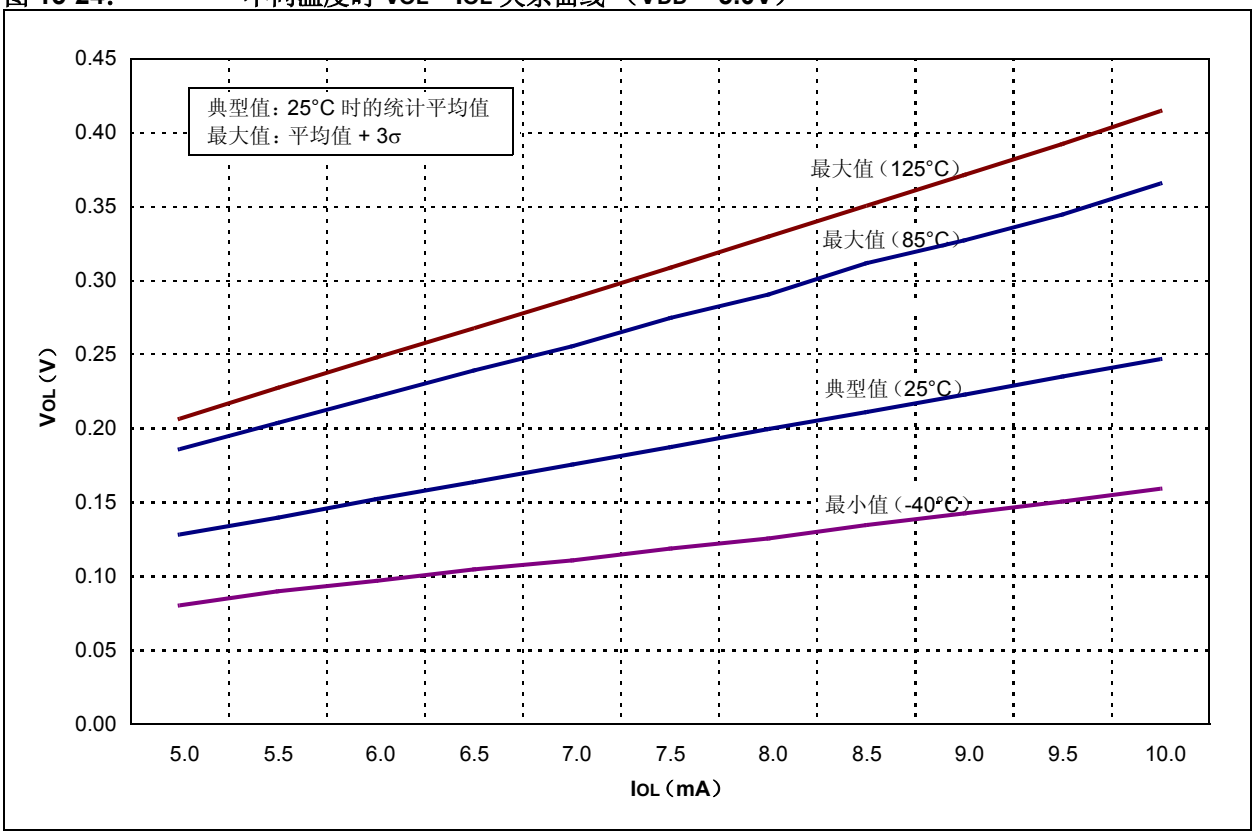


图 15-25：　　不同温度时 VOH—IOH 关系曲线 （VDD = 3.0V）

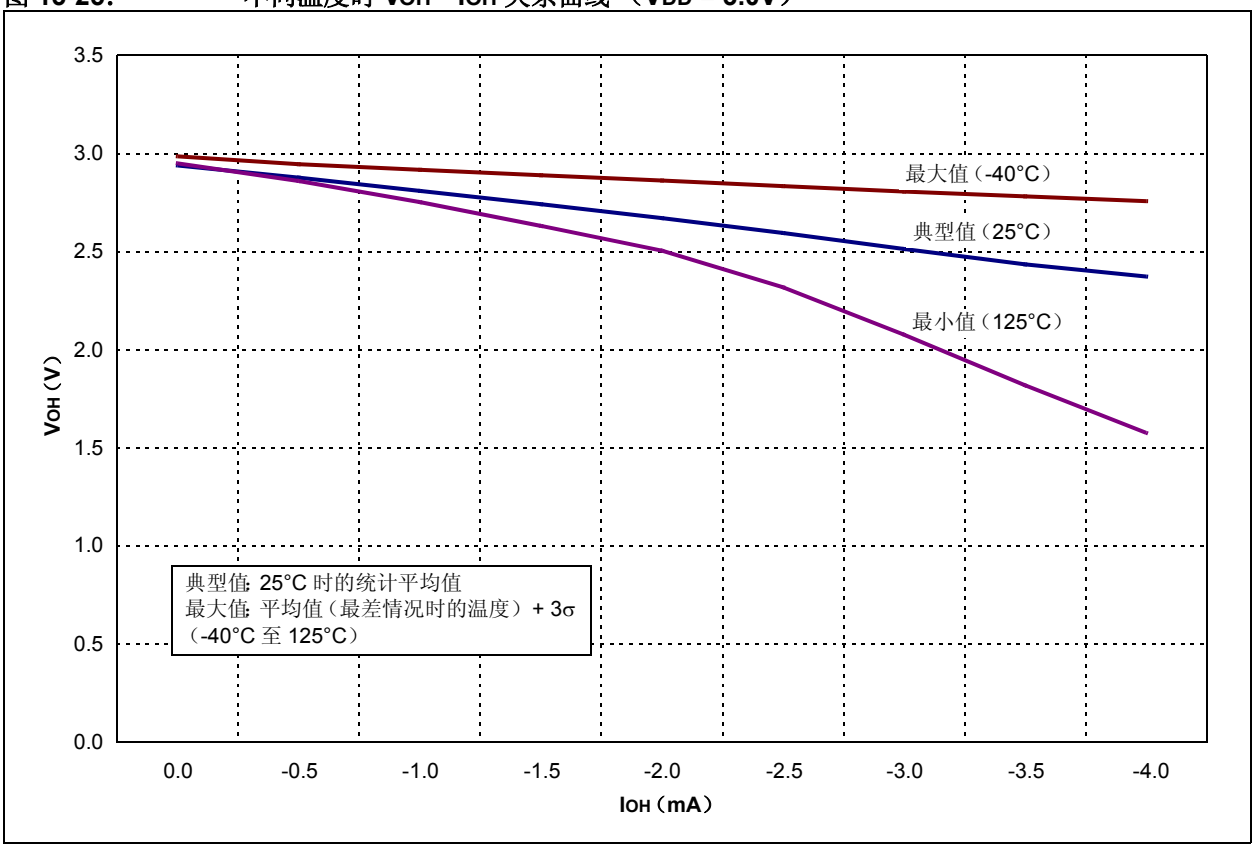


图 15-26：　　不同温度时 VOH—IOH 关系曲线 （VDD = 5.0V）

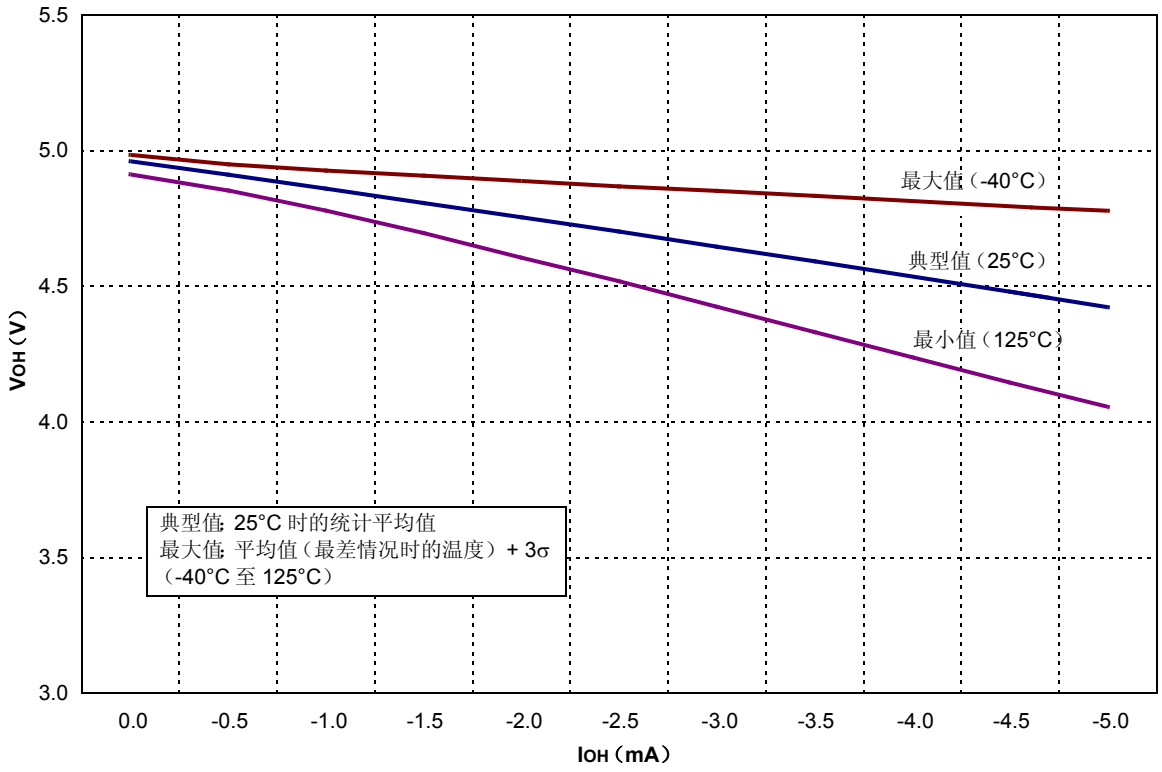
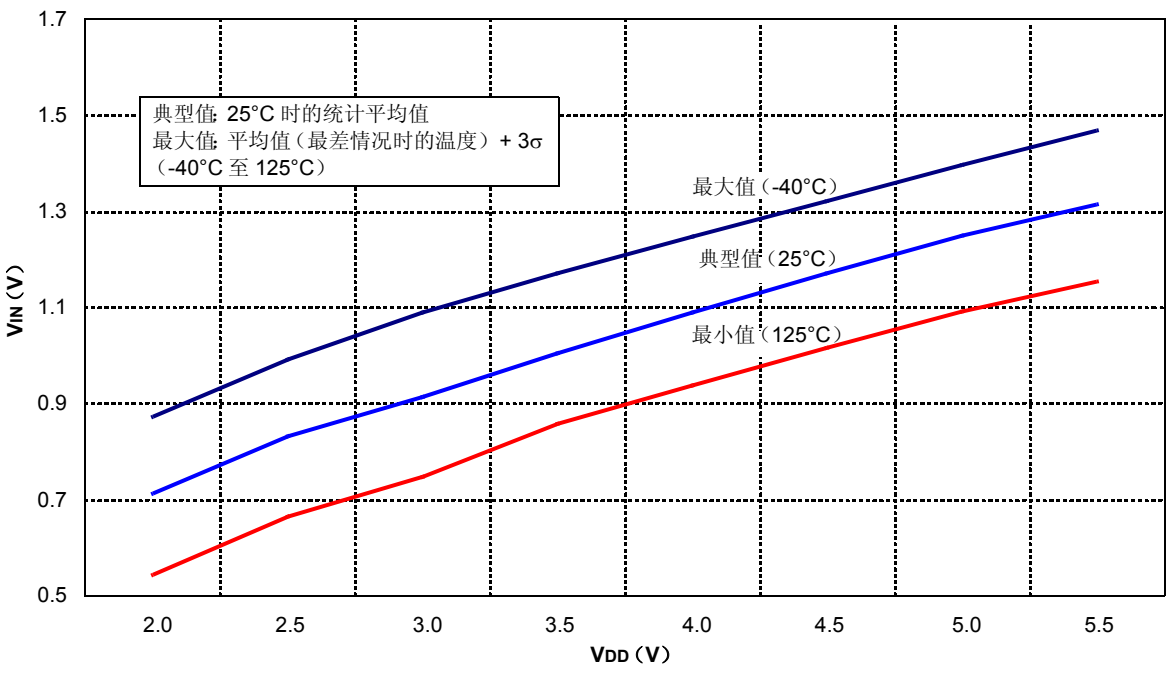


图 15-27：　　不同温度时 TTL 输入门限 VIN—VDD 关系曲线



© 2007 Microchip Technology Inc.

图 15-28：　　不同温度时施密特触发器输入门限 VIN—VDD 关系曲线

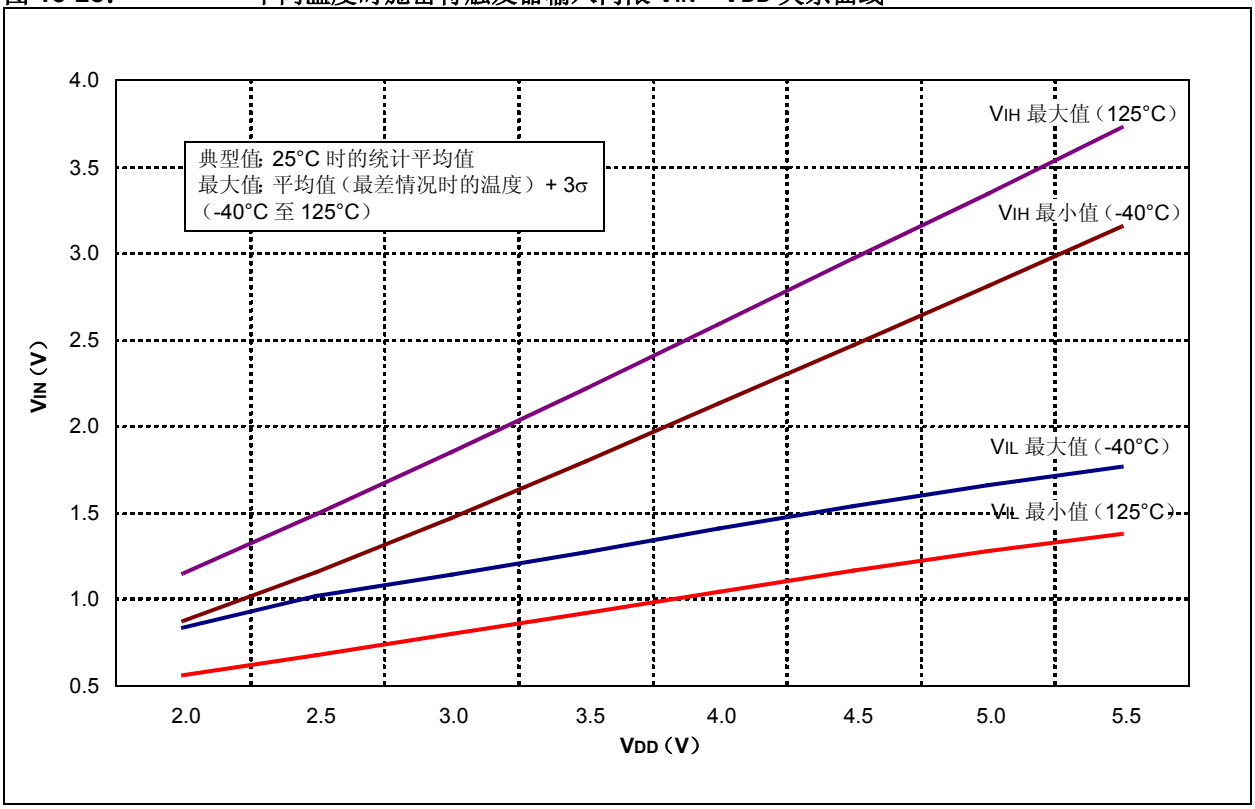


图 15-29：　　不同温度时 T1OSC IPD—VDD 关系曲线 （32 kHz）

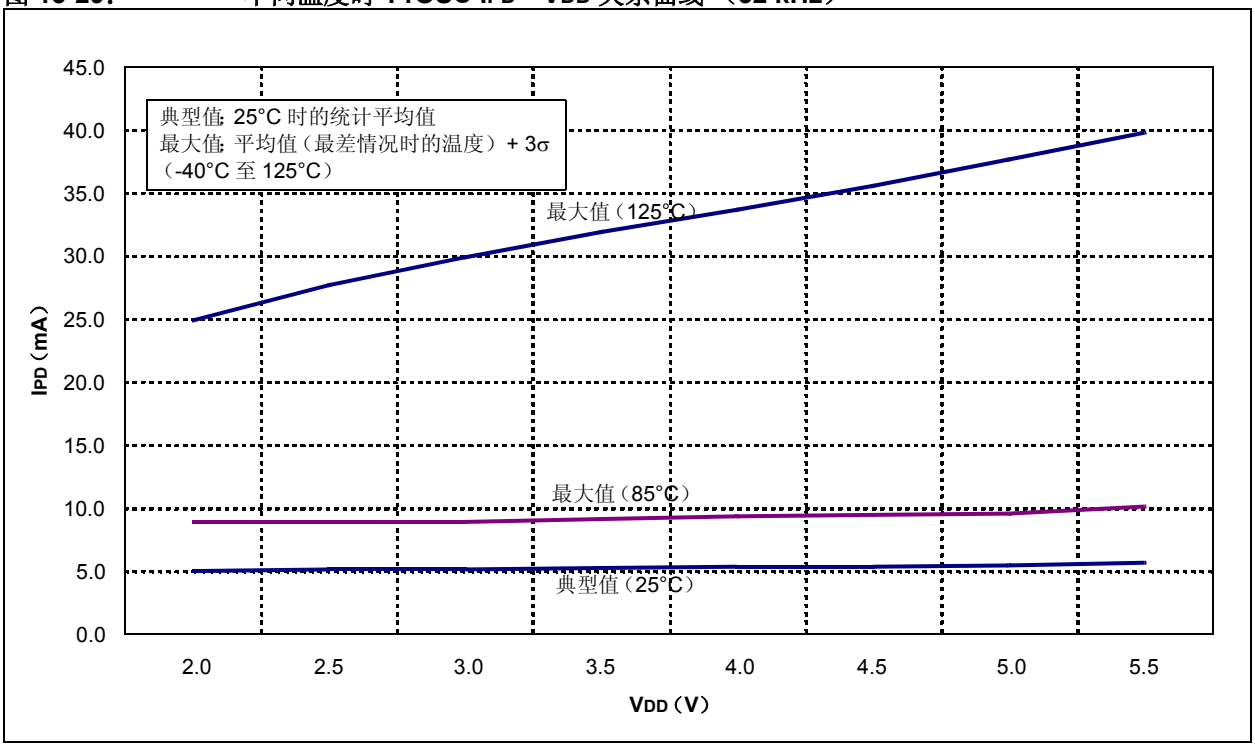


图 15-30： 比较器响应时间 （上升沿）

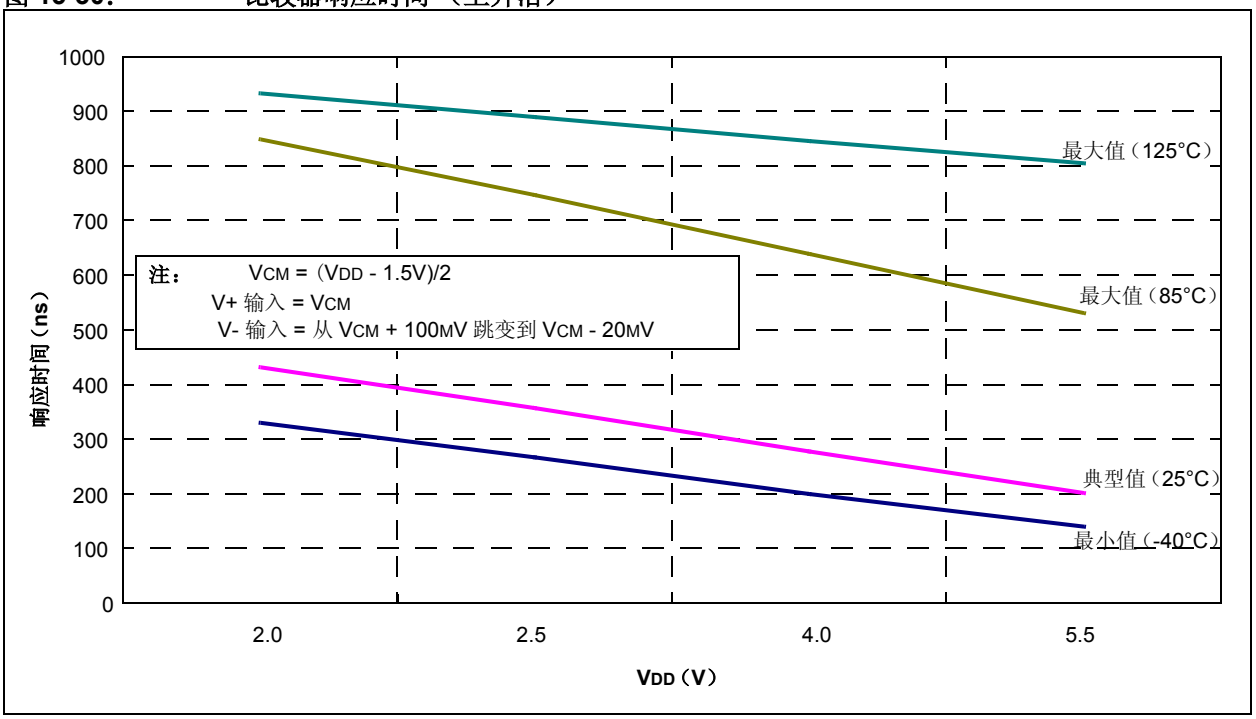
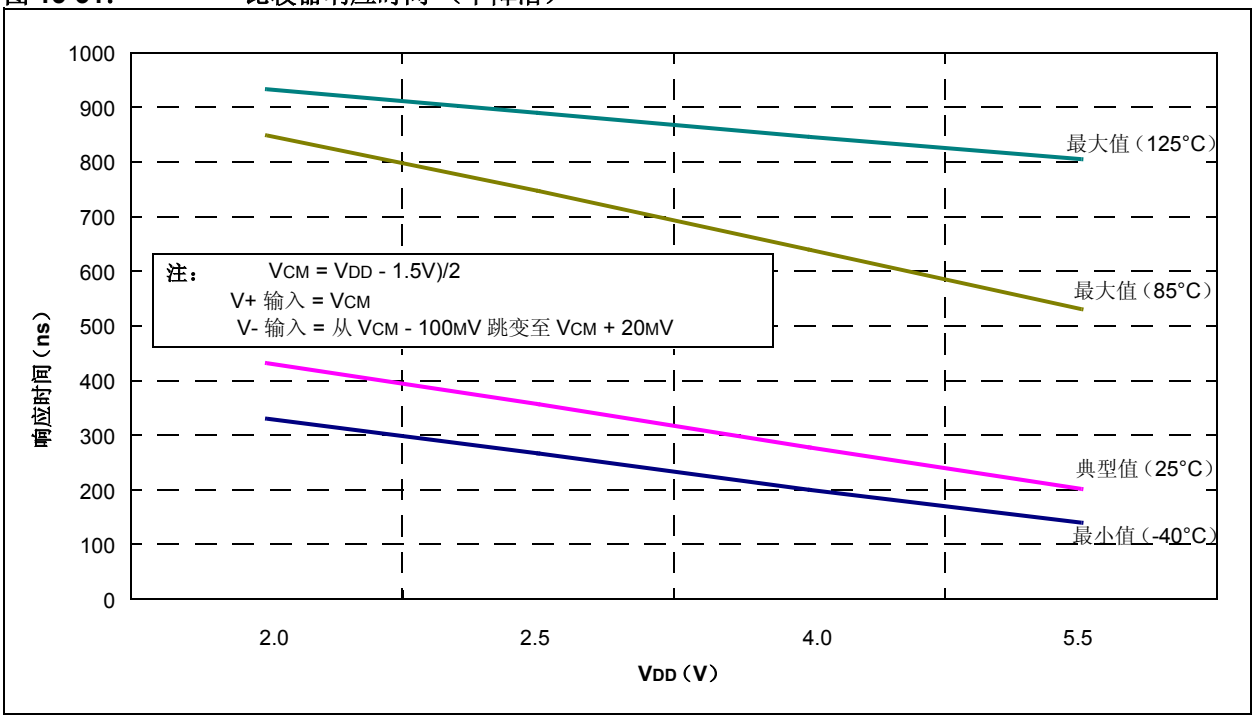


图 15-31： 比较器响应时间 （下降沿）



© 2007 Microchip Technology Inc.

图 15-32：　　不同温度时 LFINTOSC 频率—VDD 关系曲线 （31 kHz）

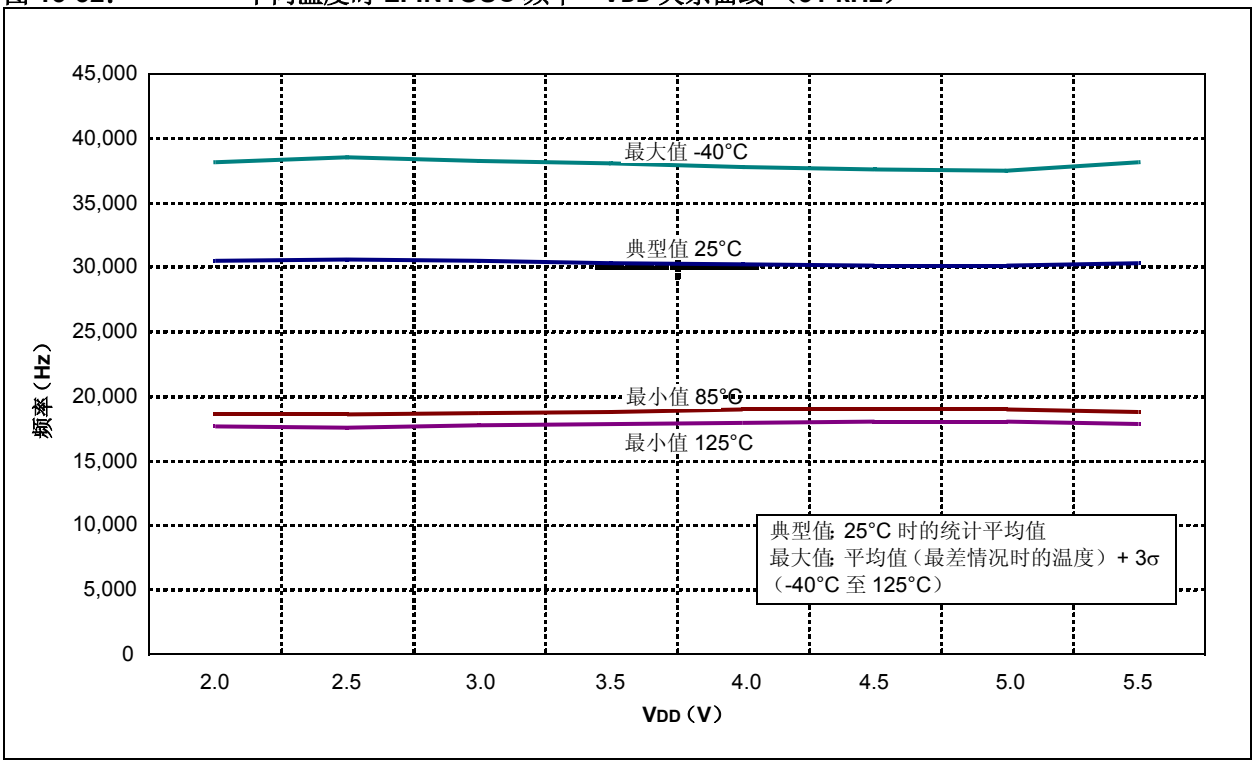


图 15-33：　　不同温度时 ADC 时钟周期—VDD 关系曲线

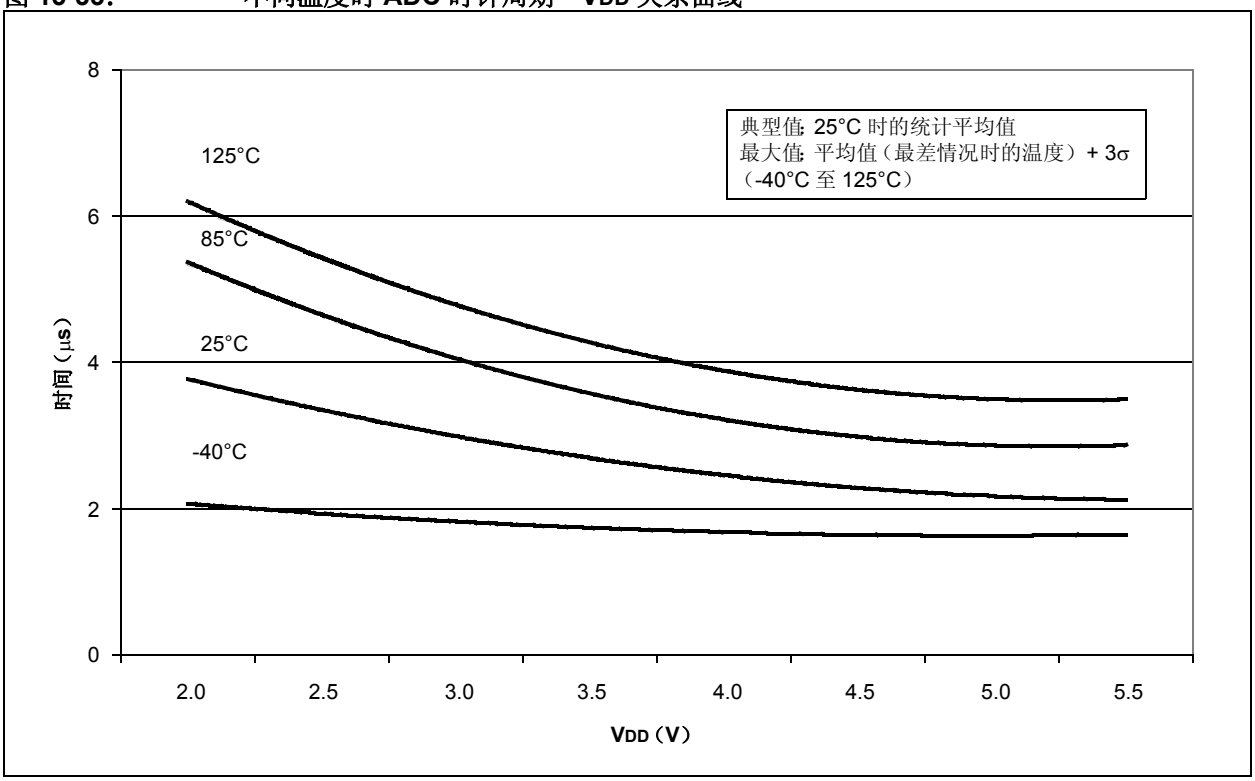


图 15-34：　　不同温度时典型 HFINTOSC 起振时间—VDD 关系曲线

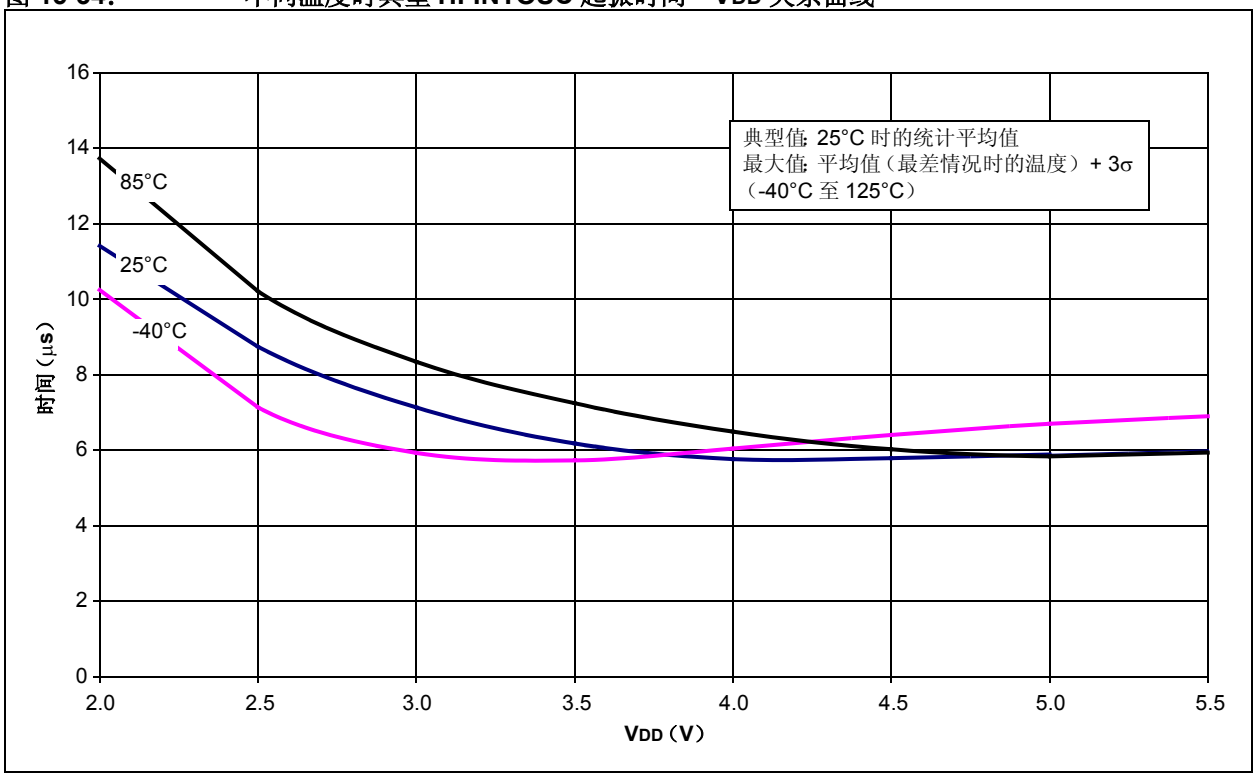
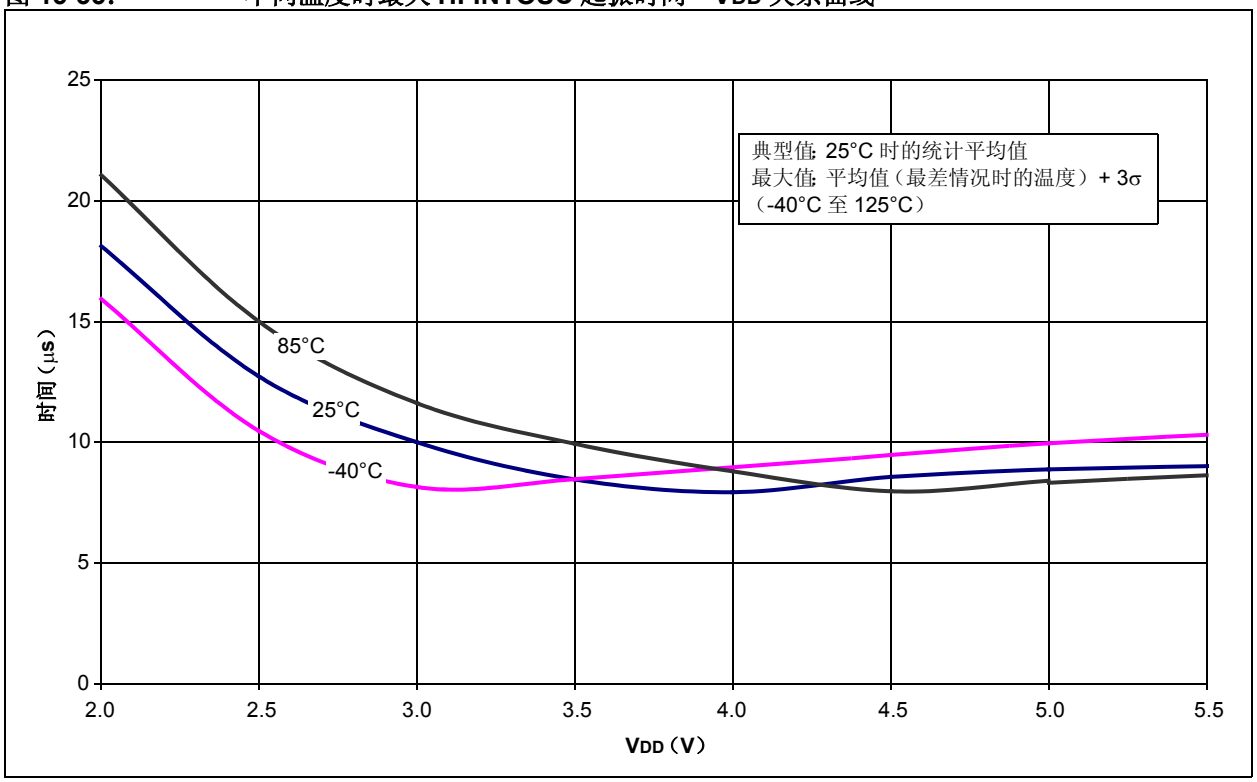


图 15-35：　　不同温度时最大 HFINTOSC 起振时间—VDD 关系曲线



© 2007 Microchip Technology Inc.

图 15-36：　　不同温度时最小 HFINTOSC 起振时间—VDD 关系曲线

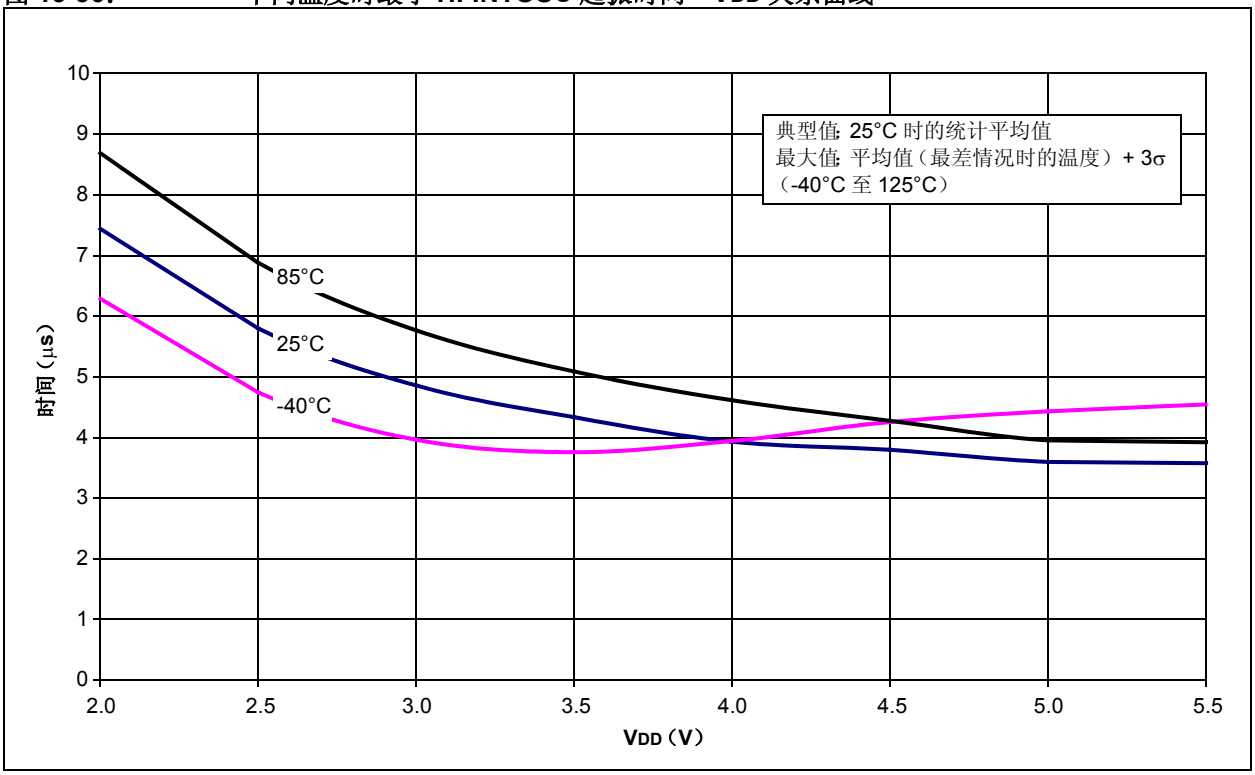


图 15-37：　　典型 HFINTOSC 频率变化—VDD 关系曲线 （25°C）

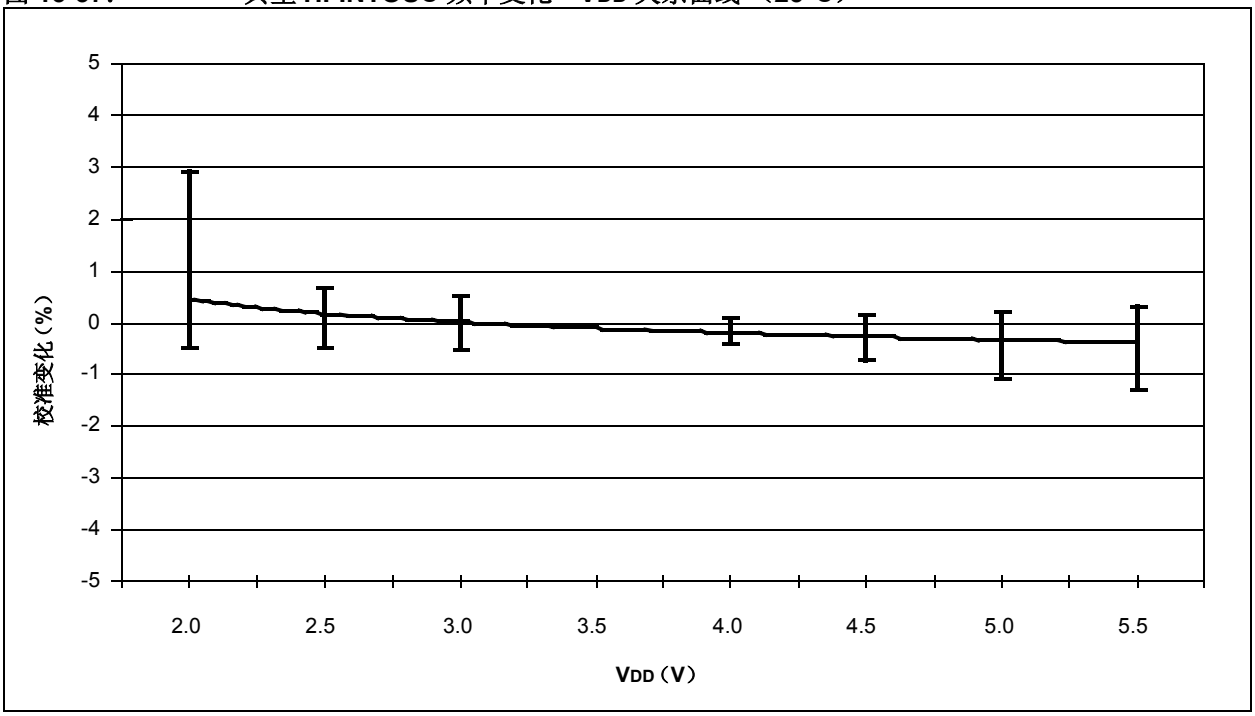


图 15-38： 不同器件 VDD 的典型 HFINTOSC 频率变化 （85°C）

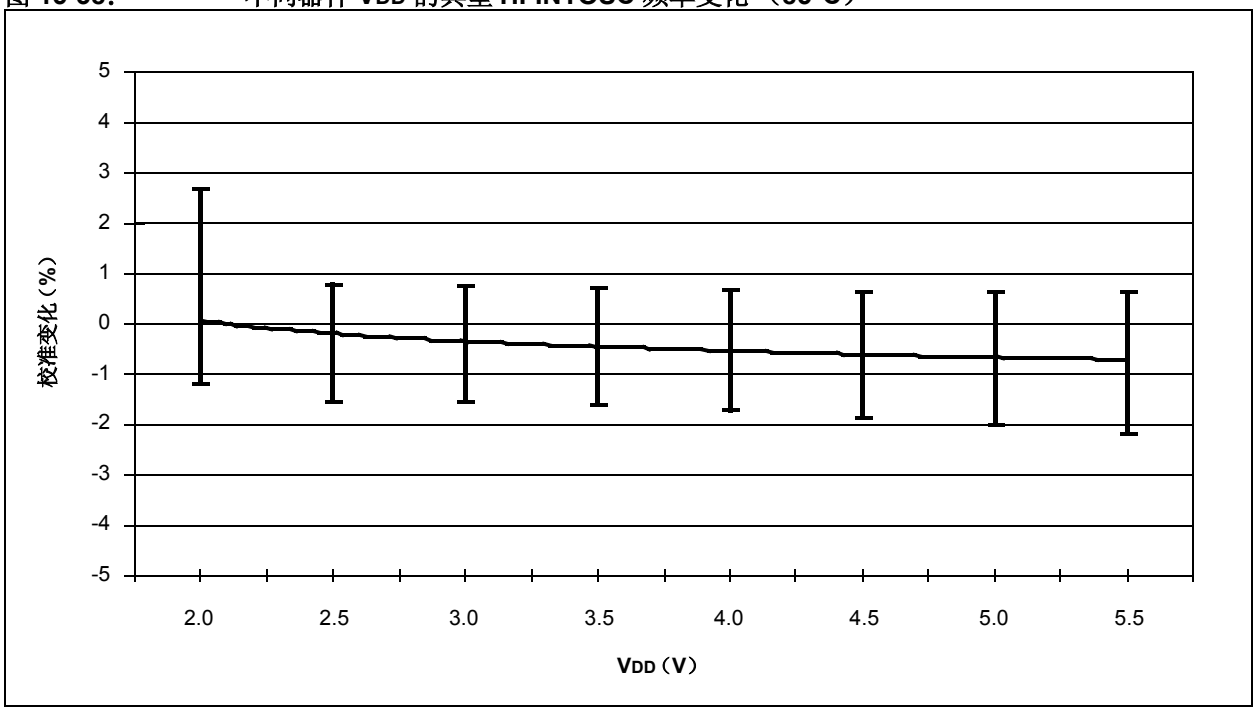
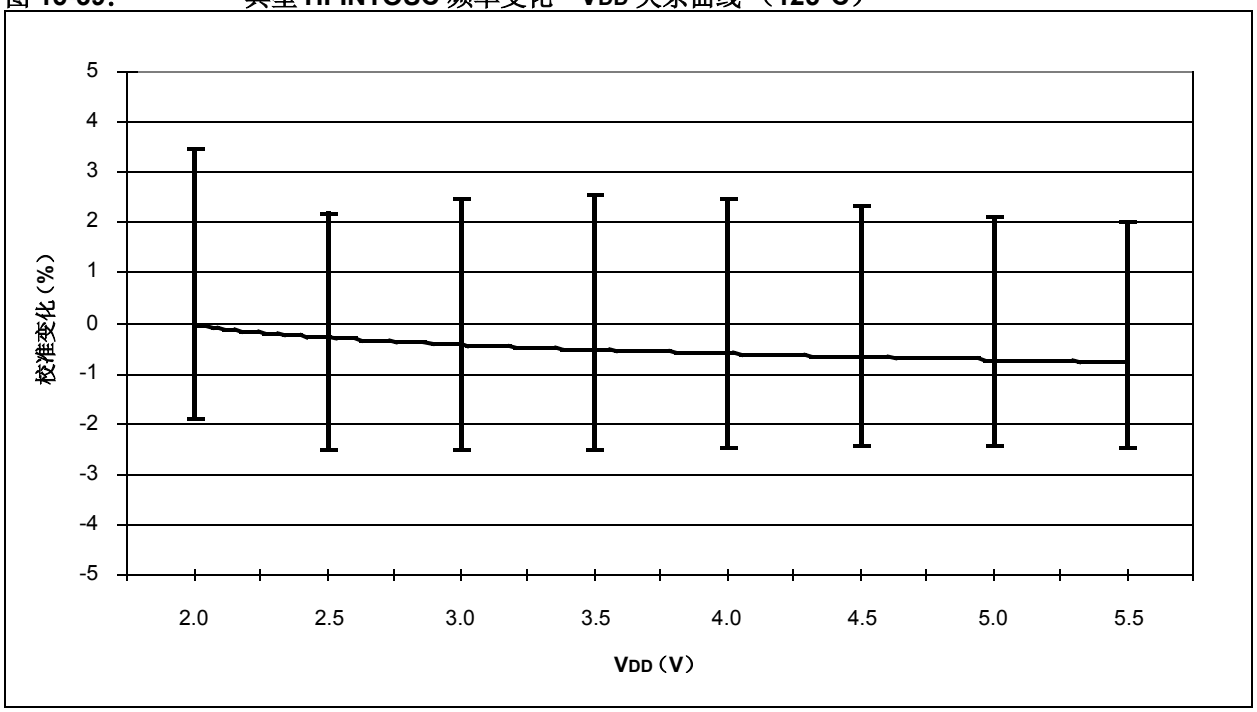
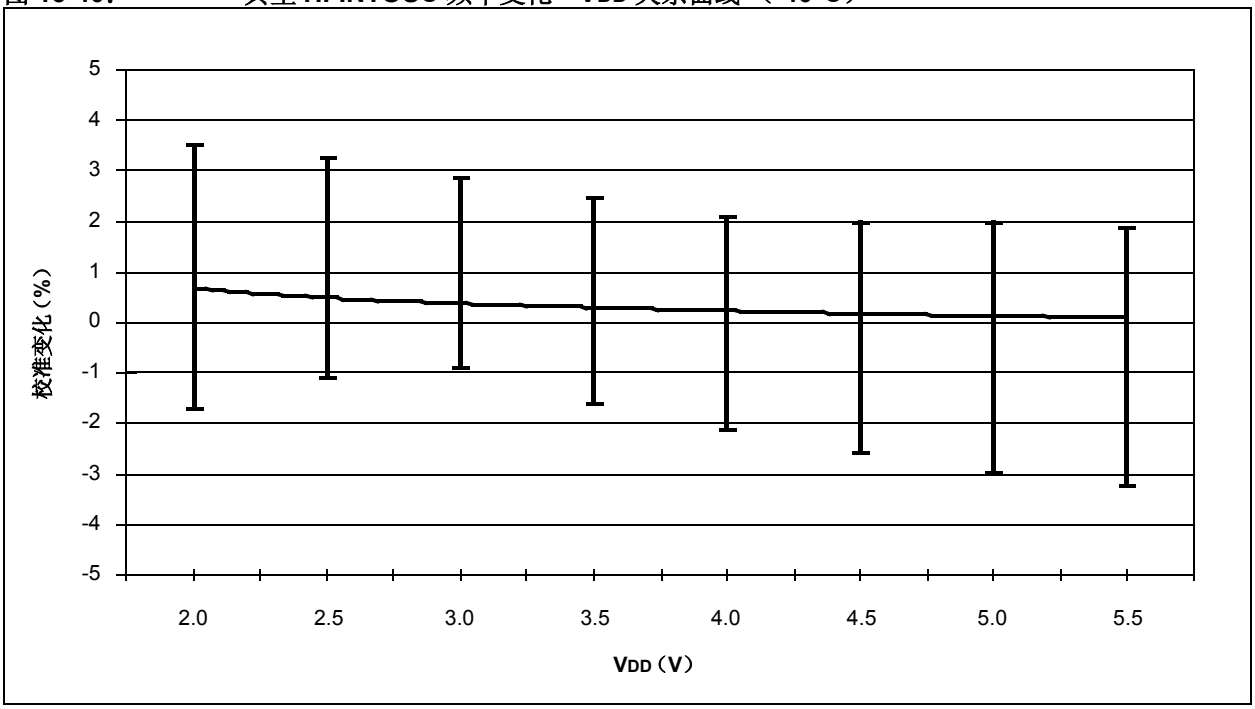


图 15-39： 典型 HFINTOSC 频率变化—VDD 关系曲线 （125°C）



© 2007 Microchip Technology Inc.

图 15-40： 典型 HFINTOSC 频率变化—VDD 关系曲线 （-40°C）



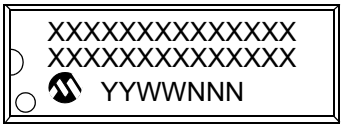
注：

© 2007 Microchip Technology Inc.

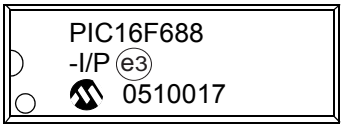
16.0 封装信息

16.1 封装标识信息

14 引脚 PDIP（窄型 DIP）

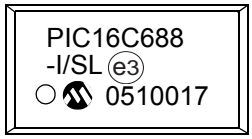


示例

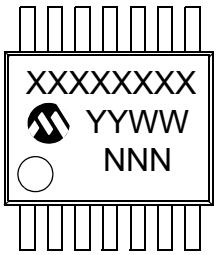


14 引脚 SOIC（3.90 mm）

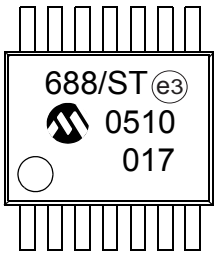
示例



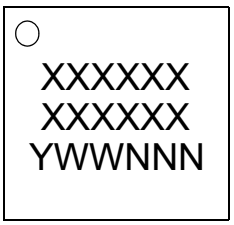
14 引脚 TSSOP



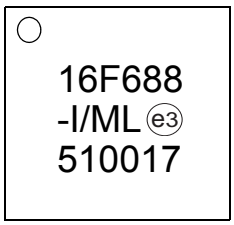
示例



16 引脚 QFN



示例



图注：	XX...X	客户指定信息 *
	Y	年份代码 （公历年份的最后一位）
	YY	年份代码 （公历年份的最后两位）
	WW	星期代码 （1 月 1 日的星期代码为 “01”）
	NNN	字母数字的追踪代码
	(e3)	雾锡 （Matte Tin， Sn）的 JEDEC 标志
	*	本封装为无铅封装。无铅 JEDEC 标志 （(e3)）标识于此种封装的外包装上。

注： 如果 Microchip 器件编号不能在一行中完全标出，它将换行继续标出。因此限制了用户指定信息的可用字符数。

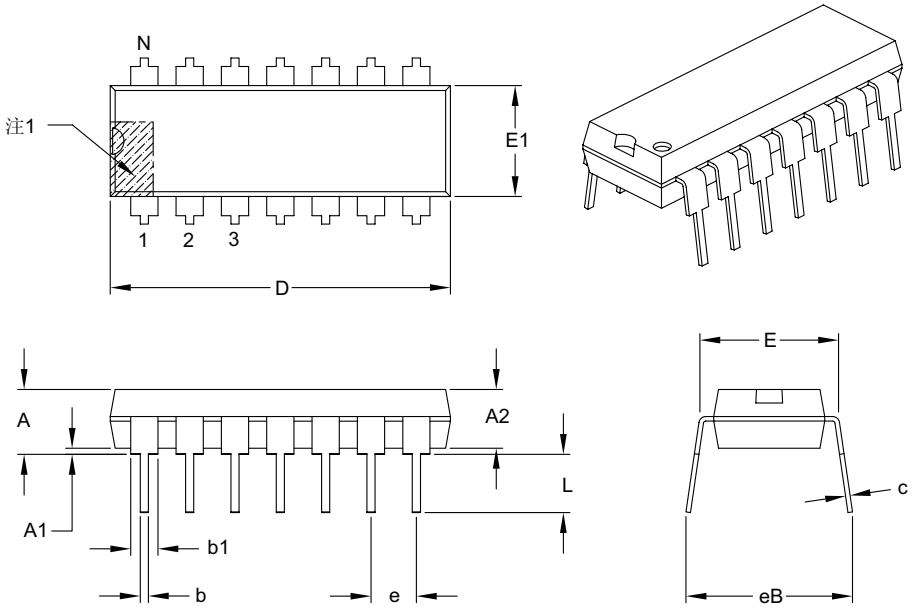
* 标准 PIC® 器件标识包括 Microchip 器件编号、年份代码、星期代码和追踪代码。如需超过此范围的 PIC 器件标识，需支付一定的附加费用。请向当地的 Microchip 销售办事处确认相关信息。对于 QTP 器件，任何特殊标记的附加费用都已包含在 QTP 价格中。

16.2 详细封装

以下给出了封装的技术细节。

14引脚塑封双列直插封装（**P**）——**300 mil**主体**[PDIP]**

注： 最新封装图请至 http://www.microchip.com/packaging 查看 Microchip封装规范。



单位		英寸		
尺寸范围		最小	正常	最大
引脚数	N	14		
引脚间距	e	.100 BSC		
顶端到底座平面距离	A	-	-	.210
塑模封装厚度	A2	.115	.130	.195
基面到底座平面距离	A1	.015	-	-
肩宽	E	.290	.310	.325
塑模封装宽度	E1	.240	.250	.280
总长度	D	.735	.750	.775
足尖到底座平面距离	L	.115	.130	.150
引脚厚度	c	.008	.010	.015
引脚上部宽度	b1	.045	.060	.070
引脚下部宽度	b	.014	.018	.022
总行间距 §	eB	-	-	.430

注：
1. 引脚1外观定位特性可以变化，但必须处于阴影区域内。
2. § 为重要特性。
3. 尺寸D和E1不包括塑模的毛边或突起。塑模的毛边或突起每侧不得超过.010"。
4. 尺寸及公差依照ASME Y14.5M。

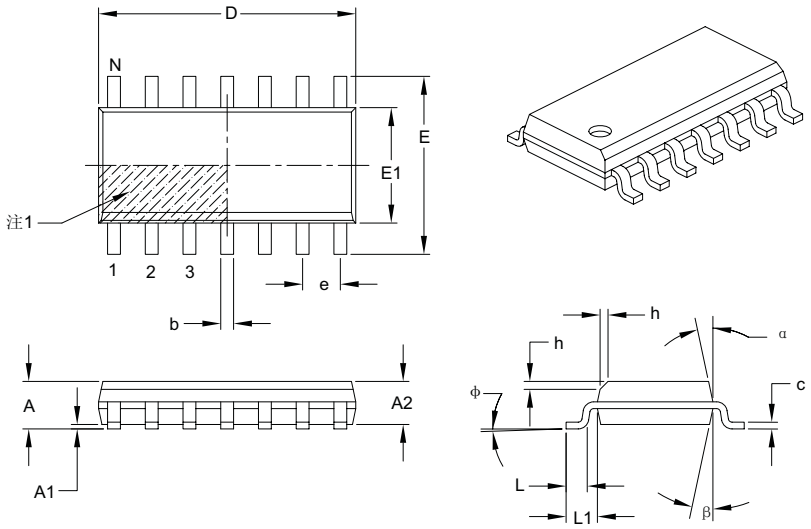
BSC：基本尺寸。理论精确值，无公差。

Microchip 图号：C04-005B

© 2007 Microchip Technology Inc.

14引脚塑封小外型封装（**SL**）——窄条型，**3.90 mm**主体**[SOIC]**

注：	最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



单位		毫米		
尺寸范围		最小	正常	最大
引脚数	N	14		
引脚间距	e	1.27 BSC		
总高度	A	-	-	1.75
塑模封装厚度	A2	1.25	-	-
悬空间隙 §	A1	0.10	-	0.25
总宽度	E	6.00 BSC		
塑模封装宽度	E1	3.90 BSC		
总长度	D	8.65 BSC		
倒角（可选）	h	0.25	-	0.50
底足长度	L	0.40	-	1.27
底足投影长度	L1	1.04 REF		
底足倾角	ϕ	0°	–	8°
引脚厚度	c	0.17		0.25
引脚宽度	b	0.31		0.51
塑模顶部椎度	α	5°	–	15°
塑模底部椎度	β	5°	–	15°

注：

1. 引脚1外观定位特性可以变化，但必须处于阴影区域内。
2. § 重要特性
3. 尺寸D和E1不包括塑模的毛边或突起。塑模的毛边或突起每侧不得超过0.15 mm。
4. 尺寸和公差依照ASME Y14.5M。

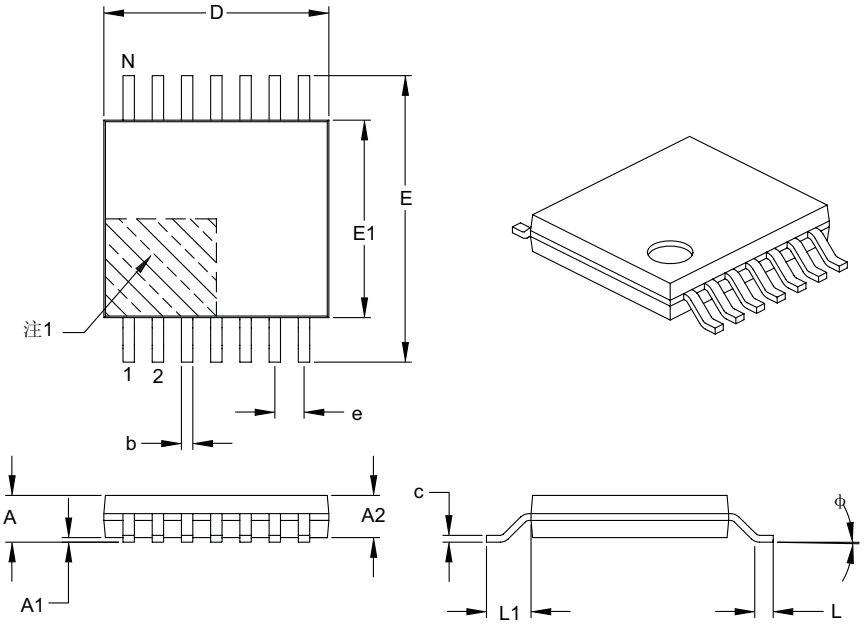
BSC： 基本尺寸。理论精确值，无公差。

REF： 参考尺寸，通常无公差，仅供参考。

Microchip 图号：C04-065B

14引脚塑封薄型缩小外型封装（**ST**）——**4.4 mm**主体 **[TSSOP]**

注：	最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



单位		毫米		
尺寸范围		最小	正常	最大
引脚数	N	14		
引脚间距	e	0.65 BSC		
总高度	A	-	-	1.20
塑模封装厚度	A2	0.80	1.00	1.05
悬空间隙	A1	0.05	-	0.15
总宽度	E	6.40 BSC		
塑模封装宽度	E1	4.30	4.40	4.50
塑模封装长度	D	4.90	5.00	5.10
底足长度	L	0.45	0.60	0.75
底足投影长度	L1	1.00 REF		
底足倾斜角	ϕ	0°	–	8°
底足厚度	c	0.09	-	0.20
底足宽度	b	0.19	-	0.30

注：

1. 引脚1外观定位特性可能变化，但必须位于阴影区域内。
2. 尺寸D和E1不包括塑模的毛边或突起。塑模的毛边或突起每侧不得超过0.15 mm。
3. 尺寸和公差依照ASME Y14.5M。

BSC：基本尺寸。理论精确值，无公差。

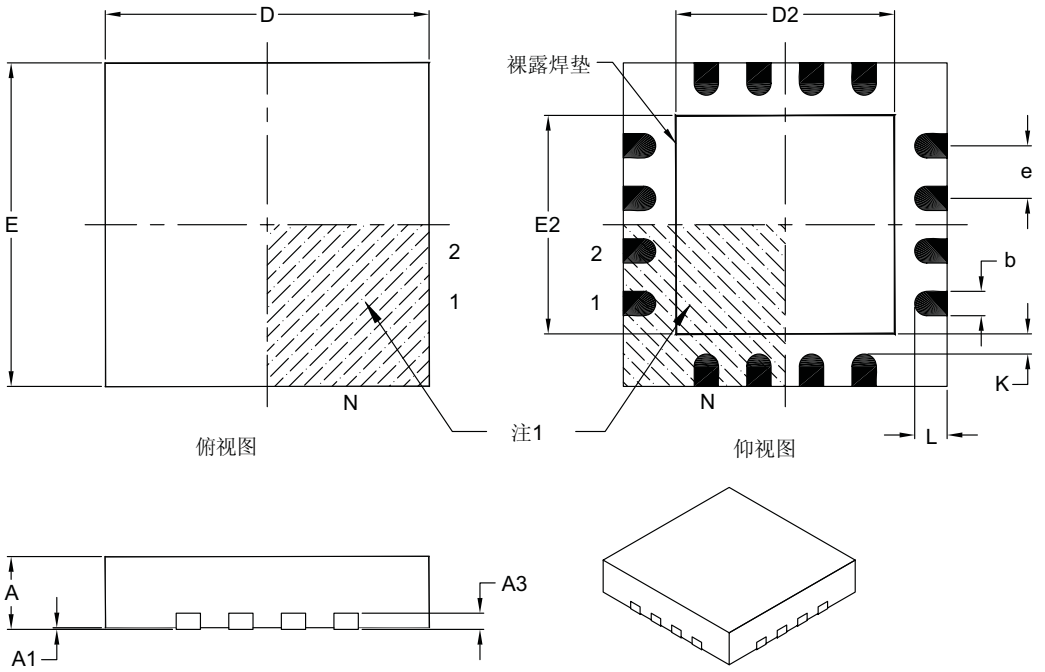
REF：参考尺寸，通常无公差，仅供参考。

Microchip 图号：C04-087B

© 2007 Microchip Technology Inc.

16引脚塑封四方扁平无引脚封装（**ML**）——**4x4x0.9 mm**主体 **[QFN]**

注：	最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



单位		毫米		
尺寸范围		最小	正常	最大
引脚数	N	16		
引脚间距	e	0.65 BSC		
总高度	A	0.80	0.90	1.00
悬空间隙	A1	0.00	0.02	0.05
触点厚度	A3	0.20 REF		
总宽度	E	4.00 BSC		
裸露焊垫宽度	E2	2.50	2.65	2.80
总长度	D	4.00 BSC		
裸露焊垫长度	D1	2.50	2.65	2.80
触点宽度	b	0.25	0.30	0.35
触点长度	L	0.30	0.40	0.50
触点至裸露焊垫距离	K	0.20	-	-

注：

1. 引脚1外观定位特性可以变化，但必须位于阴影区域内。
2. 封装为切割分离。
3. 尺寸和公差依照ASME Y14.5M。

BSC： 基本尺寸。理论精确值，无公差。

REF： 参考尺寸，通常无公差，仅供参考。

Microchip 图号：C04-127

注：

© 2007 Microchip Technology Inc.

附录 A： 数据手册版本历史

版本 A

这是新的数据手册。

版本 B

重写了 “振荡器”和 “CPU 的特性”章节。对图和格式进行了一般修正。

版本 C

修改了电气章节并增加了特性数据。增加了模板章节。

版本 D

替换了封装图；修改了产品 ID（SL 的封装修改为 3.90 mm）；将 PICmicro 替换为 PIC；替换了开发工具章节。

附录 B： 从其他 PIC® 器件移植

本节讨论从其他 PIC 器件移植到 PIC16F6XX 系列器件的某些问题。

B.1 PIC16F676 到 PIC16F688

表 B-1： 功能比较

功能	PIC16F676	PIC16F688
最大工作速度	20 MHz	20 MHz
最大程序存储器（字）	1024	4K
SRAM（字节）	64	256
A/D 转换的分辨率	10 位	10 位
数据 EEPROM（字节）	128	256
定时器（8/16 位）	1/1	1/1
振荡器模式	8	8
欠压复位	有	有
内部上拉	RA0/1/2/4/5	RA0/1/2/4/5，MCLR
电平变化中断	RA0/1/2/3/4/5	RA0/1/2/3/4/5
比较器	1	2
EUSART	N	Y
超低功耗唤醒	N	Y
扩展 WDT	N	Y
WDT/BOR 的软件控制选项	N	Y
INTOSC 频率	4 MHz	32 kHz - 8 MHz
时钟切换	N	Y

注： 该器件设计为按照数据手册上的参数来工作。它已通过电气规范测试，该规范用于确定器件是否符合这些参数。由于存在器件生产工艺上的差异，其工作特性可能与其早期版本的产品有所不同。这些不同可能导致该器件与其早期版本在应用中的性能差异。

注：

© 2007 Microchip Technology Inc.

索引

A

A/D
  规范 22
ADC 61
  采集要求 69
  工作原理 65
  启动 A/D 转换 64
  转换顺序 65
ADCON1 寄存器 67
ADRESH 寄存器 （ADFM = 0） 68
ADRESH 寄存器 （ADFM = 1） 68
ADRESL 寄存器 （ADFM = 0） 68
ADRESL 寄存器 （ADFM = 1） 68
ANSEL 寄存器 30

B

BAUDCTL 寄存器 90
版本历史 1
比较器 49
  C2OUT 作为 T1 门控 45
  工作原理 49
  休眠期间的操作 56
变更通知客户服务 1

C

C 编译器
  MPLAB C18 2
  MPLAB C30 2
CMCON1 寄存器 58
CONFIG 寄存器 107
CPU 功能 105
操作码字段说明 125
超低功耗唤醒 30, 32
程序存储器 3
  映射和堆栈 3
从其他 PIC 器件移植 1
存储器构成 3
  程序 3

D

代码示例
  A/D 转换 66
  初始化 PORTC 38
  间接寻址 16
  将预分频器分配给 Timer0 42
  将状态和 W 寄存器保存在 RAM 中 118
电气规范 5
掉电模式 （休眠） 121
定时器
  Timer1
    T1CON 47
读－修改－写操作 125

E

EEADRH 寄存器 73
EEADR 寄存器 73, 74
EECON1 寄存器 73, 75
EECON2 寄存器 73
EEDATH 寄存器 74
EEDAT 寄存器 74
EUSART
  波特率发生器 （BRG）
    高波特率选择 （BRGH 位） 91
    自动波特率检测 95
  异步从模式
    发送 103
  异步模式
    波特率发生器 （BRG） 91
    发送器 81
    接收器 84
    设置带地址检测的 9 位模式 86

F

复位 108

G

故障保护时钟监控器 27

H

汇编器
  MPASM 汇编器 2

I

I/O 端口 29

J

寄存器
  ADCON1 （ADC 控制 1） 67
  ADRESH （ADC 结果高字节， ADFM = 0） 68
  ADRESH （ADC 结果高字节， ADFM = 1） 68
  ADRESL （ADC 结果低字节， ADFM = 0） 68
  ADRESL （ADC 结果低字节， ADFM = 1） 68
  ANSEL （模拟选择） 30
  BAUDCTL （波特率控制） 90
  CMCON1 （比较器控制 1） 58
  CONFIG （配置字） 107
  EEADR （EEPROM 地址） 74
  EECON1 （EEPROM 控制 1） 75
  EEDATH （EEPROM 数据高字节 ） 74
  EEDATH （EEPROM 数据高字节） 74
  EEDAT （EEPROM 数据） 74
  复位值 113
  复位值 （特殊寄存器） 114
  INTCON （中断控制） 11
  OPTION_REG （选项） 10, 43
  OSCTUNE （振荡器调节） 22
  PCON （电源控制寄存器） 14
  PCON （电源控制） 111
  PIE1 （外设中断允许 1） 12
  PIR1 （外设中断寄存器 1） 13
  PORTC 38
  RCREG 寄存器 95
  T1CON 47
  TRISA （三态 PORTA） 29
  TRISC （三态 PORTC） 38
  特殊功能寄存器汇总 5
  WDTCON （看门狗控制） 120
  WPUA （弱上拉 PORTA） 31
  VRCON （参考电压控制） 59
ID 地址单元 122
INTCON 寄存器 11
间接寻址、 INDF 和 FSR 寄存器 16
交流规范
  工业级和扩展级 15
具备门控功能的 Timer1 模块 44
绝对极限参数值 5

K

开发支持 1
看门狗定时器 （WDT）
    规范 19
    相关寄存器 120
勘误表 4
客户通知服务 1
客户支持 1
框图
    故障保护时钟监视器 （FSCM） 27
    看门狗定时器 （WDT） 119
    片上复位电路 108
    RC0 和 RC1 引脚 39
    RC4 引脚 40
    Timer1 44
    TMR0/WDT 预分频器 41
    在线串行编程连接 123
    中断逻辑 116

M

MCLR 109
    内部 109
Microchip 因特网网站 1
MPLAB ASM30 汇编器、链接器和库管理器 2
MPLAB ICD 2 在线调试器 3
MPLAB ICE 2000 高性能通用在线仿真器 3
MPLAB PM3 器件编程器 3
MPLAB REAL ICE 在线仿真器系统 3
MPLAB 集成开发环境软件 1
MPLINK 目标链接器 /MPLIB 目标库管理器 2
模数转换器。*请参见* ADC

O

OPTION 寄存器 10
OPTION_REG 寄存器 43
OSCCON 寄存器 6
OSCTUNE 寄存器 22

P

PCL 和 PCLATH 15
    堆栈 15
    计算 GOTO 15
PCON 寄存器 14, 111
PICSTART 2 开发编程器 4
PICSTART Plus 开发编程器 4
PIE1 寄存器 12
PIR1 寄存器 13
PORTA 29
    规范 17
    RA0 33
    RA1 34
    RA2 34
    RA4 35
    RA5 36
    引脚的其他功能
        ANSEL 寄存器 30
        超低功耗唤醒 30, 32
        电平变化中断 30
        弱上拉 30
    引脚说明和引脚图 33
PORTC 38
    规范 17
    PA/PB/PC/PD。*请参见*增强型通用异步收发器 （EUSART） 38
PORTC 寄存器 38

Q

欠压复位 （BOR）
    时序和特性 18
    相关的寄存器 111
欠压检测 （BOR）
    规范 19

R

RA3/MCLR/VPP 35
熔丝。*请参见*配置位
软件模拟器 （MPLAB SIM） 2

S

SPBRG 91
SPBRGH 91
闪存程序存储器 73
上电复位 （POR） 109
上电延时定时器 （PWRT） 109
    规范 19
时序图
    A/D 转换 24
    A/D 转换 （休眠模式） 24
    CLKOUT 和 I/O 17
    从中断唤醒 122
    INT 引脚中断 117
    欠压复位情形 110
    欠压复位 （BOR） 18
    延时时序
        情形 1 1 12
        情形 2 1 12
        情形 3 1 12
使用中断唤醒 121
数据 EEPROM 存储器 73
    读取 76
    写 76
双速时钟启动模式 25

T

T1CON 寄存器 47
Timer0
    工作原理 41
    规范 20
    T0CKI 42
    相关的寄存器 43
    中断 42, 43
Timer0 模块 41
Timer1
    规范 20
    Timer1 门控
        反转门控 45
        选择门控源 45
    TMR1H 寄存器 44
    TMR1L 寄存器 44
    相关的寄存器 48
    休眠时的工作原理 46
    异步计数器模式 45
    预分频器 45
    中断 46
TRISA 29
TRISA 寄存器 29
TRISC 寄存器 38
TXREG 81
TXSTA 寄存器
    BRGH 位 91
特殊功能寄存器 3

© 2007 Microchip Technology Inc.

通用寄存器文件 3

W

WDTCON 寄存器 5, 120
WPUA 寄存器 31
WWW 地址 1
WWW，在线支持 4

Y

因特网址 1
预分频器
    切换预分频器的分配 42

Z

增强型通用同步 / 异步收发器 （EUSART） 79
振荡器
    相关的寄存器 28
振荡器规范 15
振荡器起振定时器 （OST）
    规范 19
振荡器切换
    故障保护时钟监控器 27
    双速时钟启动 25
指令格式 125
指令集
    ADDLW 127
    ADDWF 127
    ANDLW 127
    ANDWF 127
    BCF 127
    BSF 127
    BTFSC 127
    BTFSS 128
    CALL 128
    CLRF 128
    CLRW 128
    CLRWDT 128
    COMF 128
    DECF 128
    DECFSZ 129
    GOTO 129
    汇总表 （指令集 bbbb） 126
    INCF 129
    INCFSZ 129
    IORLW 129
    IORWF 129
    MOVF 130
    MOVLW 130
    MOVWF 130
    NOP 130
    RETFIE 131
    RETLW 131
    RETURN 131
    RLF 132
    RRF 132
    SLEEP 132
    SWAPF 133
    SUBLW 132
    SUBWF 133
    XORLW 133
    XORWF 133
直流特性
    工业级和扩展级 7
中断 115
    电平变化中断 30
    PORTA/PORTB 电平变化中断 116
RA2/INT 116
TMR0 116
TMR1 46
现场保护 118

注：

© 2007 Microchip Technology Inc.

MICROCHIP 网站

Microchip 网站（www.microchip.com）为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的因特网浏览器即可访问。网站提供以下信息：

- **产品支持**——数据手册和勘误表、应用笔记和样本程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及存档软件
- **一般技术支持**——常见问题（FAQ）、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请登录 Microchip 网站 www.microchip.com，点击“变更通知客户（Customer Change Notification）”服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师（FAE）
- 技术支持

客户应联系其代理商、代表或应用工程师（FAE）寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 http：//support.microchip.com 获得网上技术支持。

读者反馈表

我们努力为您提供最佳文档，以确保您能够成功使用 Microchip 产品。如果您对文档的组织、条理性、主题及其他有助于提高文档质量的方面有任何意见或建议，请填写本反馈表并传真给我公司 TRC 经理，传真号码为 86-21-5407-5066。

请填写以下信息，并从下面各方面提出您对本文档的意见。

致: TRC 经理　　总页数 _____

关于: 读者反馈

发自: 姓名 _____

公司 _____

地址 _____

国家 / 省份 / 城市 / 邮编 _____

电话: （_____）_____　　传真:（_____）_____

应用（选填）:

您希望收到回复吗？是____ 否____

器件: PIC16F688　　文献编号: DS41203D_CN

问题:

1. 本文档中哪些部分最有特色？

2. 本文档是否满足了您的软硬件开发要求？如何满足的？

3. 您认为本文档的组织结构便于理解吗？如果不便于理解，那么问题何在？

4. 您认为本文档应该添加哪些内容以改善其结构和主题？

5. 您认为本文档中可以删减哪些内容，而又不会影响整体使用效果？

6. 本文档中是否存在错误或误导信息？如果存在，请指出是什么信息及其具体页数。

7. 您认为本文档还有哪些方面有待改进？

© 2007 Microchip Technology Inc.

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

器件编号	X	/XX	XXX
器件	温度范围	封装	模板

器件：	PIC16F688， PIC16F688T(1) VDD 范围从 2.0V 至 5.5V
温度范围：	I = -40°C 至 +85°C （工业级） E = -40°C 至 +125°C（扩展级）
封装：	ML = 四方扁平无引脚封装 （QFN） P = 塑封 DIP SL = 16 引脚小外型封装 （3.90 mm） ST = 薄型缩小外型封装 （4.4 mm）
模板：	QTP、 SQTPSM 或 ROM 代码；特殊要求 （否则空白）

示例：

a) PIC16F688-E/P 301 = 扩展级温度， PDIP 封装， 20 MHz， QTP 模板 #301

b) PIC16F688-I/SO = 工业级温度，SOIC 封装，20 MHzz

注 1： T = 仅为卷带式 TSSOP、 SOIC 和 QFN 封装。

全球销售及服务网点

深圳市英锐恩科技有限公司（www.enroo.com）
(Microchip Authorized Design Partner)指定授权代理
Add： Room 1203-1205 Top office,Glittery City,No. 3027,
Shennan Road Central,Futian , Shenzhen City
电话(tel) ：86-755-88845951,82543411
传真(fax) ：86-755-82543511
Web: Http://www.Enroo.com ,"o"为字母.
E-mail： enroo@enroo.com jason.ma@139.com
联系人：马先生,王小姐
公司在线咨询：QQ:27781279 MSN:picmcu@hotmail.com
7x24小时在线产品咨询:13510398583 13798484366

10/05/07

© 2007 Microchip Technology Inc.